

关于 CS485xx 和 CS485xxA 系列 RS-485 收发器驱动和接收使能时间以及在三线制应用中的说明

1. 概述

CS485xx 和 CS485xxA 是一系列抗噪声 RS-485 半双工收发器，能够运用在恶劣的工业、电力环境中。这些器件的总线引脚可耐受高级别的 ESD 事件，保护内部电路不受损害。该系列器件支持 3V 到 5.5V 的工作电压，可提供小型 SOIC8、MSOP8 和 DFN8 多种封装，适用于空间受限以及长电缆上的多节点应用。

CS485xx 系列 RS-485 收发器选型表如表 1 所示。

表 1 CS485xx 系列 RS-485 收发器选型表

型号	最高速率（Mbps）	特性	封装	总线最多可挂节点数
CS48505S	0.5	半双工	SOIC8 (S)	64 个
CS48520S	20	半双工	SOIC8 (S)	64 个
CS48505M	0.5	半双工	MSOP8 (M)	64 个
CS48520M	20	半双工	MSOP8 (M)	64 个
CS48505D	0.5	半双工	DFN8 (D)	64 个
CS48520D	20	半双工	DFN8 (D)	64 个

CS485xxA 系列 RS-485 收发器选型表如表 2 所示。

表 2 CS485xxA 系列 RS-485 收发器选型表

型号	最高速率（Mbps）	特性	封装	总线最多可挂节点数
CS48505AS	0.5	半双工	SOIC8 (S)	256 个
CS48520AS	20	半双工	SOIC8 (S)	256 个
CS48505AM	0.5	半双工	MSOP8 (M)	256 个
CS48520AM	20	半双工	MSOP8 (M)	256 个
CS48505AD	0.5	半双工	DFN8 (D)	256 个
CS48520AD	20	半双工	DFN8 (D)	256 个

2. 器件工作模式介绍

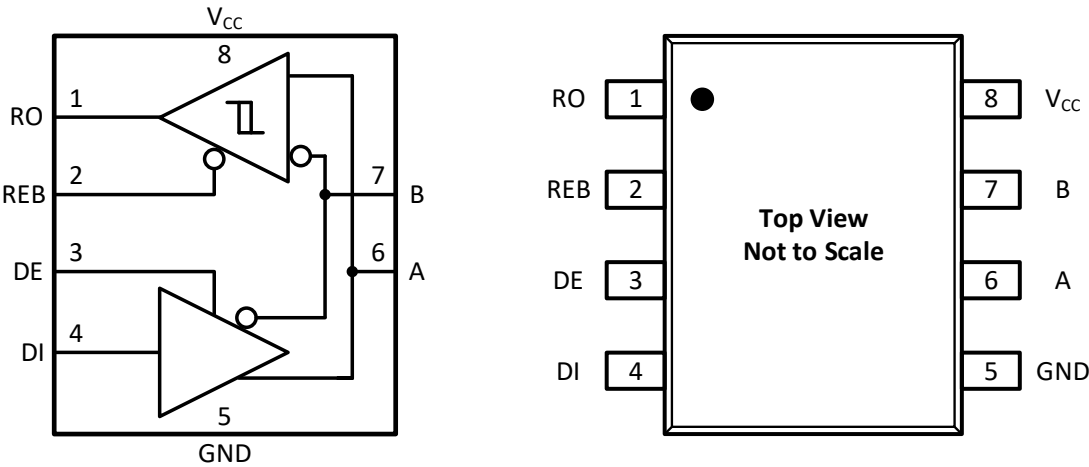


图 1 器件简化功能框图和引脚配置图

CS485xx 和 CS485xxA 系列 RS-485 收发器的简化功能框图和引脚配置如图 1 所示，器件工作模式如表 3 所示，从中可知可以通过控制 DE 和 REB 引脚的电平来配置器件是否进入接收模式、驱动模式或者关断模式。

表 3 器件工作模式说明

工作模式	DE	REB	说明
仅驱动模式	V _{CC}	V _{CC}	收发器此时只能向总线发送数据，RO 输出为高阻态
仅接收模式	0V	0V	收发器此时只能从总线接收数据
驱动和接收模式	V _{CC}	0V	收发器此时既可向总线发送数据，又可以从总线接收数据
关断模式	0V	V _{CC}	收发器此时进入待机状态，静态功耗小于 5μA，RO 输出为高阻态

3. 关于驱动使能时间的说明

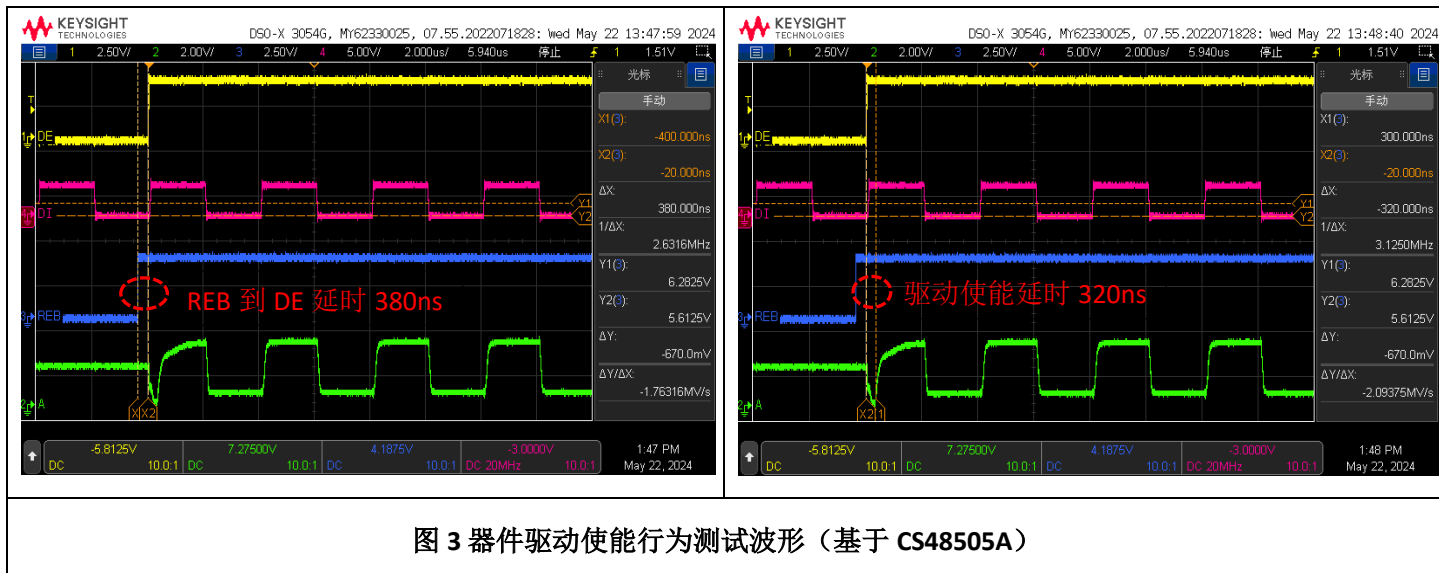
参数	测试条件	最小值	典型值	最大值	单位
驱动器					
t_r, t_f 差分输出上升/下降时间	$R_L = 54\Omega, C_L = 50pF$, 见图 8-4		150	500	ns
t_{PHL}, t_{PLH} 驱动传输延时			100	250	ns
$t_{SK(P)}$ 驱动脉宽失真, $ t_{PHL} - t_{PLH} $				10	ns
t_{PHZ}, t_{PLZ} 驱动关断时间	见图 8-5 和图 8-6		10	30	ns
t_{PZH}, t_{PZL} 驱动使能时间	REB = 0V, 见图 8-5 和图 8-6		300	800	ns
	REB = V_{CC} , 见图 8-5 和图 8-6		6	12	μs

图 2 器件驱动使能时间（以 CS48505A 为例）

器件的驱动使能时间如图 2 所示，从图中可知驱动使能时间的长短和 REB 的状态相关，REB=0V 时的驱动使能时间远小于 REB= V_{CC} 时的驱动使能时间。

上述两种配置下驱动使能时间的差异在于器件在使能信号变化之前的工作模式不一样：

- 1) REB=0V 时，器件在驱动使能之前工作在接收模式，内部基础电路已经建立完成，此时驱动器使能相当于热启动，建立时间相对较短，器件从仅接收模式变为驱动和接收模式；
- 2) REB= V_{CC} 时，器件在驱动使能之前工作在关断模式，在驱动使能后内部电路需要重新建立，为了确保器件完全建立和没有向总线发送错误信号，会设置微秒级别的使能时间，此时驱动器使能相当于冷启动，建立时间相对较长，器件从关断模式变为驱动模式。



如图 3 所示，在典型条件下（A 通过 $3.75k\Omega$ 电阻上拉到 V_{CC} ，B 通过 $3.75k\Omega$ 电阻下拉到 GND，A 和 B 之间接 54Ω 负载电阻）即使将 DE 信号由低到高的变化时刻滞后于 REB 信号由低到高的变化时刻 380ns，在 DE 变高后收发器立即（延时 320ns）就可以向总线正常发送数据，其驱动使能时间为 REB=0V 时的情况，无需经过微秒级别的长时间启动过程，说明在上述转换过程中器件没有进入关断模式（若进入关断模式，总线波形会在 DE 变高大约 $6\mu s$ 后才会跟随 DI 的信号）。

4. 关于接收使能时间的说明

接收机				
t_r, t_f	接收输出上升/下降时间	$C_L = 15pF^1$, 见图 8-7	10	20
t_{PHL}, t_{PLH}	接收传输延时		50	100
$t_{SK(P)}$	接收脉宽失真, $ t_{PHL} - t_{PLH} $			7
t_{PHZ}, t_{PLZ}	接收关断时间	见图 8-8	30	60
$t_{PZH(1)},$ $t_{PZL(1)},$ $t_{PZH(2)},$ $t_{PZL(2)}$	接收使能时间	DE = V_{CC} , 见图 8-8 和图 8-9	50	100
		DE = 0V, 见图 8-8 和图 8-9	6	12
				μs

图 4 器件接收使能时间（以 CS48505A 为例）

器件的接收使能时间如图 4 所示，从图中可知接收使能时间的长短和 DE 的状态相关，DE= V_{CC} 时的接收使能时间远小于 DE=0V 时的接收使能时间。

同理，上述两种配置下接收使能时间的差异在于器件在使能信号变化之前的工作模式不一样：

- 1) DE= V_{CC} 时，器件在接收使能之前工作在驱动模式，内部基础电路已经建立完成，此时接收器使能相当于热启动，建立时间相对较短，器件从仅驱动模式变为驱动和接收模式；
- 2) DE=0V 时，器件在接收使能之前工作在关断模式，在接收使能后内部电路需要重新建立，为了确保器件完全建立和没有从总线接收错误信号，会设置微秒级别的使能时间，此时接收器使能相当于冷启动，建立时间相对较长，器件从关断模式变为接收模式。

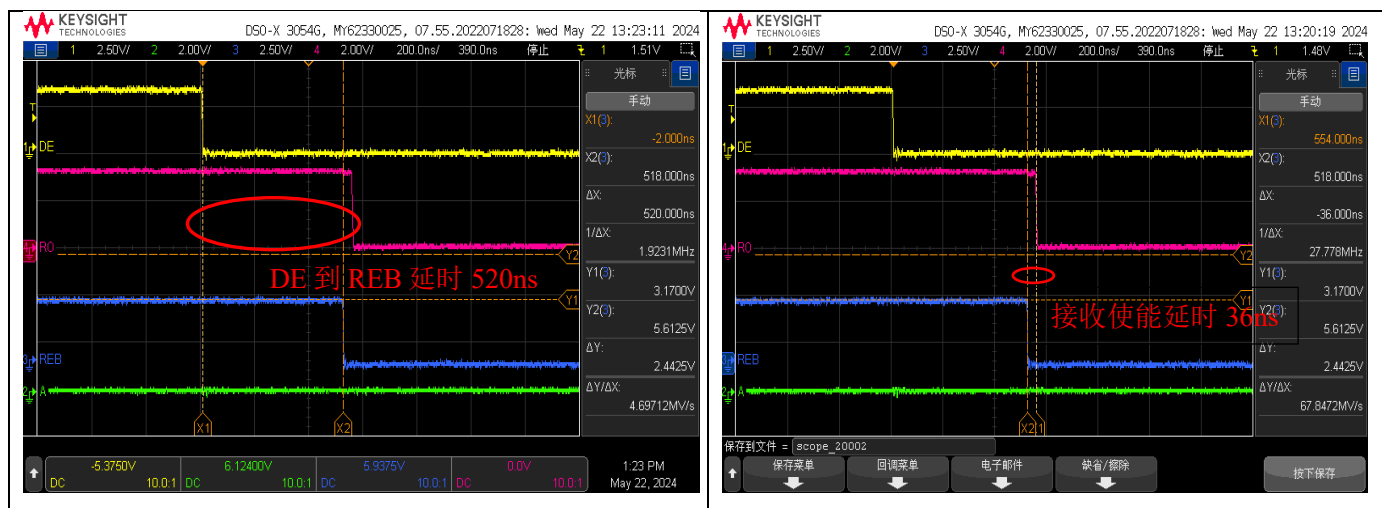


图 5 器件接收使能行为测试波形（基于 CS48505A）

在测试中进行如下配置：DI 接 GND，A 通过 3.75k Ω 电阻下拉到 GND，B 通过 3.75k Ω 电阻上拉到 V_{CC} ，RO 通过 1k Ω 电阻上拉到 V_{CC} 。器件的接收使能行为如图 5 所示，即使将 REB 信号由高到低的变化时刻滞后于 DE 信号由高到低的变化时刻 520ns，在 REB 变低后收发器立即(延时 36ns)接收来自总线的数据，其接收使能时间为 DE= V_{CC} 时的情况，无需

经过微秒级别的长时间启动过程，说明在上述转换过程中器件没有进入关断模式（若进入关断模式，RO 会在 REB 变低大约 $6\mu\text{s}$ 后才会由高电平变为低电平）。

5. 三线制应用（DE 和 REB 短接）

客户在实际应用中通常将 RS-485 收发器配置成三线制，即将 REB 和 DE 短接在一起控制 RS-485 收发器的通信，通过 DI 引脚向总线发送数据，通过 RO 引脚接收来自总线端的数据，总共需要三根数据线，如图 6 所示。

CS485xx 和 CS485xxA 系列 RS-485 收发器在设计的时候充分考虑上述应用情况，即使在使能信号 DE 和 REB 变化时刻错开一定时间范围内也能保证在使能信号翻转变期间器件不会进入关断模式（如图 3 和图 5 所示），上述行为更加确保在三线制配置下 DE/REB 一起切换过程中器件只会从驱动模式转换为接收模式（DE/REB 由高变低）或者从接收模式转换为驱动模式（DE/REB 由低变高），中间不会经历关断模式。

综上，当 DE 和 REB 短接在一起时，驱动使能时间参考 REB=0V 时的情况，接收使能时间参考 DE=V_{CC} 时的情况。

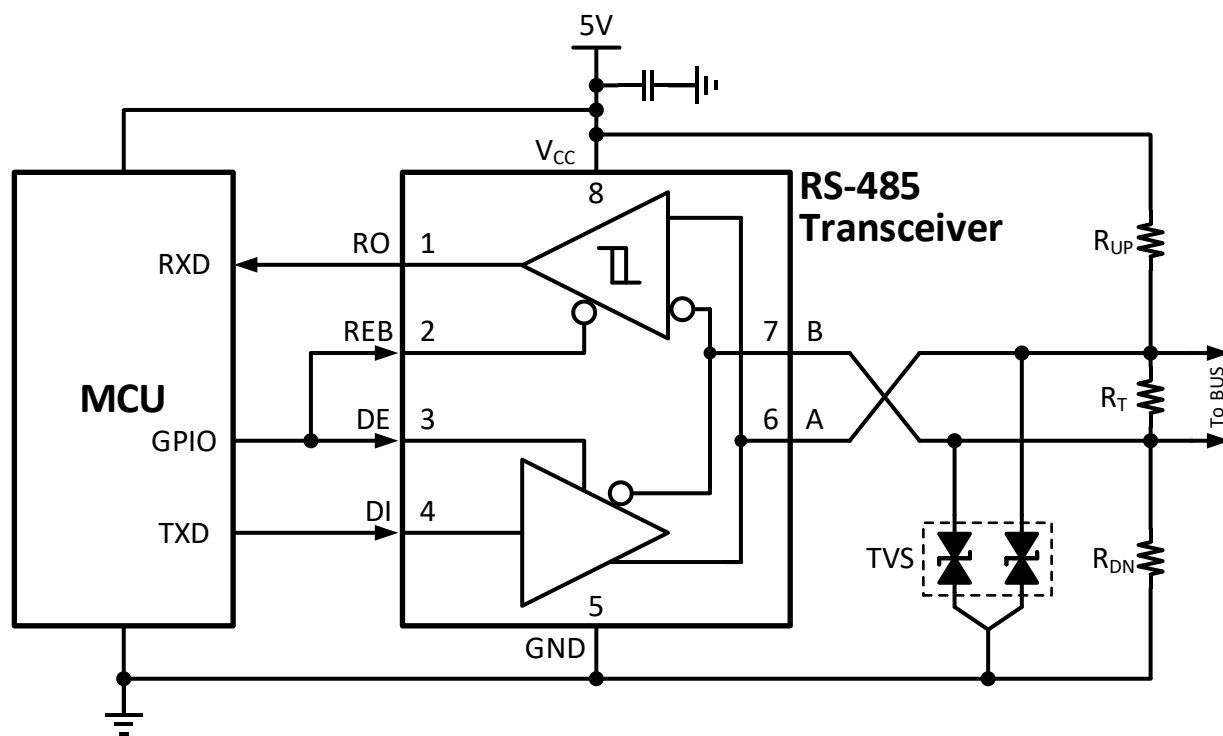


图 6 RS-485 收发器三线制典型应用

修订历史

修订版本	修订时间	修订内容
Rev 1.0	2024/5/15	初始版本
Rev 1.1	2024/5/22	更新器件驱动使能行为测试波形图 3 更新器件接收使能行为测试波形图 5

重要声明

上述资料仅供参考使用，用于协助 Chipanalog 客户进行设计与研发。Chipanalog 有权在不事先通知的情况下，保留因技术革新而改变上述资料的权利。

Chipanalog 产品全部经过出厂测试。针对具体的实际应用，客户需负责自行评估，并确定是否适用。Chipanalog 对客户使用所述资源的授权仅限于开发所涉及 Chipanalog 产品的相关应用。除此之外不得复制或展示所述资源，如因使用所述资源而产生任何索赔、赔偿、成本、损失及债务等，Chipanalog 对此概不负责。

商标信息

Chipanalog Inc.®、Chipanalog®为 Chipanalog 的注册商标。



<http://www.chipanalog.com>