

CA-IS309x 和 CA-IS209x 带电源的隔离 RS-485 收发器器

测试板使用说明

描述

此份文件描述了 CA-IS309x 和 CA-IS209x 测试板的相关使用说明，其中包括产品介绍、原理图、PCB 布线图、物料清单以及部分测试数据等。CA-IS309x 和 CA-IS209x 评估板可以用来简单评估该系列芯片内置的隔离电源以及 RS-485 收发器的参数性能等。

芯片简介

CA-IS309x 和 CA-IS209x 是集成隔离电源的隔离式 RS-485 收发器，具有高电磁抗扰度和低辐射特性，其工作于半双工模式。

CA-IS309x 和 CA-IS209x 器件具有高绝缘能力，有助于防止数据总线或其他电路上的噪声和浪涌进入本地接地端，进而干扰或损坏敏感电路。高 CMTI 能力可以保证数字信号的正确传输。该系列器件采用 16 引脚宽体 SOIC16-WB 封装，支持绝缘耐压高达 5 kV_{RMS}。

CA-IS309x 和 CA-IS209x 测试版适用如下表产品型号。下面以 CA-3092VW 为例，介绍该测试板的使用说明。

表 1 器件型号

型号	通讯模式	通讯速率 (Mbps)	隔离电压等级 (VRMS)	逻辑电源是否可以独立供电 ²	封装
CA-IS3092W	半双工	0.5	5000	否	SOIC16-WB(W)
CA-IS3092VW	半双工	0.5	5000	是	SOIC16-WB(W)
CA-IS3098W	半双工	20	5000	否	SOIC16-WB(W)
CA-IS3098VW	半双工	20	5000	是	SOIC16-WB(W)
CA-IS2092W	半双工	0.5	3750	否	SOIC16-WB(W)
CA-IS2092VW	半双工	0.5	3750	是	SOIC16-WB(W)

注：

1. 隔离电源输出电压通过 SEL 引脚配置，SEL=GNDB，V_{ISO}=3.3V，SEL=V_{ISO}，V_{ISO}=3.3V；
2. 逻辑电源可以独立供电的产品型号，其第 7 引脚为 V_{CC}L，逻辑电源非独立供电的产品型号第 7 引脚为 NC，芯片内部接到 V_{CC} 上。

3D 仿真图

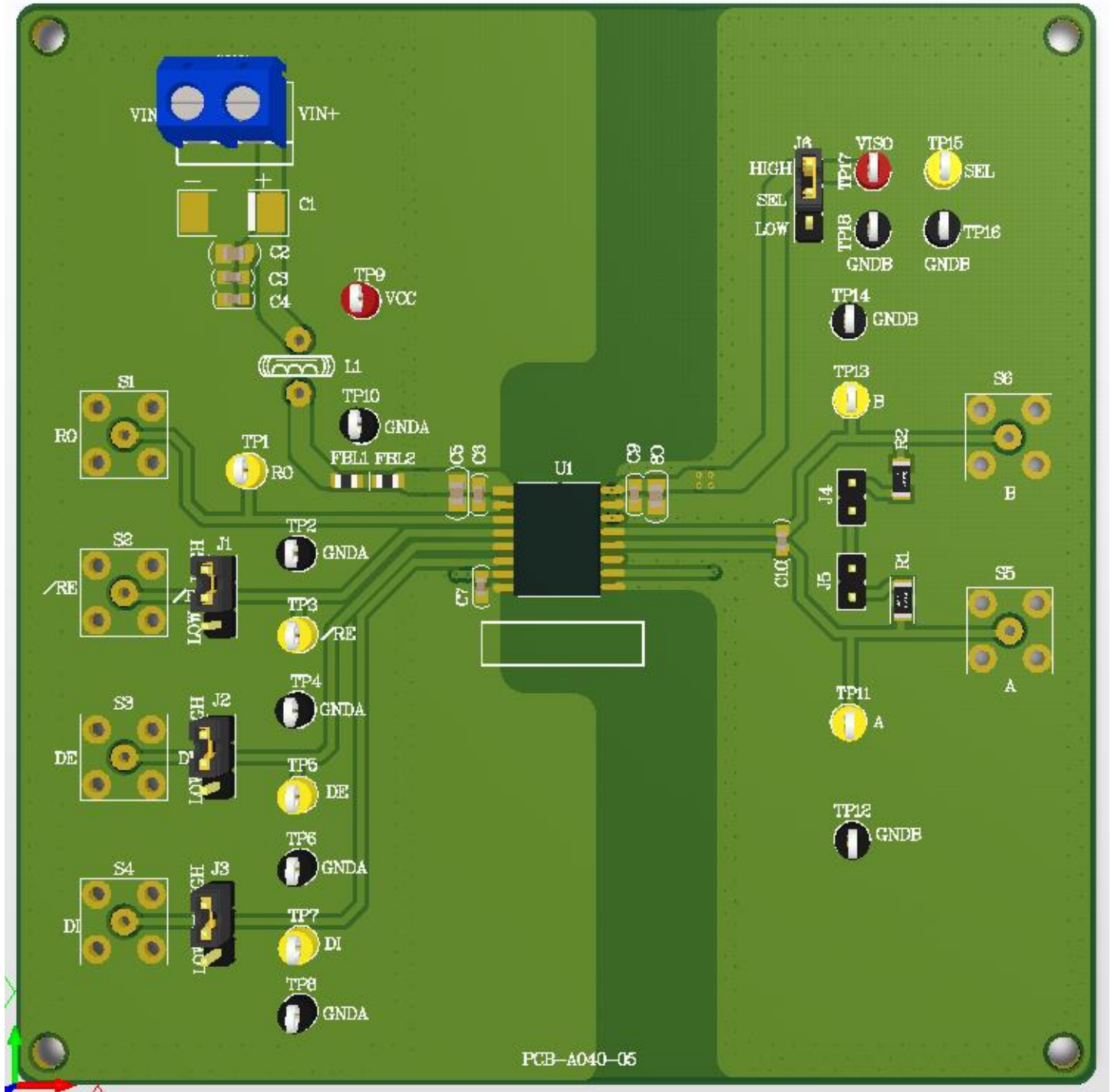


图 1 CA-IS309x/CA-IS209x PCB 的 3D 仿真图

原理图

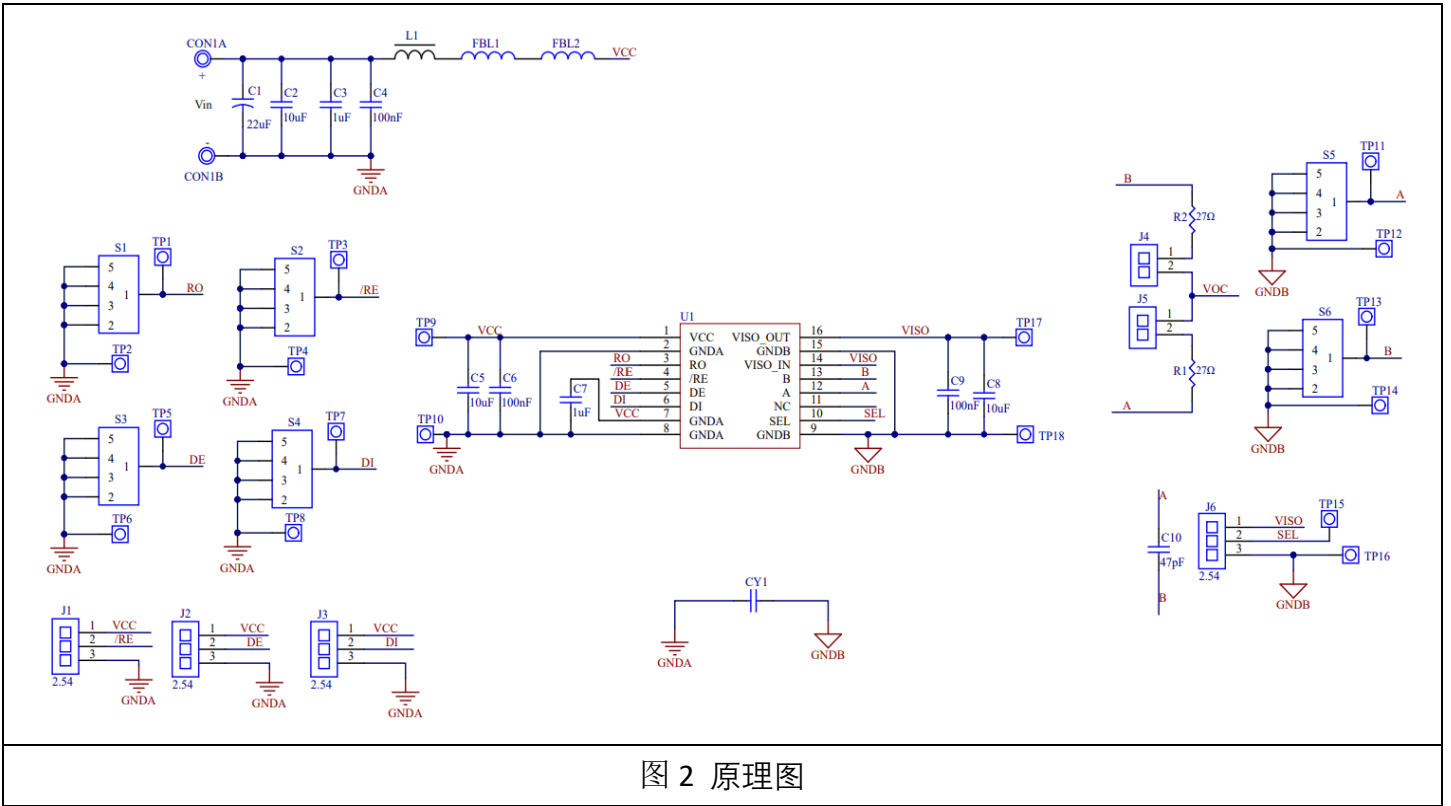


图 2 原理图

物料清单

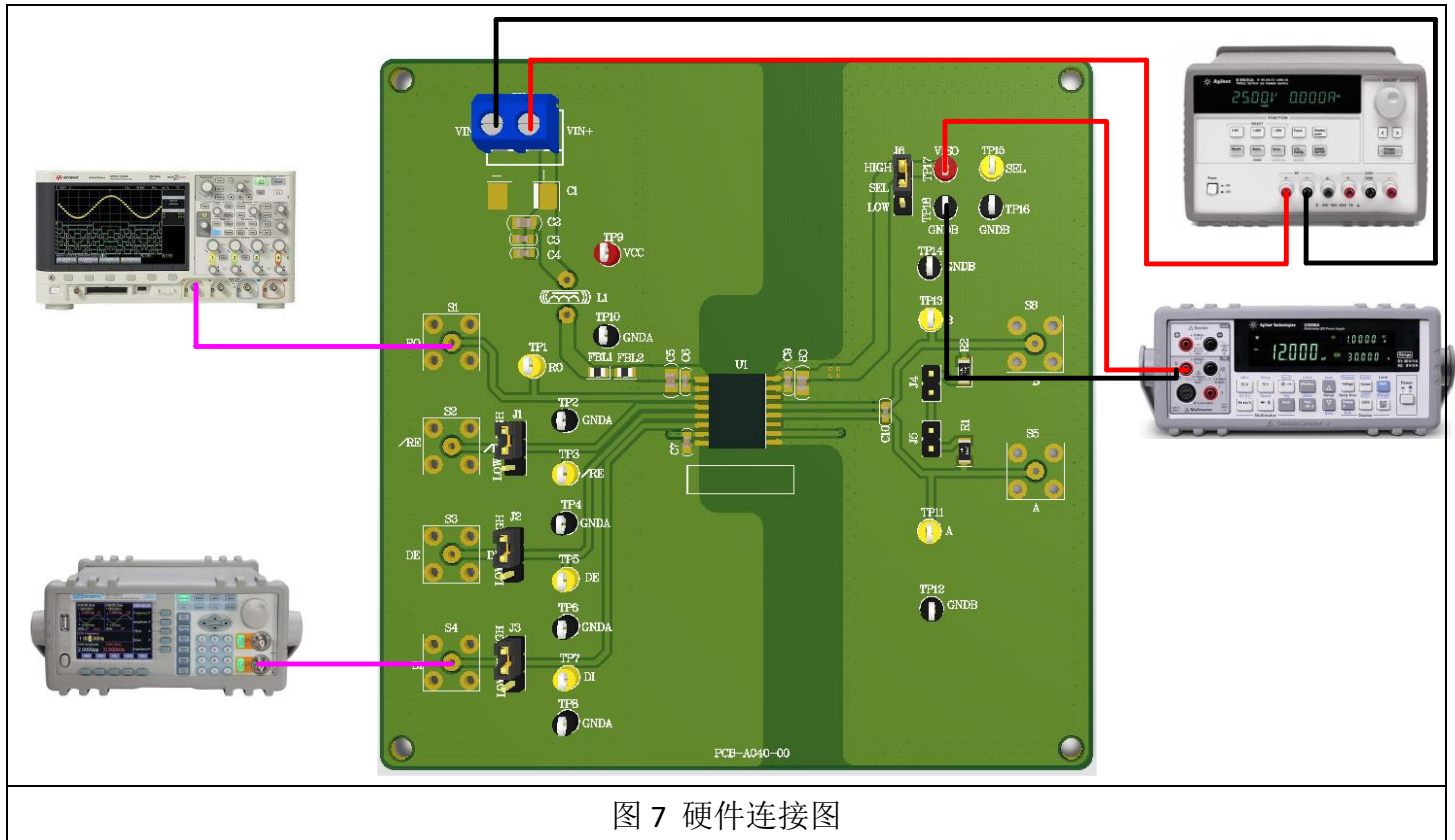
Item	Ref Des	Qty	Description	Package	MFR	PN.
1	CON1	1	CONN, 5.08mm, Rising Cage Clamp	-	Würth Elektronik	691236510002
2	FBL1, FBL2	2	Beed 600Ohm	0805	Linekey	FBG2912-601Y
3	C1	1	Tantalum cap, 22uF	7343	AVX	TAJD226K025RN J
4	C2, C5, C8	3	MLCC, 10µF/10V, X7R	0805	-	Standard
5	C3	1	MLCC, 1µF /10V, X7R	0603	-	Standard
6	C4, C6, C9	3	MLCC, 100nF/10V, X7R	0603	-	Standard
7	C7	1	MLCC, 1 µ F/10V, X7R	0603	-	Standard
8	C10	1	MLCC, 47pF/10V, X7R	0603	-	Standard
9	R1, R2	2	Resistor, 27Ω, 1%	1206	-	Standard
10	S1, S2, S3, S4, S5, S6	6	SMA Connect, 2.54mm	-	-	Standard
11	L1	1	24uH, 0.7mm, 4.5mm*12mm	-	Würth Elektronik	7447043
12	U1	1	CA-IS3092VW	SOIC16-WB(W)	Chipanalog	
13	TP9, TP17	2	Test Point, Red, Through Hole, 1mm	-	Keystone	5000
14	TP1, TP3, TP5, TP7, TP11, TP13, TP15	7	Test Point, Yellow, Through Hole, 1mm	-	Keystone	5009
15	TP2, TP4, TP6, TP8, TP10, TP12, TP14, TP16, TP18	9	Test Point, Black, Through Hole, 1mm	-	Keystone	5001
16	J1, J2, J3, J6	4	Header, 3 pin, 2.54mm	-	-	Standard
17	J4, J5	2	Header, 2pin, 2.54mm	-	-	Standard
18	PCB	1	Four layers PCB, FR-4, PCB-A040-00, 1.0mm thickness, 100mm*100mm, The distance between Inner Layer1 and Inner Layer2 should be greater than 0.4mm.	-	-	-

测试仪器

直流电源、500MHz 带宽示波器安捷伦 DSOX3054T、6.5 位多功能万用表安捷伦 34465A、高频信号发生器等。

硬件连接

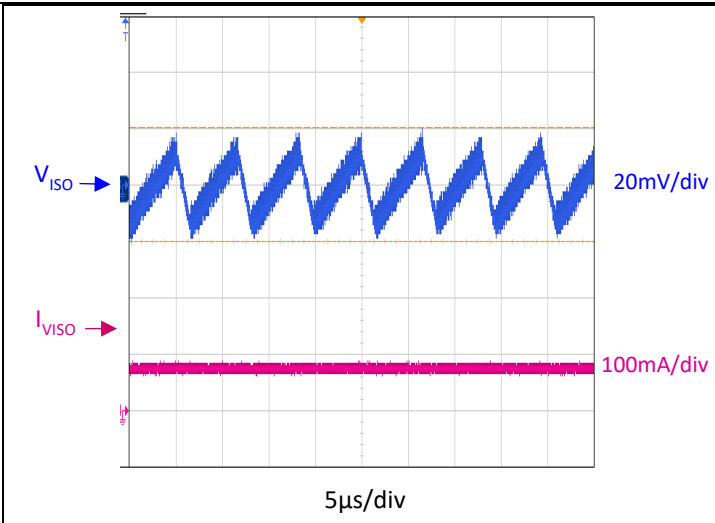
1. 将直流电压源连接到 CON1;
2. 函数发生器输出一定频率和幅值的信号，连接到芯片通道的信号输入端 DI 引脚;
3. 通过示波器测量各个通道输出端，用示波器观察各个测试点的波形。
4. 芯片 DE 为驱动器使能控制引脚，高电平有效；/RE 为接收器使能控制，低电平有效。通过跳线帽选择 J1 和 J2 把 DE 接高电平，/RE 接低电平；
5. CA-IS3092VW 芯片的第 7 引脚是逻辑电源 V_{CC} ，可外接独立电源，可以接 V_{CC} ，与芯片的引脚 1 共用一路电源。本测试板在 PCB 上已将 7 脚与 1 脚连接，一路电源供电即可；
6. RE-485 输入芯片 DI 可以用信号发生器输入高电平或者低电平的信号，也可以通过跳线帽选择 J3，使 DI 接 GNDA 或者 V_{CC} ；
7. 隔离电源输出电压通过 SEL 引脚配置，通过跳线帽选择 J6 把 SEL 接 GNDB 或者 V_{ISO} 。



测试示例

下面以 CA-IS3092VW 为例，测试一些典型波形，包括输出纹波、不同输入输出电压下的效率、RS485 信号传递等。

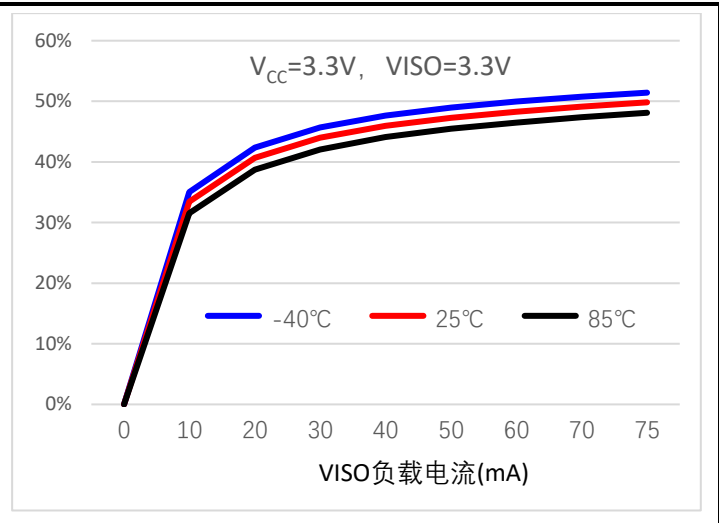
<p>图 8 $V_{CC} = 5V$, $V_{ISO} = 5V$, A 和 B 之间 $R_L = NC$, $I_{ISO} = 130mA$ V_{ISO} 纹波电压峰峰值: 58mV</p>	<p>图 9 不同环境温度下的效率随负载电流的变化 $V_{CC} = 5V$, $V_{ISO} = 5V$, A 和 B 之间 $R_L = NC$</p>
<p>图 10 $V_{CC} = 5V$, $V_{ISO} = 3.3V$, A 和 B 之间 $R_L = NC$, $I_{ISO} = 130mA$ V_{ISO} 纹波电压峰峰值: 51mV</p>	<p>图 11 不同环境温度下的效率随负载电流的变化 $V_{CC} = 5V$, $V_{ISO} = 3.3V$, A 和 B 之间 $R_L = NC$</p>



5µs/div

图 12

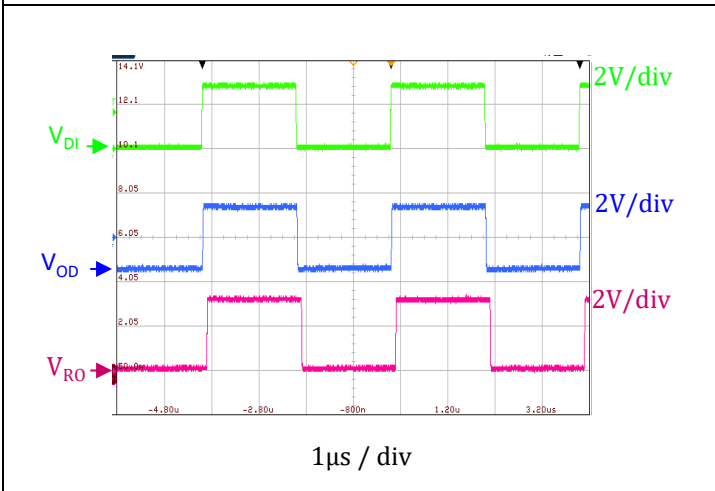
$V_{CC} = 3.3V$, $V_{ISO} = 3.3V$, A 和 B 之间 $R_L = NC$
 $I_{ISO} = 75mA$
 V_{ISO} 纹波电压峰峰值: 40mV



VISO负载电流(mA)

图 13

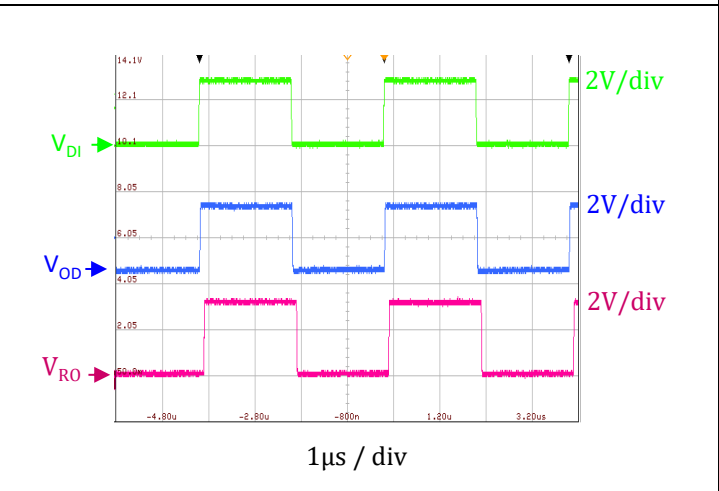
不同环境温度下的效率随负载电流的变化
 $V_{CC} = 3.3V$, $V_{ISO} = 3.3V$, A 和 B 之间 $R_L = NC$



1µs / div

图 14 RS485 隔离信号传递

$V_{CC}=3.3V$, $V_{ISO}=3.3V$, $f_{DI}: 250KHz$ $R_L=54\Omega$



1µs / div

图 15 RS485 隔离信号传递

$V_{CC}=3.3V$, $V_{ISO}=3.3V$, $f_{DI}: 250KHz$ $R_L=120\Omega$

CH1(绿色): V_{DI} 输入 100KHz ; CH2(蓝色): $V_{OD}=V_A - V_B$; CH3(粉色): V_{RO}

PCB 布线建议

1. CA-IS309x/CA-IS209x系列器件内置开关电源，为副边侧和外部模块提供稳压电源。输入侧 V_{CC} 和输出侧 V_{ISO} 的旁路电容和供电电容的位置放尽可能摆放在靠近芯片的管脚，距离应控制在2mm以内，如下图16和图17所示。当需要在供电电源线和地线中放置过孔，应放置在电容相对于芯片管脚的外侧，而非放置在电容和芯片之间，以减少过孔寄生电感的影响，如下图18和图19所示。

图16 推荐	图17 不推荐	图18 推荐	图19 不推荐

2. CA-IS309x/CA-IS209x系列器件集成隔离开关电源，存在一定的传导噪声和辐射噪声。适当的PCB拼接电容，对改善传导干扰和辐射干扰有一定的作用。在PCB布线时，可以适当增加原边GNDA和副边GNDB之间的拼接电容以及 V_{CC}/V_{ISO} 对GNDA/GNDB的拼接电容，如下图20和图21。此外，在PCB边缘处放置一系列间隔距离不大于3mm至4mm的地过孔，形成边缘防护，如下图22所示。

图20 原边GNDA和副边GNDB的拼接电容	图21 V_{CC}/V_{ISO} 对GNDA/GNDB的拼接电容	图22 V_{CC}/V_{ISO} 层四周用地平面包围，地平面外侧放置一系列间距小于4mm的过孔

Revision History

版本	日期	状态描述
Ver1.0	Jan.2021	初始版本
Ver1.1	Mar.2024	更新 PCB 和原理图，测试数据以及增加表 1 等
Ver1.2	May.2024	更新 PCB 和原理图等

重要声明

上述资料仅供参考使用，用于协助 Chipanalog 客户进行设计与研发。Chipanalog 有权在不事先通知的情况下，保留因技术革新而改变上述资料的权利。

<http://www.chipanalog.com>