

6A 灌电流/5A 拉电流、5.7kV_{RMS} 隔离双通道栅极驱动器

1. 特性

- 灵活支持多种配置：
 - 双通道低边驱动、双通道高边驱动、半桥驱动
- 支持 6A 峰值灌电流、5A 峰值拉电流驱动
- 较宽的供电范围：
 - 输入侧 V_{CC1} 可接受 3V 至 18V 供电电压范围
 - 输出侧驱动电源 V_{DD_2} 可达 25V
 - 提供 6V、8V 和 12V 高精度 UVLO 可选
- 确保匹配的传输延迟
 - 56ns(典型值)传输延迟
 - 5ns(最大值)芯片间传输延迟偏差
 - 7ns(最大值)脉宽失真
 - 20ns(典型值)最小输入脉宽
- 可编程死区时间
- 40°C 至+125°C 工作温度范围
- 高度可靠的电气隔离
 - 较长的绝缘栅寿命：>40 年
 - 5.7kV_{RMS}(宽体封装)隔离耐压
 - 较高的共模瞬态抗扰度(CMTI)：> ±100V/ns
 - 可承受 12.8kV 浪涌
- 提供不同封装：
 - 宽体 SOIC16 (W)封装
 - 宽体 SOIC14 (K)封装
- 安全认证
 - VDE 增强隔离，根据 DIN EN IEC 60747-17 (VDE 0884-17): 2021-10 认证
 - 根据 UL 1577 器件程序认证
 - 根据 TUV EN61010-1:2010+A1 认证
 - 根据 GB 4943.1-2022 认证

2. 典型应用

- 隔离型 DC-DC、AC-DC 转换器
- 电机控制
- LED 照明
- 不间断电源(UPS)
- 逆变器
- HEV/EV 电池充电器

3. 概述

CA-IS322x 系列产品为双通道、隔离型栅极驱动器，可提供 6A 峰值灌电流、5A 峰值拉电流驱动。这些器件支持高速切换，结合器件的超低传输延时(56ns, 典型值)、超低脉宽失真等优势，使其成为 MOSFET、IGBT、SiC 等大功率晶体管驱动的理想选择，工作频率可达 5MHz，适用于各种逆变器、隔离电源、电机驱动等应用。

所有器件采用川土特有的电容隔离技术，在内部集成数字隔离器。输入侧与驱动器输出侧通过二氧化硅(SiO₂)电容绝缘栅隔离，提供高达 5.7kV_{RMS}(宽体 SOIC 封装)的隔离耐压(UL1577 认证),以及最小 100V/ns 的共模瞬态抗扰度(CMTI)。此外，内部电路在二次侧(输出侧)的驱动器 A 与驱动器 B 之间提供功能隔离，可承受 1500V DC 工作电压。

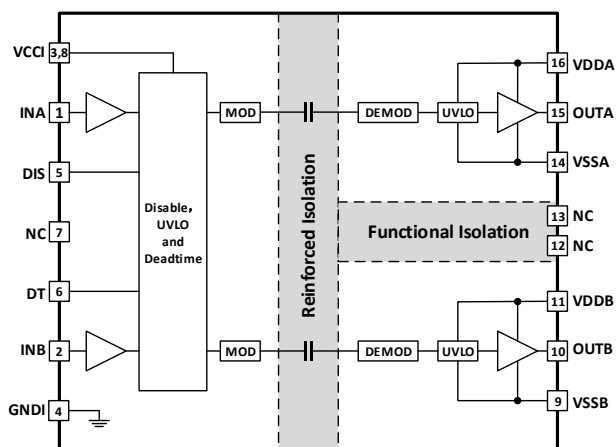
CA-IS322x 系列栅极驱动器可以配置为双通道低边驱动、双通道高边驱动和半桥驱动，提供可编程死区时间。使能控制(CA-IS3222 的 EN 引脚)和禁止控制(CA-IS3221 的 DIS 引脚)允许将驱动器 A 和驱动器 B 的输出快速拉至低电平，关断外部功率晶体管。另外，当输入侧或输出侧电源未上电或开路、或低于 UVLO 门限时，或当器件处于禁用状态时，驱动器输出置于默认状态：低电平；当输入信号开路时，驱动器输出同样置于默认状态：低电平，关断外部功率管。

CA-IS322x 输入侧电源 V_{CC1} 可接受 3V to 18V 供电范围，输出侧电源 V_{DD_2} 可接受高达 25V 的供电电压。提供 16 引脚或 14 引脚宽体 SOIC 封装。工作温度范围为-40°C 至 +125°C。

器件信息

器件型号	封装	封装尺寸(标称值)
CA-IS3221	SOIC16-WB (W)	10.3 mm x 7.5 mm
CA-IS3222	SOIC14-WB (K)	

简化框图



4. 订购信息

表 4-1. 订购信息

型号	DIS 引脚/ EN 引脚	VDDA/VDDDB UVLO	隔离电压	封装
CA-IS3221AW	DIS	6	5.7 kV _{RMS}	SOIC16-WB
CA-IS3221BW	DIS	8	5.7 kV _{RMS}	SOIC16-WB
CA-IS3221CW	DIS	12	5.7 kV _{RMS}	SOIC16-WB
CA-IS3221AK	DIS	6	5.7 kV _{RMS}	SOIC14-WB
CA-IS3221BK	DIS	8	5.7 kV _{RMS}	SOIC14-WB
CA-IS3221CK	DIS	12	5.7 kV _{RMS}	SOIC14-WB
CA-IS3222AW	EN	6	5.7 kV _{RMS}	SOIC16-WB
CA-IS3222BW	EN	8	5.7 kV _{RMS}	SOIC16-WB
CA-IS3222CW	EN	12	5.7 kV _{RMS}	SOIC16-WB
CA-IS3222AK	EN	6	5.7 kV _{RMS}	SOIC14-WB
CA-IS3222BK	EN	8	5.7 kV _{RMS}	SOIC14-WB
CA-IS3222CK	EN	12	5.7 kV _{RMS}	SOIC14-WB

目录

1. 特性	1	8.5. UVLO 上电延时	14
2. 典型应用	1	8.6. CMTI 测试电路	15
3. 概述	1	9. 详细说明	16
4. 订购信息	2	9.1. 工作原理	16
5. 修订历史	3	9.2. 输入级	16
6. 引脚功能描述	4	9.2.1. TTL/CMOS 兼容输入	16
6.1. CA-IS3221 引脚配置与功能描述	4	9.2.2. 使能与禁止控制	17
6.2. CA-IS3222 引脚配置与功能描述	5	9.3. 驱动器输出级	17
7. 产品规格	6	9.4. 欠压锁存(UVLO)	18
7.1. 绝对最大额定值 ¹	6	9.5. 数字隔离	20
7.2. ESD 额定值	6	9.6. ESD 保护电路	20
7.3. 建议工作条件	6	9.7. 可编程死区时间	20
7.4. 热参数	6	10. 应用信息	22
7.5. 额定功率	6	10.1. 典型应用	22
7.6. 隔离特性	7	10.2. 供电电源选择	22
7.7. 安全认证	8	10.3. 输入滤波器选择	23
7.8. 安全限定范围	8	10.4. 栅极驱动电阻选择	23
7.9. 电气特性	9	10.5. PCB 布局指南	23
7.10. 开关特性	10	11. 封装信息	24
7.11. 关键参数	11	11.1. 16 引脚宽体 SOIC 封装尺寸	24
8. 参数测量	13	11.2. 14 引脚宽体 SOIC 封装尺寸	25
8.1. 传输延时与脉冲宽度失真	13	12. 焊接信息	26
8.2. 上升时间与下降时间	13	13. 卷带信息	27
8.3. 输入与使能/禁止控制响应时间	13	14. 重要声明	28
8.4. 可编程死区时间	14		

5. 修订历史

修订版本	修订内容	修订日期	页码
Preliminary Version	Initial publish		N/A
Version 1.00	N/A		N/A
Version 1.01	1. 新增 CA-IS3221Ax 和 CA-IS3222Ax 产品选型 2. 新增 6V-UVLO 电气参数 3. 更新 VCCI-UVLO 的上下限值 4. 更新 TUV 认证信息		2 9 9 8
Version 1.02	1. 更新 UL 认证信息 2. 更新 VDE 认证信息		8
Version 1.03	1. 更新隔离特性	2023/11/02	7
Version 1.04	1. 更新 VDE、UL、TUV、CQC 认证信息	2024/04/16	1,7,8

6. 引脚功能描述

6.1. CA-IS3221 引脚配置与功能描述

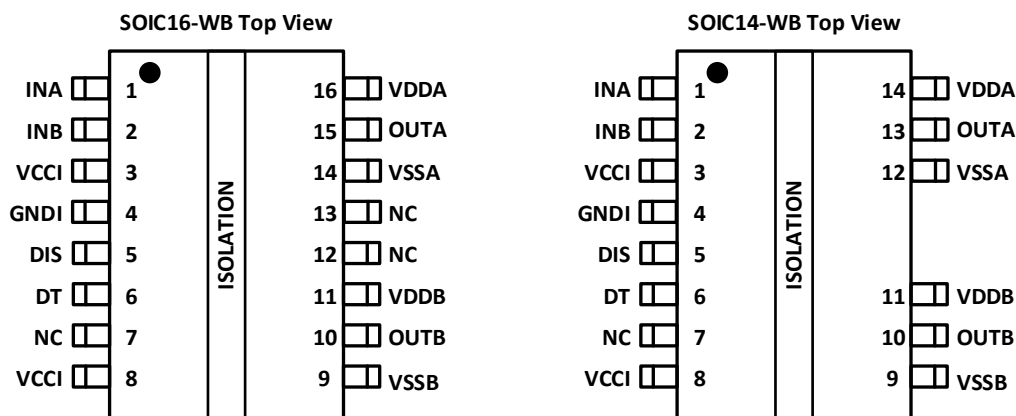


图 6-1. CA-IS3221 引脚配置(SOIC16/SOIC14 封装)

表 6-1. CA-IS3221 引脚功能描述

引脚名称	引脚编号		引脚类型	说明
	CA-IS3221xW	CA-IS3221xK		
INA	1	1	输入	驱动器A的输入端，INA兼容于TTL/CMOS逻辑电平，内部下拉至GNDI。不使用时，将该引脚接GNDI。
INB	2	2	输入	驱动器B的输入端，INB兼容于TTL/CMOS逻辑电平，内部下拉至GNDI。不使用时，将该引脚接GNDI。
VCCI	3, 8	3, 8	电源	输入侧供电电源输入，供电范围：3 V 至 18 V。通过 0.1μF 电容将 VCCI 旁路至 GNDI，电容应尽可能靠近器件放置。
GNDI	4	4	地	输入侧地参考端。
DIS	5	5	逻辑输入	输入侧禁止控制端。DIS 为高电平时，禁止隔离器工作，将驱动器输出置低；DIS 为低电平或开路时，使能栅极驱动器工作。DIS 在内部下拉至 GNDI。如果不使用，将该引脚接至 GNDI。
DT	6	6	输入	可编程死区时间输入。将 DT 连接至 VCCI 电源，允许输出交叠；当 DT 与 GNDI 之间连接一个 500Ω-500kΩ 电阻，用于调节死区时间： $t_{DT} (ns) = 10 \times R_{DT} (k\Omega)$ 。建议在 DT 与 GNDI 之间放置至少 2.2nF 的旁路电容，电容紧靠 DT 引脚和 R _{DT} 电阻放置。该引脚不能悬空。
NC	7, 12, 13	7	---	无内部连接。
VSSB	9	9	地	输出侧地参考端，驱动器 B 的地。
OUTB	10	10	输出	栅极驱动器 B 的输出端。
VDDB	11	11	电源	输出侧驱动器 B 的供电电源输入，通过 0.1μF 10μF 电容将 VDDB 旁路至 VSSB，电容应尽可能靠近 VDDB 引脚放置。
VSSA	14	12	地	输出侧地参考端，驱动器 A 的地。
OUTA	15	13	输出	栅极驱动器 A 的输出端。
VDDA	16	14	电源	输出侧驱动器 A 的供电电源输入，通过 0.1μF 10μF 电容将 VDDA 旁路至 VSSA，电容应尽可能靠近 VDDA 引脚放置。

6.2. CA-IS3222 引脚配置与功能描述

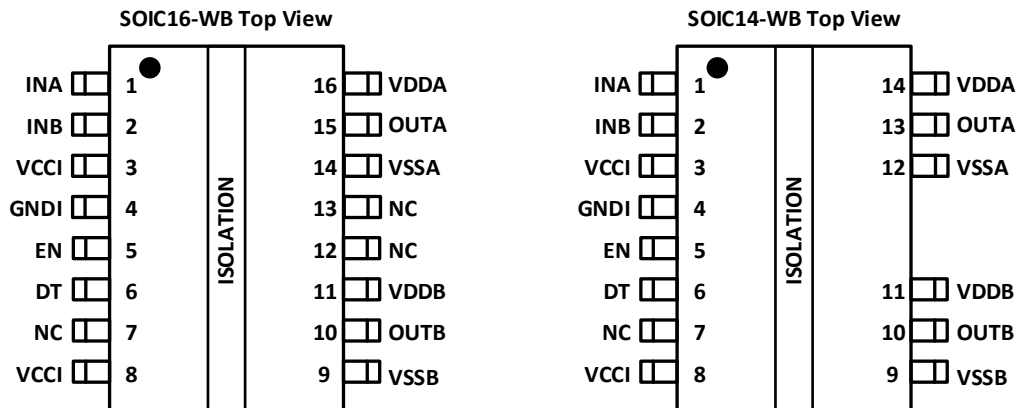


图 6-2. CA-IS3222 引脚配置(SOIC16/SOIC14 封装)

表 6-2. CA-IS3222 引脚功能描述

引脚名称	引脚编号		引脚类型	说明
	CA-IS3222xW	CA-IS3222xK		
INA	1	1	输入	驱动器A的输入端，INA兼容于TTL/CMOS逻辑电平，内部下拉至GNDI。不使用时，将该引脚接GNDI。
INB	2	2	输入	驱动器B的输入端，INB兼容于TTL/CMOS逻辑电平，内部下拉至GNDI。不使用时，将该引脚接GNDI。
VCCI	3, 8	3, 8	电源	输入侧供电电源输入，供电范围：3 V 至 18 V。通过 0.1μF 电容将 VCCI 旁路至 GNDI，电容应尽可能靠近器件放置。
GNDI	4	4	地	输入侧地参考端。
EN	5	5	逻辑输入	输入侧使能控制端，高电平有效。EN 为低电平或接 GNDI 时，禁止隔离器工作，将驱动器输出置低；EN 为高电平或开路时，使能栅极驱动器工作。EN 在内部上拉至 VCCI。如果不使用，将该引脚接至 VCCI。
DT	6	6	输入	可编程死区时间输入。将 DT 连接至 V _{CC} 电源，允许输出交叠；当 DT 与 GNDI 之间连接一个 500Ω-500kΩ 电阻，用于调节死区时间： $t_{dr} (ns) = 10 \times R_{DT} (k\Omega)$ 。建议在 DT 与 GNDI 之间放置至少 2.2nF 的旁路电容，电容紧靠 DT 引脚和 R _{DT} 电阻放置。该引脚不能悬空。
NC	7, 12, 13	7	---	无内部连接。
VSSB	9	9	地	输出侧地参考端，驱动器 B 的地。
OUTB	10	10	输出	栅极驱动器 B 的输出端。
VDDDB	11	11	电源	输出侧驱动器 B 的供电电源输入，通过 0.1μF 10μF 电容将 VDDDB 旁路至 VSSB，电容应尽可能靠近 VDDDB 引脚放置。
VSSA	14	12	地	输出侧地参考端，驱动器 A 的地。
OUTA	15	13	输出	栅极驱动器 A 的输出端。
VDDA	16	14	电源	输出侧驱动器 A 的供电电源输入，通过 0.1μF 10μF 电容将 VDDA 旁路至 VSSA，电容应尽可能靠近 VDDA 引脚放置。

7. 产品规格

7.1. 绝对最大额定值¹

所有测试在自然通风条件下完成，除非另有说明。

参数		最小值	最大值	单位
输入侧电源电压	VCCI to GNDI	-0.3	20	V
输出侧电源电压	VDDA-VSSA, VDDDB-VSSB	-0.3	30	V
驱动器输出信号电压	OUTA to VSSA, OUTB to VSSB	-0.3	V _{DDA} +0.3 V _{DDDB} +0.3	V
	OUTA to VSSA, OUTB to VSSB, 200ns 瞬态	-2	V _{DDA} +0.3 V _{DDDB} +0.3	
输入信号电压	INA, INB, DIS, DT to GND	-0.3	V _{CCI} +0.3	V
	INA, INB, 50ns 瞬态	-5	V _{CCI} +0.3	
通道间压差	VSSA-VSSB, VSSB-VSSA		1500	V
结温 ²		-40	150	°C
贮存温度		-65	150	°C

注:

1. 工作条件等于或超出上述绝对最大额定值可能会导致器件永久性损坏。这里给出的是器件额定值，并非工作条件，不能据此推断产品能否正常工作。器件长期在超出最大额定值条件下工作会影响产品的可靠性，甚至导致产品损坏。
2. 请参考热参数，确保结温处于正常工作范围。

7.2. ESD 额定值

参数			数值	单位
V _{ESD}	静电放电	人体模型 (HBM), 基于 ANSI/ESDA/JEDEC JS-001。	±4000	V
		器件充电模型(CDM), 基于 JEDEC 规范 JESD22-C101。	±2000	

7.3. 建议工作条件

所有测试在自然通风条件下完成，除非另有说明。

参数			最小值	最大值	单位
VCCI	输入电源电压		3	18	V
VDDA, VDDDB	驱动输出偏置电压	6V UVLO 模式	8	25	V
		8V UVLO 模式	10	25	V
		12V UVLO 模式	14	25	V
T _J	结温		-40	130	°C
T _A	环境温度		-40	125	°C

7.4. 热参数

热参数		CA-IS322x	单位
		SOIC16-WB SOIC14-WB	
R _{θJA}	结至环境的热阻	67.3	°C/W

7.5. 额定功率

参数		测试条件	典型值	单位
P _D	输入侧和输出侧最大耗散功率	V _{CCI} = 18V, V _{DDA} =V _{DDDB} =15V,	1.05	W
P _{D1}	最大输入耗散功率	INA/INB=3.3V, 3MHz、50% 占空比	0.05	W
P _{D2}	最大输出耗散功率	方波, C _L = 1nF	0.5	W

7.6. 隔离特性

参数		测试条件	数值 W/K	单位
CLR	外部气隙（间隙） ¹	端子间的最短隔空距离	>8	mm
CPG	外部爬电距离 ¹	端子之间沿壳体最短距离	>8	mm
DTI	隔离距离	最小内部间隙（内部距离）	>28	μm
CTI	相对漏电指数	DIN EN 60112 (VDE 0303-11); IEC 60112	>600	V
材料组		依据 IEC 60664-1	I	
IEC 60664-1 过压类别		额定市电电压≤ 300 V _{RMS}	I-IV	
		额定市电电压≤ 600 V _{RMS}	I-IV	
		额定市电电压≤ 1000 V _{RMS}	I-III	
DIN V VDE V 0884-17: 2021-10 ²				
V _{IORM}	最大重复峰值隔离电压	交流电压(双极)	2121	V _{PK}
V _{IOWM}	最大工作隔离电压	交流电压; 时间相关的介质击穿 (TDDB) 测试	1500	V _{RMS}
		直流电压	2121	V _{DC}
V _{IOTM}	最大瞬态隔离电压	V _{TEST} = V _{IOTM} , t = 60 s (认证); V _{TEST} = 1.2 × V _{IOTM} , t = 1 s (100% 产品测试)	8000	V _{PK}
V _{IOSM}	最大浪涌隔离电压 ³	测试方法 依据 IEC 62368-1, 1.2/50 μs 波形, V _{TEST} = 1.6 × V _{IOSM} = 12800V _{PK} (认证)	8000	V _{PK}
q _{pd}	表征电荷 ⁴	方法 a, 输入/输出安全测试子类 2/3 后, V _{ini} = V _{IOTM} , t _{ini} = 60 s; V _{pd(m)} = 1.2 × V _{IORM} , t _m = 10 s	≤5	pC
		方法 a, 环境测试子类 1 后, V _{ini} = V _{IOTM} , t _{ini} = 60 s; V _{pd(m)} = 1.6 × V _{IORM} , t _m = 10 s	≤5	
		方法 b1, 常规测试 (100% 生产测试) 和前期 预处理(抽样测试) V _{ini} = 1.2 × V _{IOTM} , t _{ini} = 1 s; V _{pd(m)} = 1.875 × V _{IORM} , t _m = 1 s	≤5	
C _{IO}	栅电容, 输入到输出 ⁵	V _{IO} = 0.4 × sin (2πft), f = 1 MHz	0.5	pF
R _{IO}	绝缘电阻, 输入到输出 ⁵	V _{IO} = 500 V, T _A = 25°C	>10 ¹²	Ω
		V _{IO} = 500 V, 100°C ≤ T _A ≤ 125°C	>10 ¹¹	
		V _{IO} = 500 V at T _S = 150°C	>10 ⁹	
污染度			2	
气候类别			40/125/21	
UL 1577				
V _{ISO}	最大隔离电压	V _{TEST} = V _{ISO} , t = 60 s (认证), V _{TEST} = 1.2 × V _{ISO} , t = 1 s (100%生产测试)	5700	V _{RMS}
注:				
1. 爬电距离和间隙要求应根据具体应用中特定设备的隔离标准。电路板设计应注意保持爬电和间隙距离, 确保隔离器在印刷电路板上的焊盘不会缩短此距离。印刷电路板上的爬电距离与间隙在某些情况下是相同的。通过在电路板上插入凹槽可以增大这些距离指标。				
2. 该标准仅适用于最大工作额定值范围内的安全电气隔离, 应通过适当的保护电路确保遵守安全等级要求。				
3. 测试在空气或油中进行, 以确定隔离层固有的浪涌抑制。				
4. 表征电荷是由局部放电引起的放电电荷(pd)。				
绝缘栅两侧的所有引脚连接在一起, 构成双端器件。				

7.7. 安全认证

VDE	UL	CQC	TUV
根据 DIN EN IEC 60747-17 (VDE 0884-17):2021-10; EN IEC 60747-17:2020+AC:2021 认证	UL1577 器件程序认证	根据 GB4943.1-2022 认证	根据 EN 61010-1:2010 +A1 认证
增强绝缘:(SOIC16-WB/ SOIC14-WB) 最大瞬态隔离电压:8000V _{pk} 最大重复峰值隔离电压: 2121V _{pk} 最大浪涌隔离电压: 8000V _{pk}	保护电压: SOIC16-WB: 5700 V _{RMS} SOIC14-WB: 5700 V _{RMS}	增强绝缘: SOIC16-WB/SOIC14-WB (仅适用于海拔 5000 米及以下)	SOIC16-WB/SOIC14-WB: 符合 EN 61010- 1:2010 标准的 5700V _{RMS} 增强型绝缘
证书编号: 40057278 CA-IS3221AW 申请中 CA-IS3222AW 申请中	证书编号: E511334 CA-IS3221AW 申请中 CA-IS3222AW 申请中	证书编号: CQC23001406424	证书编号: AK 505918190001

7.8. 安全限定范围

参数		测试条件		最小值	典型值	最大值	单位
I _S	安全输入、输出或电源电流	R _{θJA} = 67.3°C/W, VDDA/B = 15V, T _J = 150°C, T _A = 25°C	驱动器 A, 驱动器 B	75			mA
		R _{θJA} = 67.3°C/W, VDDA/B = 25V, T _J = 150°C, T _A = 25°C	驱动器 A, 驱动器 B	36			
P _S	安全输入、输出或总功耗	R _{θJA} = 67.3°C/W, T _J = 150°C, T _A = 25°C	输入侧	50			mW
			驱动器 A	900			
			驱动器 B	900			
			总计	1850			
T _S	最高安全工作温度			150			°C

7.9. 电气特性

所有最大值、最小值的测试条件为： $T_A = -40^{\circ}\text{C}$ to $+125^{\circ}\text{C}$ 、 $V_{CC1} = 3.3\text{V}$ or 5V ， V_{CC1} 与 GND1 之间接 $0.1\mu\text{F}$ 旁路电容； $V_{DDA} = V_{ddb} = 12\text{V}$ 适用于 6V 和 8V UVLO 版本， $V_{DDA} = V_{ddb} = 15\text{V}$ 适用于 12V UVLO 版本。 V_{DDA} 与 V_{SSA} 、 V_{ddb} 与 V_{SSB} 之间接 $1\mu\text{F}$ 旁路电容，除非另有说明。
典型值测试条件为： $T_A = 25^{\circ}\text{C}$ 。

参数		测试条件	最小值	典型值	最大值	单位
电源电流						
I_{VCC1}	VCC1 静态电流	$V_{INA} = 0\text{V}$, $V_{INB} = 0\text{V}$		1.5	2.0	mA
I_{VDDA}, I_{Vddb}	VDDA 和 Vddb 的静态电流	$V_{INA} = 0\text{V}$, $V_{INB} = 0\text{V}$		1.0	1.8	mA
I_{VCC1}	VCC1 工作电流	($f = 500\text{kHz}$)每通道电流, $C_{OUT} = 100\text{pF}$		2.0		mA
I_{VDDA}, I_{Vddb}	VDDA 和 Vddb 的工作电流	($f = 500\text{kHz}$)每通道电流, $C_{OUT} = 100\text{pF}$		3.0		mA
VCC1 欠压锁定阈值						
VCC1(UVLO+)	上升阈值	INA, INB, DT tied to VCC1, VCC1 rising	2.60	2.75	2.95	V
VCC1(UVLO-)	下降阈值	INA, INB, DT tied to VCC1, VCC1 falling	2.25	2.40	2.60	V
VCC1HYS(UVLO)	迟滞欠压阈值			0.35		V
VDD 欠压锁定阈值 (6-V UVLO 版本)						
VDDA/B(UVLO+)	上升阈值	VCC1=INA=INB=DT, VDD rising	5.4	6.0	6.6	V
VDDA/B(UVLO-)	下降阈值	VCC1=INA=INB=DT, VDD falling	4.9	5.5	6.1	V
VDDA/BHYS(UVLO)	迟滞欠压阈值			0.5		V
VDD 欠压锁定阈值 (8-V UVLO 版本)						
VDDA/B(UVLO+)	上升阈值	VCC1=INA=INB=DT, VDD rising	7.3	8.1	8.9	V
VDDA/B(UVLO-)	下降阈值	VCC1=INA=INB=DT, VDD falling	6.7	7.4	8.2	V
VDDA/BHYS(UVLO)	迟滞欠压阈值			0.7		V
VDD 欠压锁定阈值 (12-V UVLO 版本)						
VDDA/B(UVLO+)	上升阈值	VCC1=INA=INB=DT, VDD rising	10.9	12.1	13.3	V
VDDA/B(UVLO-)	下降阈值	VCC1=INA=INB=DT, VDD falling	9.9	11.1	12.3	V
VDDA/BHYS(UVLO)	迟滞欠压阈值			1.0		V
INA, INB, EN 和 DIS 逻辑输入						
V_{INH}	输入逻辑高电平	VIN rising	1.6	1.8	2	V
V_{INL}	输入逻辑低电平	VIN falling	0.8	1	1.2	V
V_{HYS}	输入逻辑迟滞电压			0.8		V
V_{INA}, V_{INB}	负瞬态值, 以 GND 为参考, 50 ns 的脉冲		-5			V
驱动输出						
I_{OHA}, I_{OHB}	输出电流峰值	$C_{VDD} = 10\mu\text{F}$, $C_{LOAD} = 0.18\mu\text{F}$, $f_{PWM} = 1\text{kHz}$		5		A
I_{OLA}, I_{OLB}	输出电流峰值	$C_{VDD} = 10\mu\text{F}$, $C_{LOAD} = 0.18\mu\text{F}$, $f_{PWM} = 1\text{kHz}$		6		A
R_{OHA}, R_{OHB}	高状态时的输出阻抗	$I_{OUT} = -10\text{mA}$, $T_A = 25^{\circ}\text{C}$, R_{OHA}, R_{OHB} 不代表上拉驱动性能		5		Ω
R_{OLA}, R_{OLB}	低状态时的输出阻抗	$I_{OUT} = 10\text{mA}$, $T_A = 25^{\circ}\text{C}$		0.55		Ω
V_{OHA}, V_{OHB}	高状态时的输出电压	$I_{OUT} = -10\text{mA}$, $T_A = 25^{\circ}\text{C}$		VDD-0.05		V
V_{OLA}, V_{OLB}	低状态时的输出电压	$I_{OUT} = 10\text{mA}$, $T_A = 25^{\circ}\text{C}$		5.5		mV
死区时间和交叠时间						
t_{DT}	死区时间	DT 引脚拉至 VCC1	交叠时间由 INA, INB 决定			
		RDT = 20 k Ω , 见图 8-4	160	200	240	ns

7.10. 开关特性

所有最大值、最小值的测试条件为: $T_A = -40^{\circ}\text{C}$ to $+125^{\circ}\text{C}$, $V_{CC1} = 3.3\text{V}$ or 5V , V_{CC1} 与 GND1 之间接 $0.1\mu\text{F}$ 旁路电容; $V_{DDA} = V_{ddb} = 12\text{V}$ 适用于 6V 和 8V UVLO 版本, $V_{DDA} = V_{ddb} = 15\text{V}$ 适用于 12V UVLO 版本。 V_{DDA} 与 V_{SSA} 、 V_{ddb} 与 V_{SSB} 之间接 $1\mu\text{F}$ 旁路电容, 除非另有说明。
典型值测试条件为: $T_A = 25^{\circ}\text{C}$ 。

参数		测试条件	最小值	典型值	最大值	单位
t_r	输出信号上升时间	$C_{OUT} = 1.8\text{ nF}$, 见图 8-2		6	16	ns
t_f	输出信号下降时间			8	12	ns
t_{PWmin}	最小脉冲宽度	当输入脉冲宽度小于最小值, 输出被屏蔽, No Load		20	40	ns
t_{PLH}	传输延迟, 低到高	$f_{PWM} = 100\text{kHz}$, No Load, 见图 8-1		56	100	ns
t_{PHL}	传输延迟, 高到低	$f_{PWM} = 100\text{kHz}$, No Load, 见图 8-1		56	100	ns
t_{PWD}	脉冲宽度失真	$t_{PWD} = t_{PHL} - t_{PLH} $, No Load, 见图 8-1			7	ns
t_{DM}	两路输出之间的传输延迟匹配	$t_{DM} = t_{PHLA} - t_{PHLB} $ or $ t_{PLHA} - t_{PLHB} $ $f_{PWM} = 100\text{kHz}$, 见图 8-1			5	ns
$t_{VCC1+ \text{ to OUT}}$	V_{CC1} 上电延时: UVLO 上升至 OUTA, OUTB 输出	INA 或 INB 短接 V_{CC1} , 见图 8-5		55	100	μs
$t_{VDD+ \text{ to OUT}}$	V_{DDA}, V_{ddb} 上电延迟: UVLO 上升至 OUTA, OUTB	INA 或 INB 短接 V_{CC1} , 见图 8-5		68	100	μs
CMTI_H	共模瞬态抗扰度 (输出高电平)	INA 与 INB 都短接至 V_{CC1} ; $V_{CM} = 1500\text{V}$, 见图 8-6	100	150		V/ns
CMTI_L	共模瞬态抗扰度 (输出低电平)	INA 与 INB 都短接至 GND; $V_{CM} = 1500\text{V}$, 见图 8-6	100	150		V/ns

7.11. 关键参数

VCCI=3.3V 或 5V, VDDA=VDD=15V, T_A = 25°C, 除非另有说明。

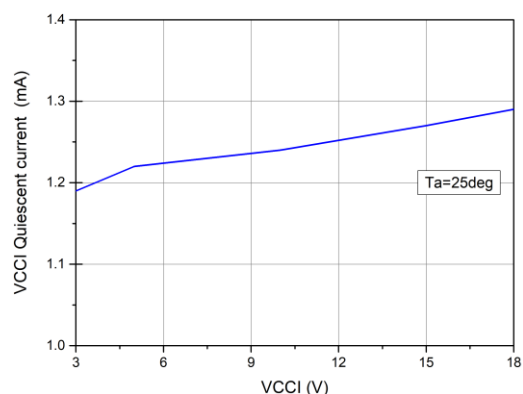


图 7-1 VCCI 静态工作电流与 VCCI 电压关系

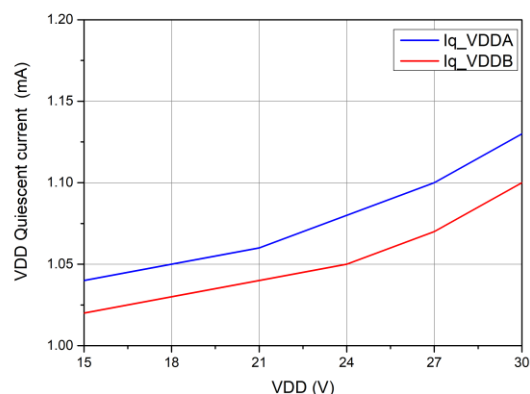


图 7-2 VDD 静态工作电流与 VDD 电压关系

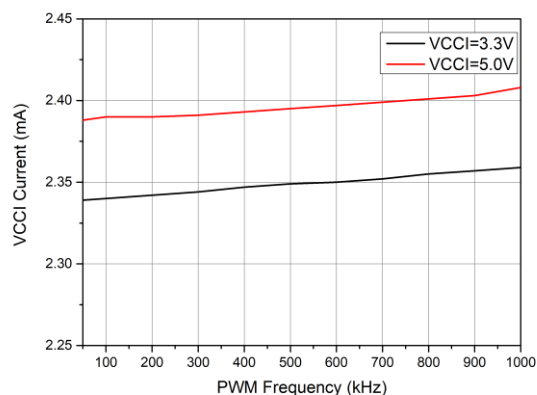


图 7-3 VCCI 电流与 PWM 频率的关系

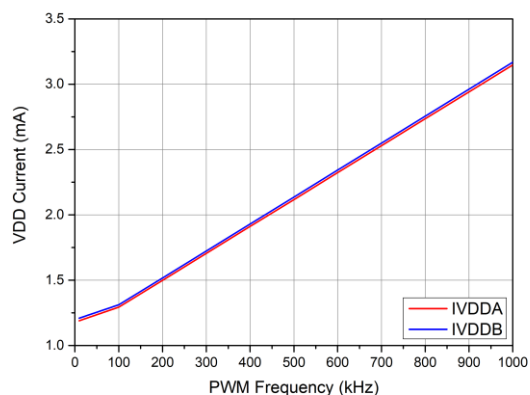


图 7-4 VDD 电流与 PWM 频率的关系 (No Load)

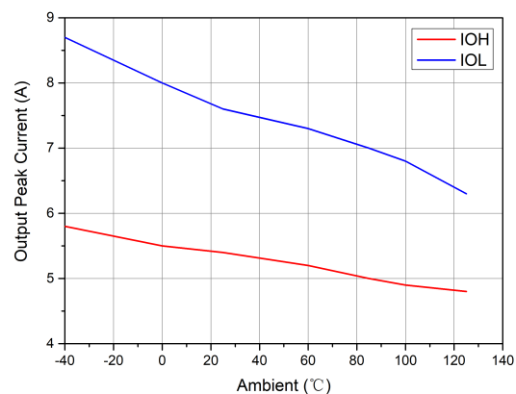


图 7-5 输出峰值电流与温度的关系 (Cload=180nF)

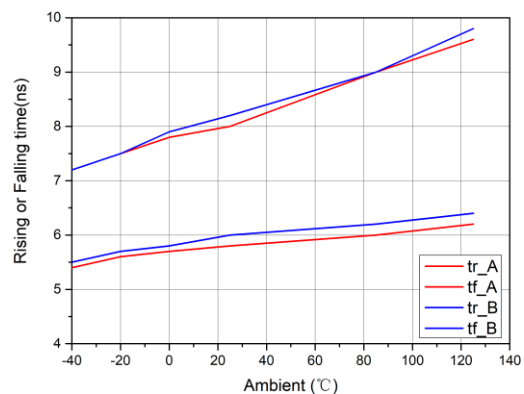


图 7-6 上升&下降时间与温度的关系 (Cload=1.8nF)

续上表:

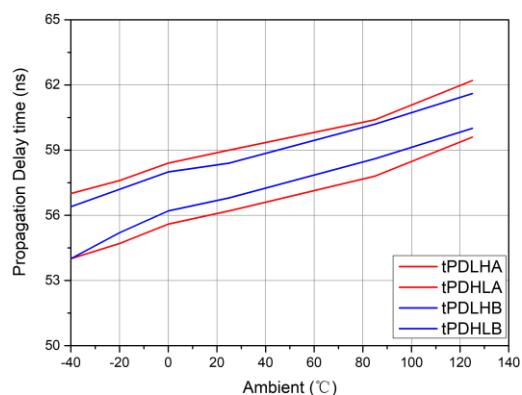


图 7-7 传输延时与温度的关系

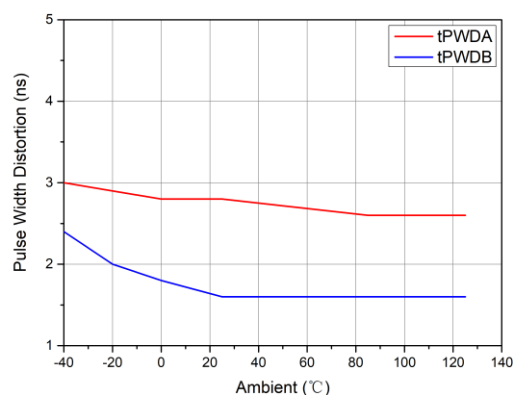


图 7-8 脉宽失真与温度的关系

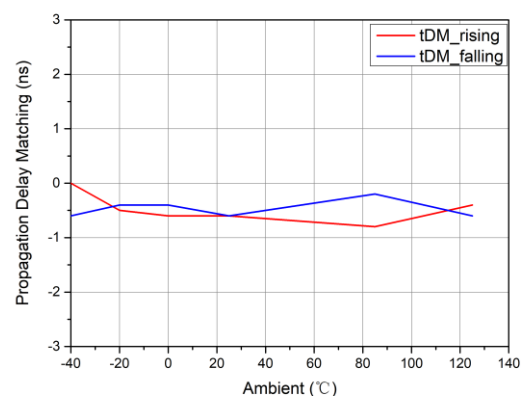


图 7-9 通道延时匹配与温度的关系

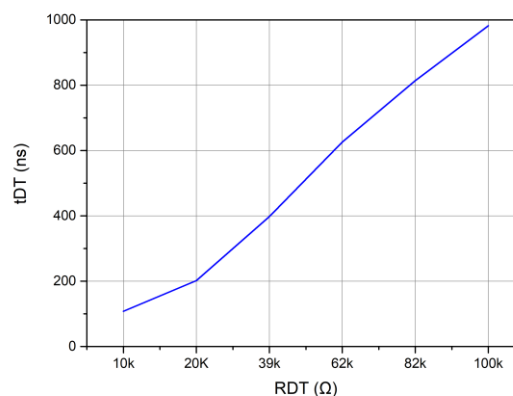


图 7-10 DT 电阻与 DT 时间的关系

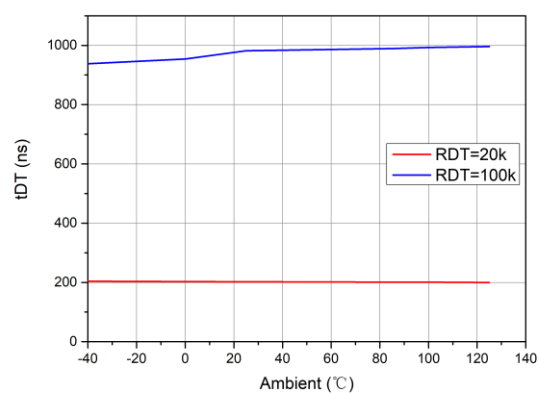


图 7-11 DT 时间与温度的关系

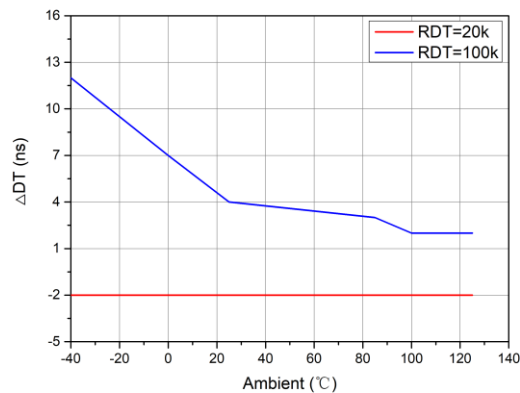


图 7-12 DT 时间匹配与温度的关系

8. 参数测量

8.1. 传输延时与脉冲宽度失真

图8-1所示给出了脉宽失真(t_{PWD})和两通道(A/B)间传输延时匹配度(t_{DM})的定义和测量。测量期间, 确保两路输入信号同步, 并关闭死区时间调节功能(DT引脚接 V_{CC1})。

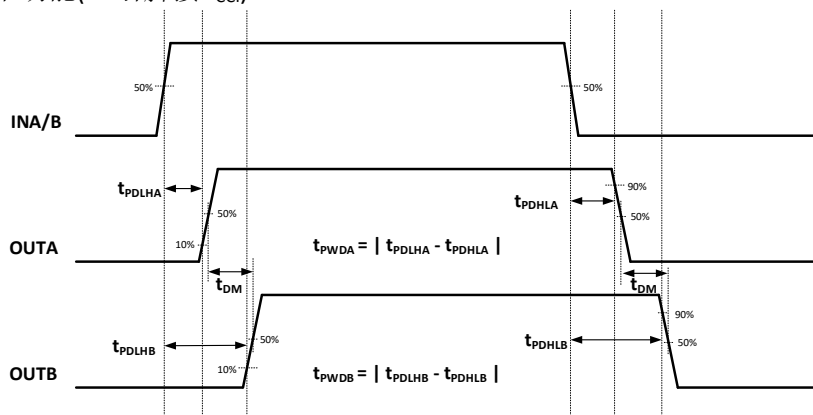


图 8-1. 传输延时与脉宽失真测试波形(关闭交叠输入与死区时间设置)

8.2. 上升时间与下降时间

图 8-2 所示给出了上升时间(t_r)和下降时间(t_f)的定义。

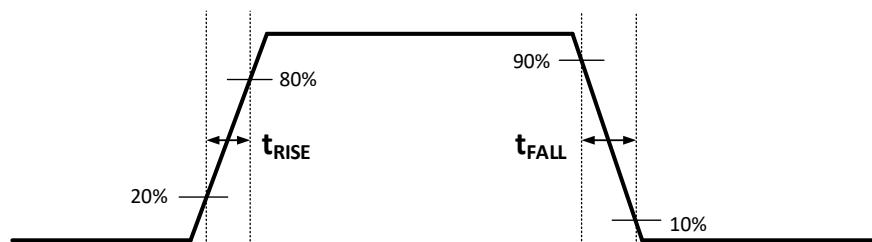


图 8-2. 上升时间与下降时间

8.3. 输入与使能/禁止控制响应时间

图 8-3 为使能/禁止控制响应时序。如果栅极驱动器距离微控制器较远, 建议在 DIS 或 EN 引脚与 GNDI 之间增加 1nF 低 ESR、低 ESL 旁路电容。

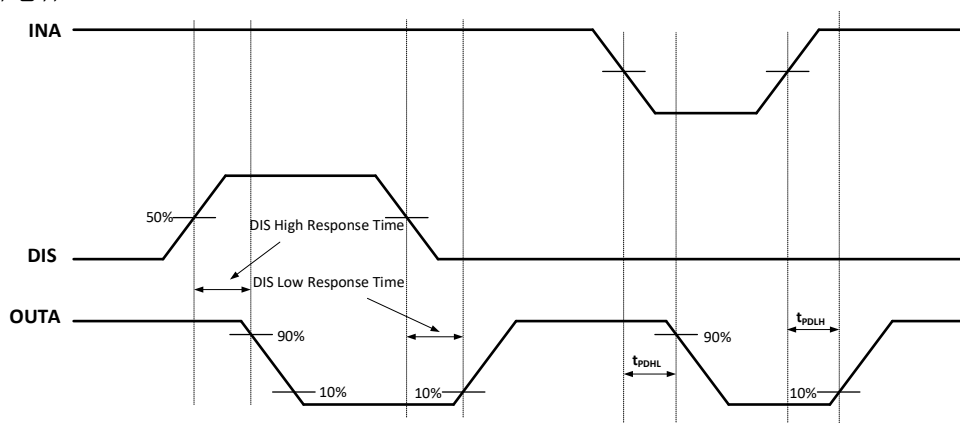


图 8-3. 禁止控制时序图

8.4. 可编程死区时间

图 8-4 显示了死区时间的测量，测量期间将 DT 引脚开路或在 DT 与 GNDI 之间连接外部电阻 R_{DT} ，详细信息请参考后续章节：可编程死区时间。

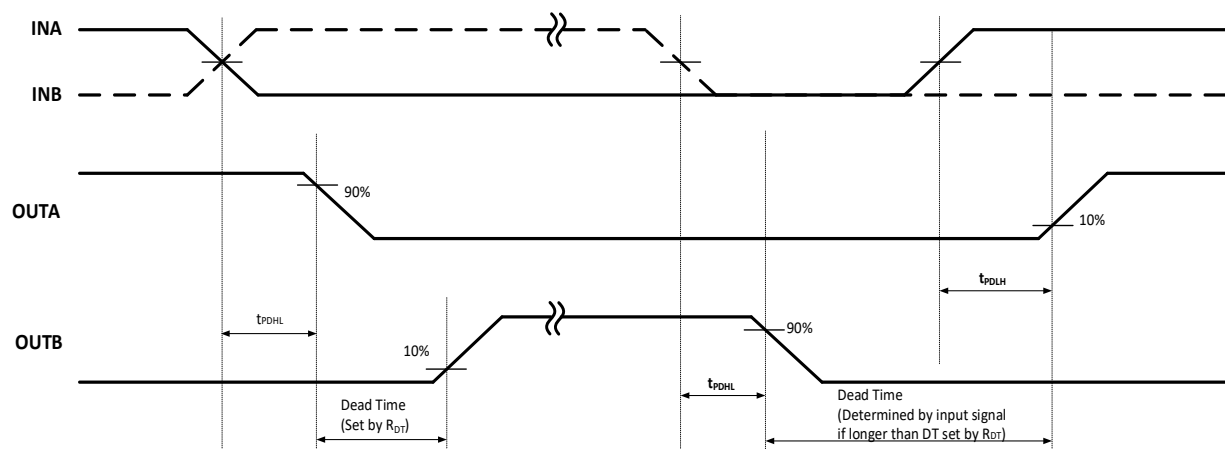


图 8-4. 死区时间设置参数

8.5. UVLO 上电延时

当电源电压从欠压锁存(UVLO)状态开始上升时，从电源上升到器件进入正常工作模式并正确提供驱动器输出之间存在一个延时，称其为上电延时。针对输入侧、输出侧供电电源，延迟时间分别定义为 $t_{V_{CCI+} \text{ to OUT}}$ (V_{CCI} UVLO 上电延时，典型值为 $55\mu s$) 和 $t_{V_{DD+} \text{ to OUT}}$ (V_{DD} UVLO 上电延时，典型值为 $68\mu s$)，参见图 8-5 所示 V_{CCI}/V_{DD} 上电延迟时序图。 V_{CCI} 和 V_{DD} 电源上电就绪，将 PWM 信号作用到驱动器输入 INA、INB 时，设计人员需要考虑留出一定裕量。当 V_{CCI} 和 V_{DD} 电源上升到相应的 UVLO 门限时，在 $t_{V_{CCI+} \text{ to OUT}}$ 或 $t_{V_{DD+} \text{ to OUT}}$ 延迟时间内，驱动器 A 和驱动器 B 不会响应任何输入信号的变化，只是将驱动器输出保持在低态。而当 V_{CCI} 或 V_{DDA}/V_{DDB} 跌落到相应的关断门限时，经过最大 $1\mu s$ 的延迟时间(取决于电源摆率)，驱动器将输出置于低电平。该延迟时间设计可确保系统在出现 V_{CCI} 或 V_{DDA}/V_{DDB} 断电情况下的安全工作。

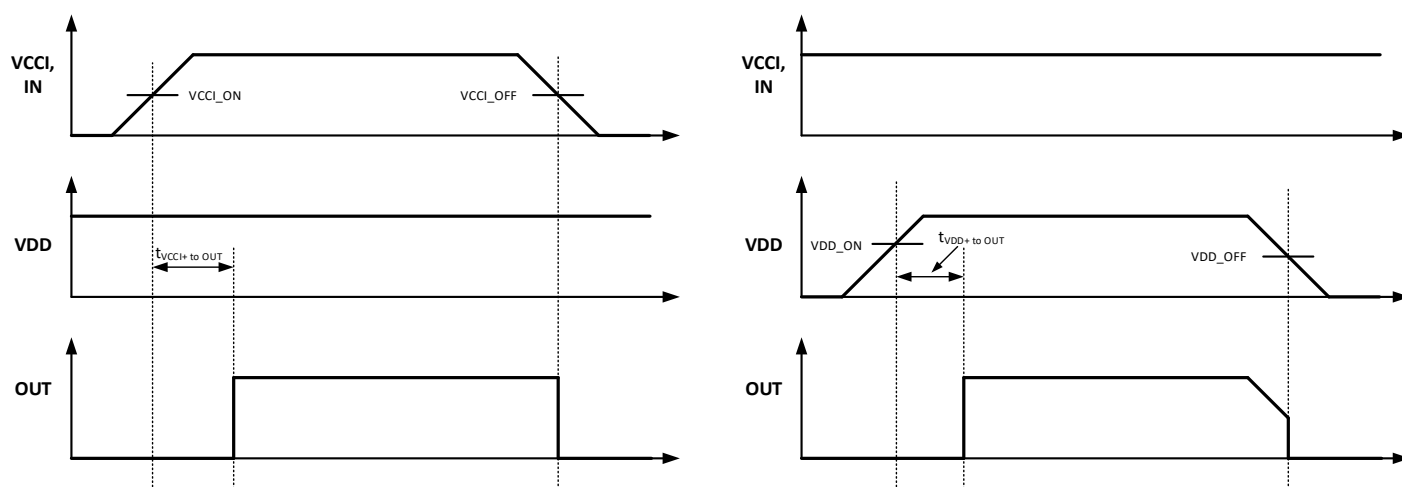


图 8-5. V_{CCI}/V_{DD} UVLO 上电延时

8.6. CMTI 测试电路

图 8-6 所示为 CA-IS3221x 的 CMTI 测试电路。

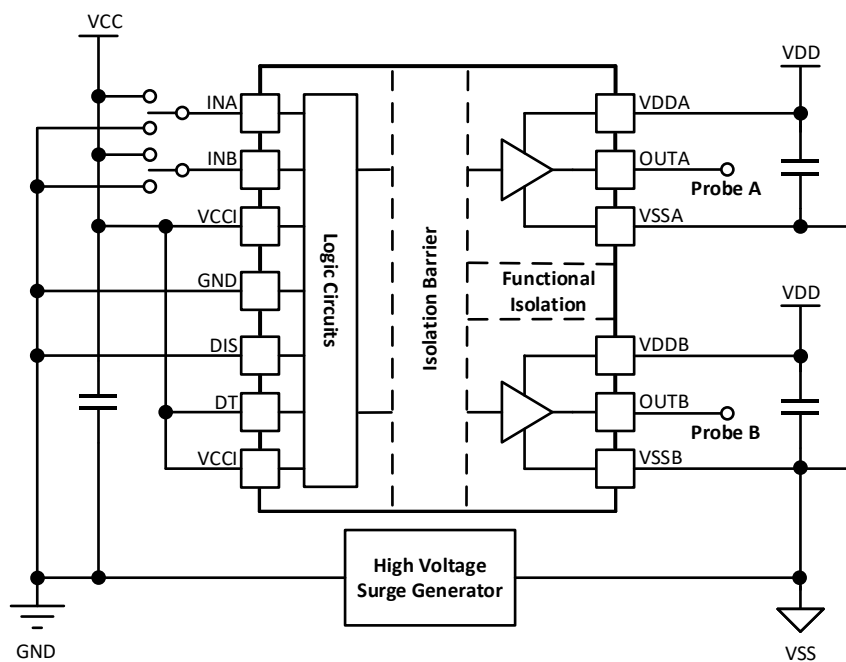


图 8-6. 共模瞬态抑制(CMTI)测试电路

9. 详细说明

9.1. 工作原理

在大功率电源、电机驱动等应用中，为了快速切换功率晶体管以降低开关损耗，通常在控制器输出与功率管之间放置一个大电流、高频栅极驱动器，以增强控制器的驱动能力。另外，新型功率开关，例如碳化硅(SiC)FET、氮化镓(GaN)FET 的出现，在许多应用领域开始替代传统的 MOSFET 和 IGBT 功率器件，这些新兴的半导体器件可以安全工作在更高的频率，支持更宽的温度范围，实现小型化、更高效的设计。另一当面，这些功率器件对栅极驱动器也提出了更高要求，比如，较高的 CMTI，超低传输延时等。

CA-IS322x 系列双通道、隔离型栅极驱动器完全满足上述需求，器件具有高开关速率，低传输延时，且两个通道保持较高的性能一致性(最大延时偏差 5ns)。在-40°C 至+125°C 温度范围内，脉宽失真低于 7ns。这些优势确保其理想用于高频、小尺寸的大功率系统设计。

该系列隔离型栅极驱动器可支持 6A 灌电流、5A 拉电流。可编程死区时间及内部逻辑电路避免输出级控制信号变化期间出现直通现象。器件提供两路同相输入驱动，输入侧供电电压(V_{CCI})为+3V 至+18V，输出侧供电电压可达+25V。另外，输入侧还提供高电平有效使能控制(CA-IS3222)或禁止控制(CA-IS3221)，以优化驱动器工作。当输入端悬空或者输入脉冲宽度过窄(脉宽小于 20ns)时，CA-IS322x 输出保持在低电平；当输入侧或输出侧处于欠压状态时，驱动器输出保持在低电平。

图 9-1 所示为 CA-IS322x 隔离型栅极驱动器的内部框图，包括输入级、输出级、死区控制、 V_{CCI} 和 V_{DD_UVLO} 检测以及数字隔离器等。以下章节将详细介绍各部分电路的工作原理。

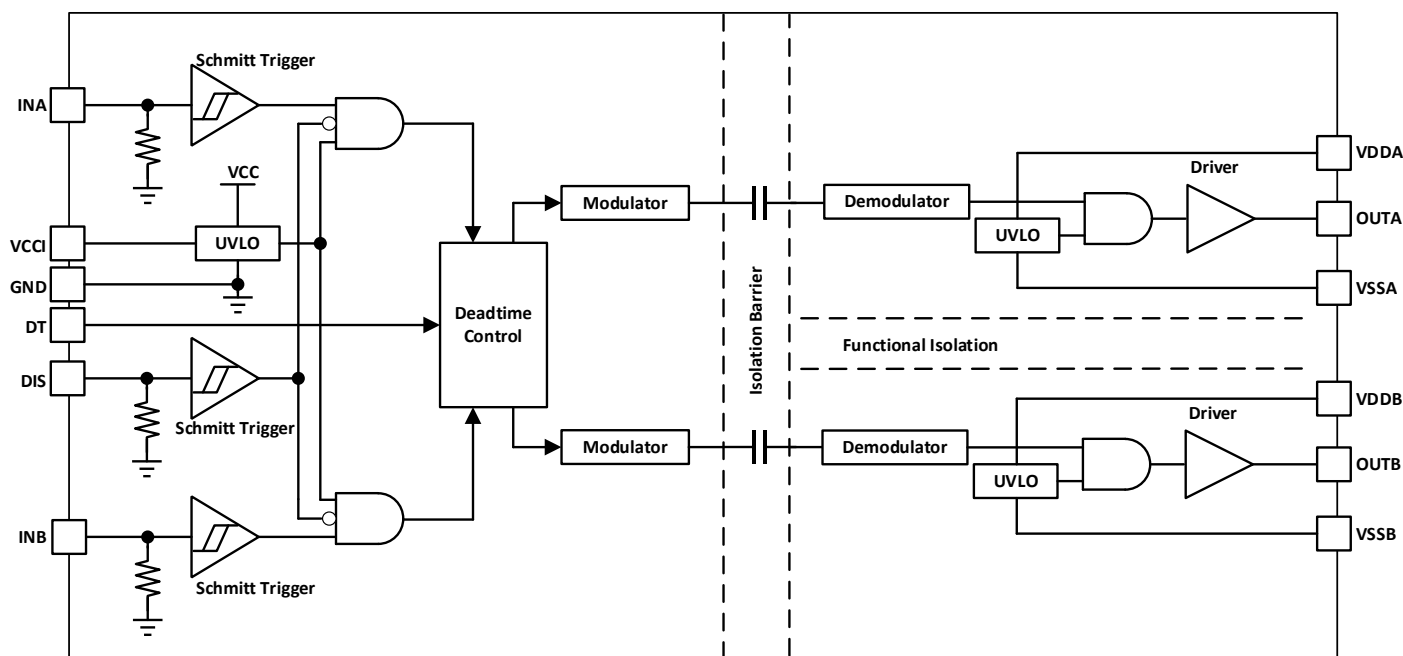


图 9-1. 功能框图

9.2. 输入级

9.2.1. TTL/CMOS 兼容输入

CA-IS322x 输入信号(INA、INB、DIS/EN)兼容于 TTL/CMOS 逻辑电平阈值，且不受 $V_{DD_}$ 电源电压的制约。由于 CA-IS322x 系列的高电平阈值典型值为 1.8V，低电平阈值典型值为 1V，同时阈值随温度变化很小，可以轻松连接低压供电的微控制器。0.8V 的宽范围迟滞确保良好的噪声抑制和器件的稳定运行。器件提供两路输入：INA 和 INB，可抑制输入信号的

瞬态扰动或噪声干扰，即当输入脉冲宽度小于 20ns 时，驱动器输出保持之前的电平，以避免误操作。若任一输入引脚保持开路状态时，电路内部的下拉电阻将该引脚强制拉低。但是，对于不使用的信号输入引脚，我们强烈推荐将该引脚连接至 GNDI。

由于 CA-IS322x 系列的输入侧与输出侧驱动器是完全隔离的，输入信号的幅值支持+3V 至+18V，从而提高了器件与控制器连接的灵活性，但需要注意的是，驱动器输入信号 INA 与 INB 的幅值不能超过 V_{CC1} ，参见绝对最大额定值 1。

9.2.2. 使能与禁止控制

CA-IS3221 具有驱动器禁止控制(DIS)，将 DIS 引脚置为高电平时，关闭隔离器并拉低驱动器输出；当 DIS 引脚接低电平或开路时，使能驱动器的正常工作。

CA-IS3222 具有驱动器使能控制(EN)，当 EN 引脚置于低电平或接地时，关闭隔离器，驱动器输出低电平；当 EN 引脚置于高电平或开路时，使能栅极驱动器工作。

禁止和使能控制具有快速响应，响应时间小于 60ns。只有当 V_{CC1} 电压保持在 UVLO 阈值之上时，使能控制才起作用。如果不使用(EN 或 DIS)控制引脚，建议将 DIS 引脚接地，而将 EN 引脚接 V_{CC1} ，以获得更好的抗噪能力。另外，当 DIS 或 EN 引脚距离微控制器较远时，建议在靠近 DIS/EN 引脚处放置一个约 1nF 的低 ESR/低 ESL 旁路电容。器件内部为 EN 引脚提供弱上拉至 V_{CC1} 、DIS 和 INA/INB 输入引脚则提供弱下拉至 GNDI，参见表 9-1、表 9-2 关于 CA-IS3221 和 CA-IS3222 的输入与输出真值表。

表 9-1. CA-IS3221 输入与输出真值表¹

输入			输出		说明
INA	INB	禁止(DIS)	OUTA	OUTB	
L	L	L 或开路	L	L	如果启用死区时间设置功能，驱动器输出的跳变时间取决于死区时间，具体可参考可编程死区时间部分。
L	H	L 或开路	L	H	
H	L	L 或开路	H	L	
H	H	L 或开路	L	L	外接电阻 R_{DT} 设置死区时间。
H	H	L 或开路	H	H	DT 上拉至 V_{CC1} 。
开路	开路	L 或开路	L	L	
X	X	H	L	L	
注：					
1. X = 无关；H = 高电平；L = 低电平。					
2. DIS 引脚内部弱下拉至 GNDI。					

表 9-2. CA-IS3222 输入与输出真值表¹

输入			输出		说明
INA	INB	使能(EN)	OUTA	OUTB	
L	L	H 或开路	L	L	如果启用死区时间设置功能，驱动器输出的跳变时间取决于死区时间，具体可参考可编程死区时间部分。
L	H	H 或开路	L	H	
H	L	H 或开路	H	L	
H	H	H 或开路	L	L	外接电阻 R_{DT} 设置死区时间。
H	H	H 或开路	H	H	DT 上拉至 V_{CC1} 。
开路	开路	H 或开路	L	L	
X	X	L	L	L	
注：					
1. X = 无关；H = 高电平；L = 低电平。					
2. EN 引脚内部弱上拉至 V_{CC1} 。					

9.3. 驱动器输出级

CA-IS322x 提供两路独立输出。内部电路在输出侧提供驱动器A与驱动器B之间的功能隔离，可承受1500V DC工作电压。驱动器输出级集成了上拉和下拉电路，提供较高的灌电流和拉电流驱动，以满足大功率晶体管的驱动要求。图9-2所示为输出级电路，一个P沟道MOSFET与一个N沟道MOSFET并联构成输出上拉电路，其中，N沟道MOSFET仅在输出由

低电平向高电平转换期间短暂导通，以在短时间内增强驱动电流，快速导通外部晶体管。高边N沟道MOSFET的导通电阻(R_{NMOS})仅有 0.8Ω （仿真值）； R_{OH} (5Ω , 典型值)为高边P沟道MOSFET的导通电阻。由于N沟道MOSFET在直流状态下处于关断状态， R_{OH} 为导通电阻的直流测试结果。因此，导通阶段输出电阻为两个MOSFET导通电阻的并联： $R_{OH} || R_{NMOS}$ 。

CA-IS322x 的下拉结构仅包含了一个 N 沟道 MOSFET。图 9-2 中， R_{OL} 为下拉电路 N 沟道 MOSFET 的导通电阻，典型值为 0.55Ω 。由于输出级 MOSFET 具有超低导通电阻，MOSFET 漏源之间产生的压降非常小，CA-IS322x 的输出电压摆幅可以达到电源轨到轨($V_{DD_}$ 与 $V_{SS_}$ 之间的电压)。

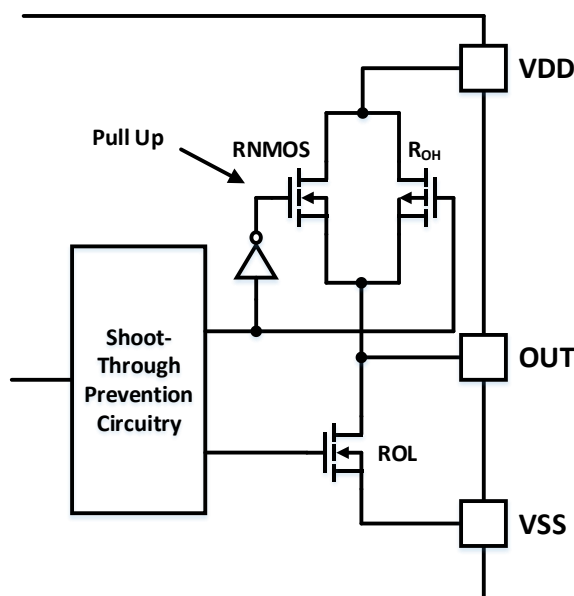


图 9-2. 驱动器输出级

9.4. 欠压锁存(UVLO)

CA-IS322x 内部对输入侧电源电压(V_{CCI})和输出侧电源($V_{DD_}$)均进行欠压监测。一旦检测到欠压故障，器件将驱动器输出置于低电平状态(默认状态)，该操作与 INA 或/和 INB 输入状态无关。低电平输出关断外部晶体管，以避免欠压驱动 IGBT 或 MOSFET 等功率器件。

当输出侧供电电源(V_{DDA} 或 V_{ddb})处于欠压状态时，即上电时 $V_{DD_} < V_{VDD_}(UVLO+)$ ，掉电或正常工作时出现电压跌落 $V_{DD_} < V_{VDD_}(UVLO-)$ ，无论输入 INA/INB 为何种状态，相应的驱动器将输出置于低电平。如图 9-3 所示，在断电或欠压状态下，高边 P 沟道 MOSFET 在 R_{Hi-z} 上拉作用下保持关断，而低边 N 沟道 MOSFET 的栅极通过 R_{CLAMP} 连接在驱动器输出端，这一有源钳位电路将驱动器输出钳制在 N 沟道 MOSFET 的阈值电压，典型值约为 $1.5V$ 。CA-IS322x 提供 $8V$ 和 $12V$ 欠压门限选择，此外， $V_{CCI} UVLO$ 和 $V_{DD_} UVLO$ 欠压保护电路均带有迟滞，可避免电源地存在噪声时发生啁啾现象，同时也允许器件接受电源电压出现小幅跌落，确保系统稳定工作。表 9-3 和表 9-4 列出了 V_{CCI} 、 $V_{DD_}$ 发生欠压故障时对应的驱动器输出。

在输入侧，上电过程中，在 V_{CCI} 电压超出 $V_{VCCI}(UVLO+)$ 之前，器件处于禁止状态； V_{CCI} 低于 $V_{VCCI}(UVLO-)$ 时，隔离器停止传输输入信号。

欠压故障解除后，当电源电压升高至 $UVLO$ 门限以上时，CA-IS322x 驱动器需要经过上电延迟时间($t_{VCCI+ to OUT}$ 或 $t_{VDD+ to OUT}$)后才会进入正常工作模式，控制器应该在上电延迟结束后再尝试向栅极驱动器发送 PWM 控制信号。

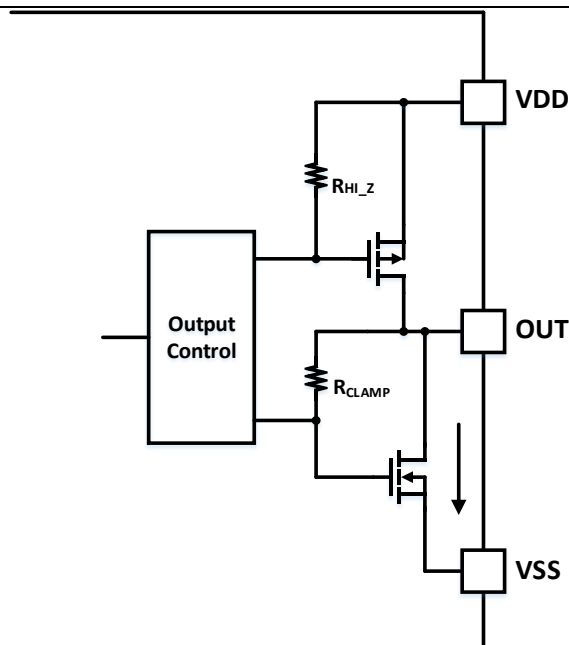


图 9-3. 有源下拉

表 9-3. CA-IS322x 输出(V_{CCI} 发生欠压)

V_{CCI} 条件	输入		输出	
	INA	INB	OUTA	OUTB
器件上电期间, $V_{CCI}-GNDI < V_{VCCI}(UVLO+)$	H	L	L	L
器件上电期间, $V_{CCI}-GNDI < V_{VCCI}(UVLO+)$	L	H	L	L
器件上电期间, $V_{CCI}-GNDI < V_{VCCI}(UVLO+)$	H	H	L	L
器件上电期间, $V_{CCI}-GNDI < V_{VCCI}(UVLO+)$	L	L	L	L
器件上电后, $V_{CCI}-GNDI < V_{VCCI}(UVLO-)$	H	L	L	L
器件上电后, $V_{CCI}-GNDI < V_{VCCI}(UVLO-)$	L	H	L	L
器件上电后, $V_{CCI}-GNDI < V_{VCCI}(UVLO-)$	H	H	L	L
器件上电后, $V_{CCI}-GNDI < V_{VCCI}(UVLO-)$	L	L	L	L

表 9-4. CA-IS322x 输出($V_{DD_}$ 发生欠压)

$V_{DD_}$ 条件	输入		输出	
	INA	INB	OUTA	OUTB
器件上电期间, $V_{DD_} - V_{SS_} < V_{VDD_}(UVLO+)$	H	L	L	L
器件上电期间, $V_{DD_} - V_{SS_} < V_{VDD_}(UVLO+)$	L	H	L	L
器件上电期间, $V_{DD_} - V_{SS_} < V_{VDD_}(UVLO+)$	H	H	L	L
器件上电期间, $V_{DD_} - V_{SS_} < V_{VDD_}(UVLO+)$	L	L	L	L
器件上电后, $V_{DD_} - V_{SS_} < V_{VDD_}(UVLO-)$	H	L	L	L
器件上电后, $V_{DD_} - V_{SS_} < V_{VDD_}(UVLO-)$	L	H	L	L
器件上电后, $V_{DD_} - V_{SS_} < V_{VDD_}(UVLO-)$	H	H	L	L
器件上电后, $V_{DD_} - V_{SS_} < V_{VDD_}(UVLO-)$	L	L	L	L

9.5. 数字隔离

CA-IS322x 内部的数字隔离器采用川土微电子的全差分电容隔离技术，利用开/关键控(OOK)调制器实现两个不同电源域之间的数字信号传输。驱动器输入侧与输出侧采用二氧化硅(SiO_2)绝缘层隔离，提供 $5.7\text{kV}_{\text{RMS}}$ (宽体 SOIC 封装) 隔离耐压，并可承受 $1500\text{V}_{\text{RMS}}$ 工作电压、 8kV_{PK} 浪涌。其中，隔离发送器对于一个逻辑输入状态(逻辑“1”)向输出侧发送高频载波；而对于另一逻辑状态(逻辑“0”)，则不向输出侧传送任何信号。输出侧的隔离接收器将跨越绝缘栅的高频载波信号转换成逻辑“1”；而没有高频信号时，则产生逻辑“0”输出。由此，在隔离侧解调并复原接收信号。由于采用了差分技术，CA-IS322x 可有效抑制共模噪声，提供优异的 CMTI 性能(最小 100V/ns)，并将高频载波和输入、输出侧开关操作所产生的辐射降至最低。

9.6. ESD 保护电路

图 9-4 所示为 CA-IS322x 内部输入侧和输出侧的增强 ESD 保护架构，其中，VCCI 引脚和 VDDA/Vddb 引脚分别提供高达 +20V 和 +30V 的故障保护，故障保护不受 VCCI 和 VDD_ 供电电压限制。

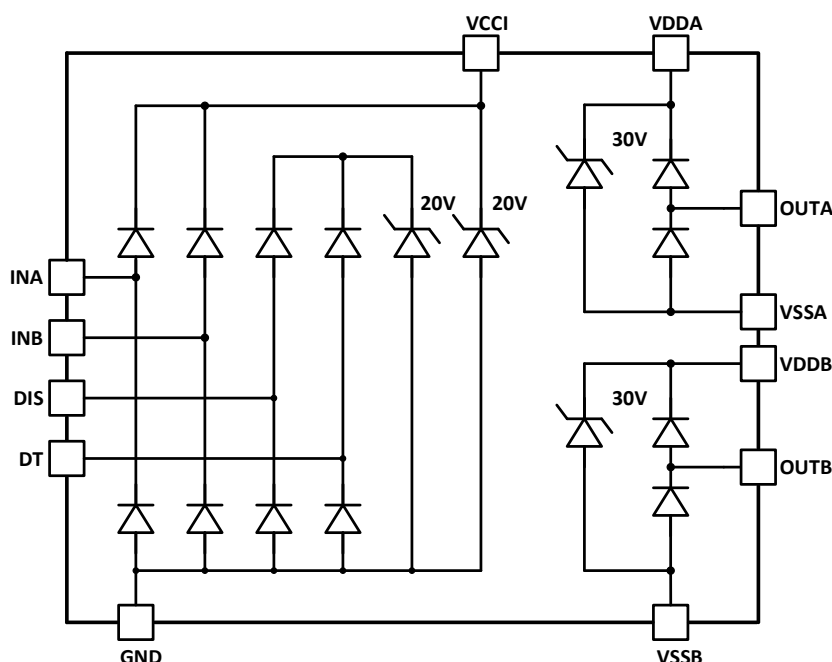


图 9-4. ESD 保护电路

9.7. 可编程死区时间

CA-IS322x 隔离型栅极驱动器集成了可编程死区时间电路，以避免高边、低边功率晶体管同时导通而损坏器件。在 CA-IS322x 的 DT 引脚与 GNDI 引脚之间连接电阻 R_{DT} ，用于调节死区时间。死区时间作用于 OUTA、OUTB 输出的上升沿或下降沿，死区时间计算公式如下：

$$t_{DT} \approx 10 \times R_{DT} \quad (1)$$

其中 R_{DT} 单位为 $\text{k}\Omega$ ， t_{DT} 单位为 ns 。DT 引脚的静态电压约为 0.8V 。如果 $R_{DT}=100\text{k}\Omega$ ，DT 引脚的电流小于 $10\mu\text{A}$ 。如果 $R_{DT} > 5\text{k}\Omega$ ，建议在靠近 R_{DT} 的位置并联一个至少 2.2nF 的陶瓷电容，以获得更好的抗噪性，并确保两通道之间死区时间的更好匹配。也可以将 DT 引脚接 VCCI，允许输出交叠，与输入信号保持完全一致。另外，DT 引脚不能悬空。

输入信号的下降沿触发可编程死区时间。若两个输入信号 INA/INB 同时为高电平，两路输出 OUTA/OUTB 立刻被拉至低电平，防止外部晶体管直通，同时也不会影响正常工作中的死区时间设置。图 9-5 给出了在不同工作条件下驱动器死区时间管理与输出的逻辑关系。

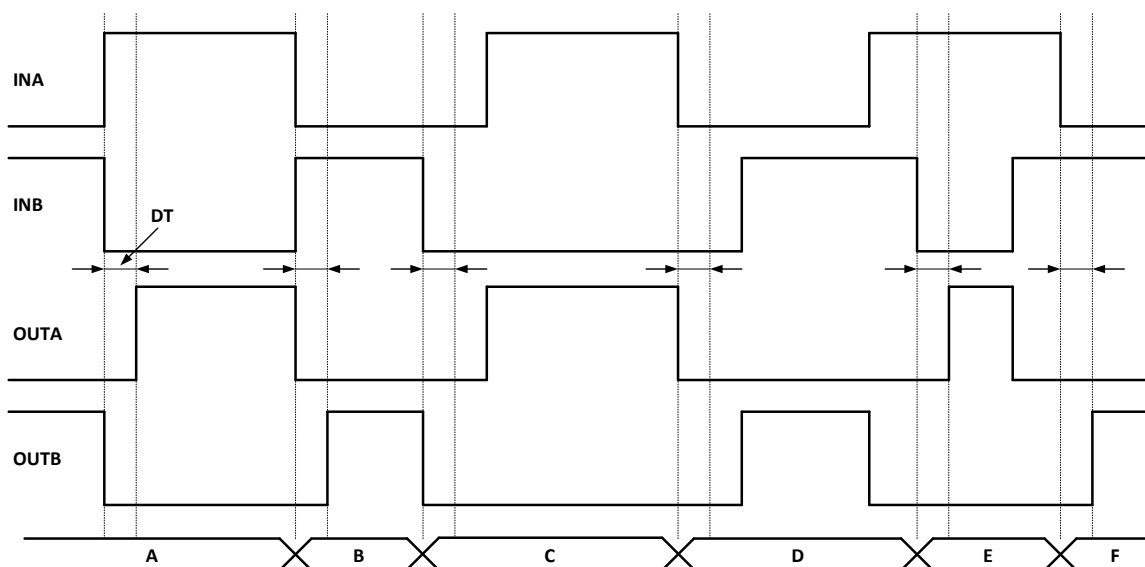


图 9-5. 采用可编程死区时间条件下，输出与输入信号时序关系

图 9-5 中，不同输入条件下可编程死区时间的控制时序如下：

A: 输入信号 INB 拉低，同时 INA 拉高时：INB 的下降沿触发可编程死区时间功能，且 t_{DT} 作用于 OUTA。器件立刻将输出信号 OUTB 置于低电平，输出信号 OUTA 经过所设置的死区时间 t_{DT} 后变为高电平。

B: 输入信号 INA 拉低，同时 INB 拉高时：INA 的下降沿触发可编程死区时间功能，且 t_{DT} 作用于 OUTB。器件立刻将输出信号 OUTA 置于低电平，输出信号 OUTB 经过所设置的死区时间 t_{DT} 后变为高电平。

C: 输入信号 INB 拉低，INA 仍保持低电平：器件立刻将输出信号 OUTB 置于低电平；INB 的下降沿触发可编程死区时间功能，且 t_{DT} 作用于 OUTA。输出信号 OUTA 经过所设置的死区时间 t_{DT} 后允许变为高电平。这种情况下，由于 INA 在 t_{DT} 后仍然保持在低电平，这意味着 INA 输入本身的死区时间大于 t_{DT} ，因此，当 INA 拉高时，OUTA 立即输出高电平。

D: 输入信号 INA 拉低，INB 仍保持低电平：器件立刻将输出信号 OUTA 置于低电平；INA 的下降沿触发可编程死区时间功能，且 t_{DT} 作用于 OUTB。输出信号 OUTB 经过所设置的死区时间 t_{DT} 后允许变为高电平。这种情况下，由于 INB 在 t_{DT} 后仍然保持在低电平，这意味着 INB 输入本身的死区时间大于 t_{DT} ，因此，当 INB 拉高时，OUTB 立即输出高电平。

E: 输入信号 INA 拉高，而 INB 和 OUTB 仍保持高电平：器件立刻将输出信号 OUTB 置于低电平，且 OUTA 继续保持低电平，以避免直通；OUTB 拉低后，经过一个延时触发可编程死区时间功能，且 t_{DT} 作用于 OUTA。由于 OUTB 已经置低，输出信号 OUTA 经过所设置的死区时间 t_{DT} 后变为高电平。

F: 输入信号 INB 拉高，而 INA 和 OUTA 仍保持高电平：器件立刻将输出信号 OUTA 置于低电平，且 OUTB 继续保持低电平，以避免直通；OUTA 拉低后，经过一个延时触发可编程死区时间功能，且 t_{DT} 作用于 OUTB。由于 OUTA 已经置低，输出信号 OUTB 经过所设置的死区时间 t_{DT} 后变为高电平。

10. 应用信息

10.1. 典型应用

CA-IS322x隔离型栅极驱动器经过优化设计，用于驱动MOSFET、IGBT或SiC等大功率晶体管，以降低系统成本、改善工作效率。该系列产品可以配置为双通道低边、双通道高边驱动器和半桥驱动器。CA-IS322x的EN或DIS引脚能够快速地将驱动器A和驱动器B的输出置于低电平。默认低电平输出确保输入侧与输出电源电压处于UVLO状态时，系统保持安全可靠。另外，该系列栅极驱动器较高的CMTI(最小值为100V/ns)、较高的隔离耐压、可编程死区时间、UVLO检测以及通道间传输延时的超低偏差(5ns, 最大值)，使得CA-IS322x成为大功率晶体管驱动的理想选择，为工业、汽车应用提供高度可靠性。图10-1为CA-IS322x的典型应用电路，图中CA-IS3221配置为半桥驱动，适用于同步整流buck、同步整流boost电源转换器，以及半桥/全桥隔离拓扑、3相电机驱动等应用。

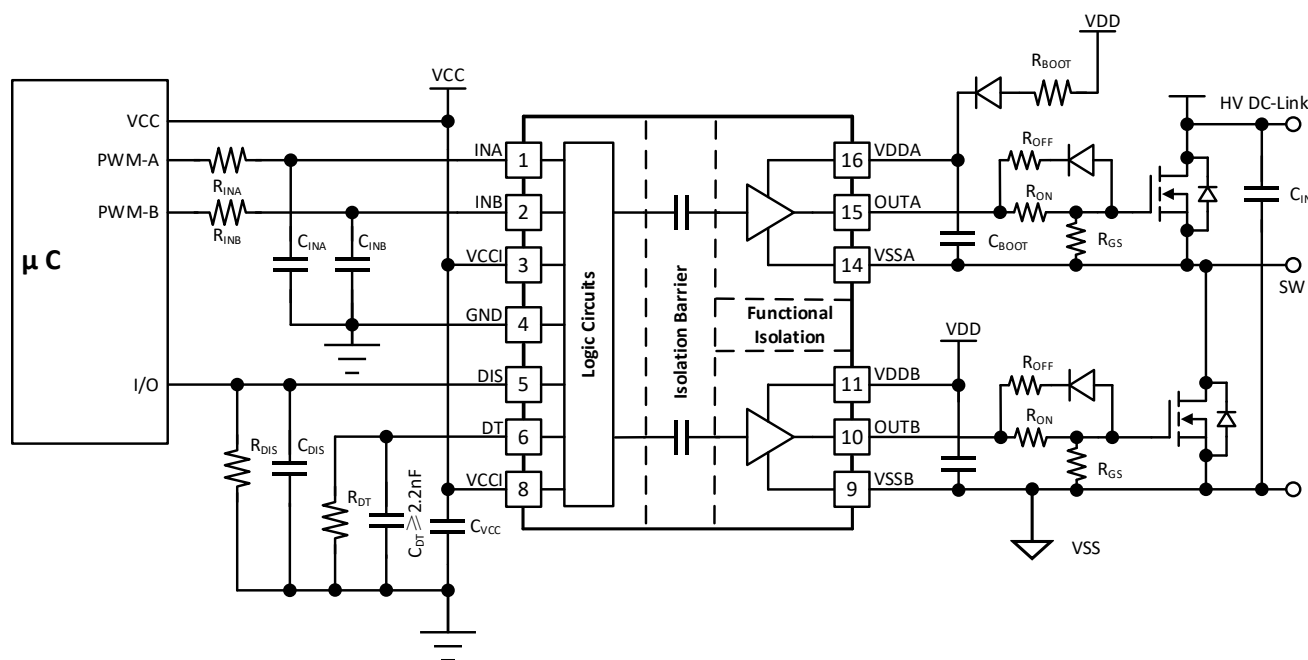


图 10-1. CA-IS3221 典型应用电路

表 10-1 列出了 CA-IS322x 在典型的高边驱动、低边驱动配置中的设计参数，功率晶体管为 1200V SiC MOSFET。

表 10-1. CA-IS322x 设计要求

参数	数值	单位
功率晶体管	80mΩ/31A/1200V	-
VCCI	5.0	V
VDDA, Vddb	20	V
输入信号幅度	3.3	V
开关频率(f_s)	100	kHz
HV DC-Link	800	V

10.2. 供电电源选择

CA-IS322x 可以接受较宽的供电电压范围：VCCI 供电范围为 3V 至 18V；VDD_供电范围为 VVDD_(UVLO+)至 25V。它们没有特殊的上电顺序要求，但适当的电源去耦、布线非常关键。为减小电源纹波，在输入侧，推荐 VCCI 引脚至 GNDI 采用 1μF/25V 和 100nF/25V 的低 ESR、低 ESL 陶瓷电容并联，去耦电容应紧靠器件引脚放置。在输出侧，推荐 10μF/50V 和 100nF/50V 并联的低 ESR 电容分别将 VDD 至 VSS，旁路电容应紧靠 VDD 引脚放置。

10.3. 输入滤波器选择

当 MCU 输入信号 PCB 走线较长或非理想布局时，建议在信号 INA 和 INB 引脚出增加 R_{IN} - C_{IN} 低通滤波器，滤除来自输入信号干扰。一般该滤波器使用 0 至 100 Ω 范围内的 R_{IN} 与 10 pF 至 100 pF 范围的 C_{IN} 组合。在选择这些组件时，重要的是要注意良好的抗噪性之间的权衡和传播延迟。

例如，选择 $R_{IN}=51\Omega$ 和 $C_{IN}=33\text{pF}$ ，截止频率约为 95MHz。

10.4. 栅极驱动电阻选择

外部栅极驱动电阻对功率管设计尤为关键，当功率管开关时，寄生电感、寄生电容、高 dv/dt 和 di/dt 以及二极管反向恢复时间都可能导致功率管的不良行为或 EMI 问题。栅极驱动电阻主要对以下三个方面产生影响：驱动电流、开关损耗、上升和下降时间。因此，设计者在实际选取驱动电阻时，需要平衡方案的综合性能参数。

I_{OH} 峰值电流估算公式：

$$I_{OH} = \min \left[5A, \frac{V_{DD} - V_{SS}}{(R_{NMOS} || R_{OH} + R_{GON} + R_{GFET_{int}})} \right]$$

其中，

- R_{GON} 是外部栅极导通电阻
- $R_{GFET_{int}}$ 是功率管内部栅极电阻（需查找功率管数据表）

I_{OL} 峰值电流估算公式：

$$I_{OL} = \min \left[6A, \frac{V_{DD} - V_{SS}}{(R_{OL} + R_{GOFF} + R_{GFET_{int}})} \right]$$

其中，

- R_{GOFF} 是外部栅极关断电阻
- $R_{GFET_{int}}$ 是功率管内部栅极电阻（需查找功率管数据表）

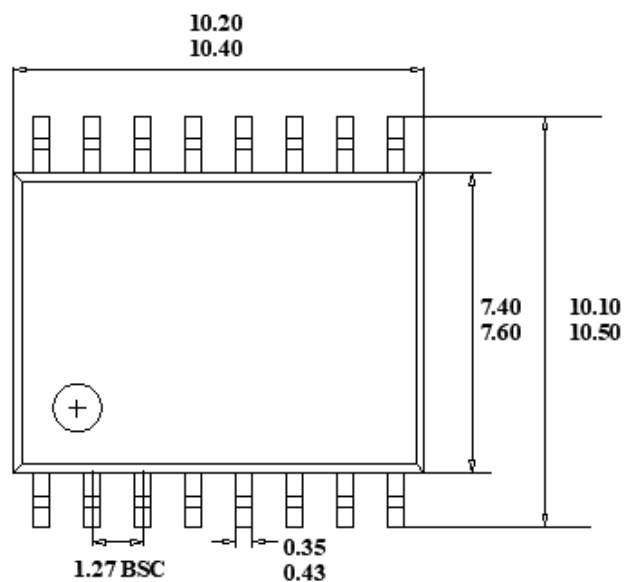
10.5. PCB 布局指南

为了达到 CA-IS322x 的最优性能，PCB 布局时需要遵循以下原则：

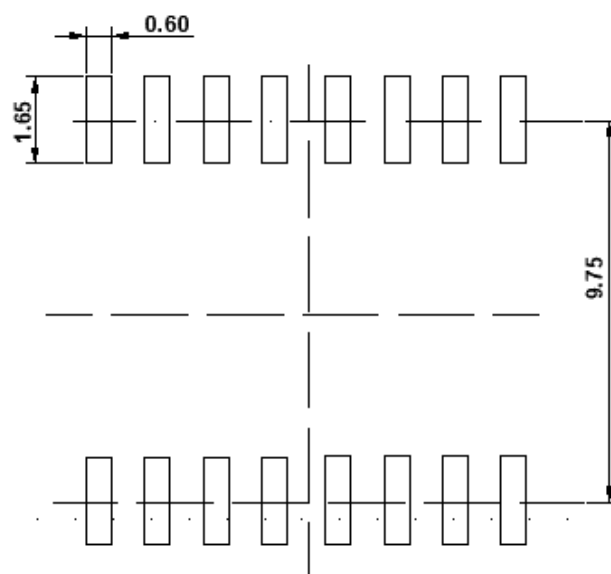
- 为了保证电源为稳定性和低噪声，低 ESR 和低 ESL 电容器必须靠近器件连接在 VCCI 和 GND 引脚之间以及 VDD 和 VSS 引脚之间，以便在接通外部电源时支持高峰值电流。
- 为避免开关节点 VSSA（HS）引脚上出现较大的负瞬变，需最小化上管的源极和下管的源极的走线，以减小寄生电感效应。
- 当 MCU 与驱动芯片距离较远时，推荐尽可能靠近 EN 或 DIS 引脚处放置旁路电容，以减小噪声干扰。
- 为确保初级侧和次级侧之间的隔离性能，应避免在芯片下方放置任何 PCB 走线、覆铜、焊盘和过孔。建议使用 PCB 切口以防止污染该芯片的隔离性能。
- 用于半桥或高边/低边配置，通道 A 和通道 B 驱动器可以在高达 1500 VDC 的直流母线电压下工作，应尝试增加 PCB 的爬电距离，即高压侧和低压侧 PCB 走线之间的布局。
- 当芯片驱动功率管时，OUT 存在非常高的 di/dt ，OUT 环路 PCB 走线寄生电感会导致 EMI 和电压振荡问题，故在设计 PCB 时，芯片应尽可能靠近功率管位置，OUT 走线尽可能宽，环路走线尽可能短，以降低环路寄生电感。
- 当负载较重或开关频率较高时，芯片的损耗也会增加，可以通过适当 PCB 布局将热量传导到 PCB 板上，以达到减小芯片的温度。建议适当地增加 VDD 和 VSS 引脚的 PCB 覆铜，优先最大程度地增加 VSS 的连接。
- 如果系统有多层板设计，建议在 VDD 和 VSS 层放置大量过孔连接，以减小寄生参数。

11. 封装信息

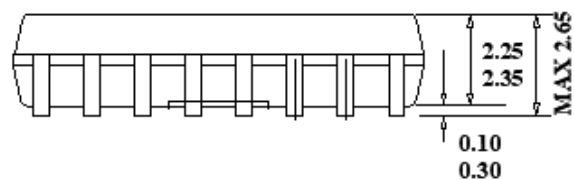
11.1. 16 引脚宽体 SOIC 封装尺寸



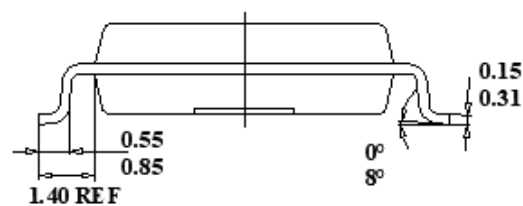
TOP VIEW



RECOMMENDED LAND PATTERN



FRONT VIEW

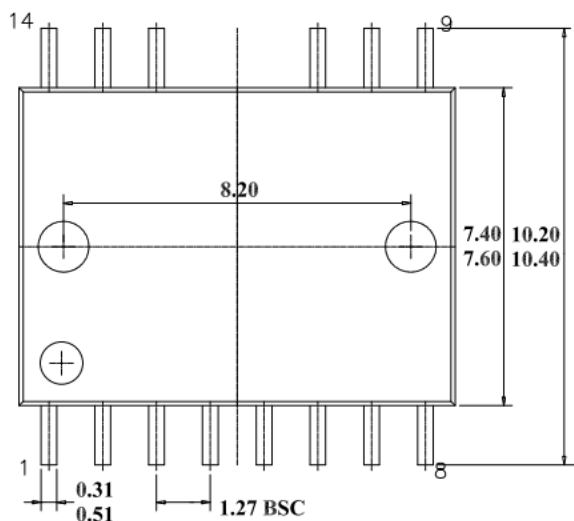


LEFT SIDE VIEW

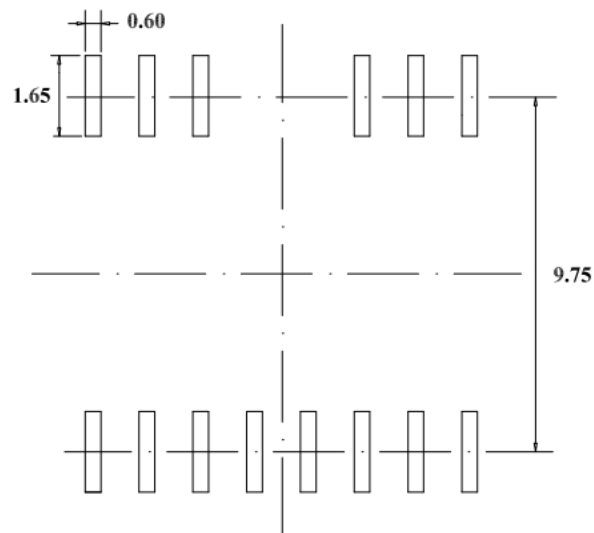
注:

1. 所有尺寸以毫米为单位, 角度以度为单位。

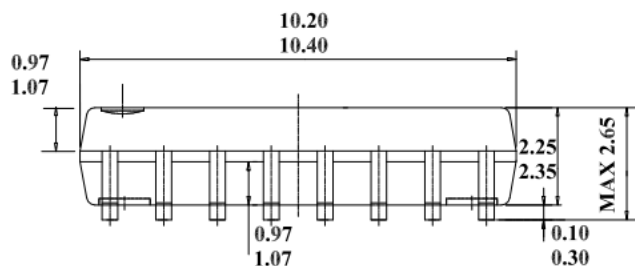
11.2. 14 引脚宽体 SOIC 封装尺寸



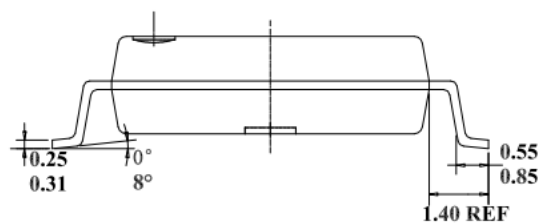
TOP VIEW



RECOMMENDED LAND PATTERN



BOTTOM VIEW



SIDE VIEW

注:

1. 所有尺寸以毫米为单位, 角度以度为单位。

12. 焊接信息

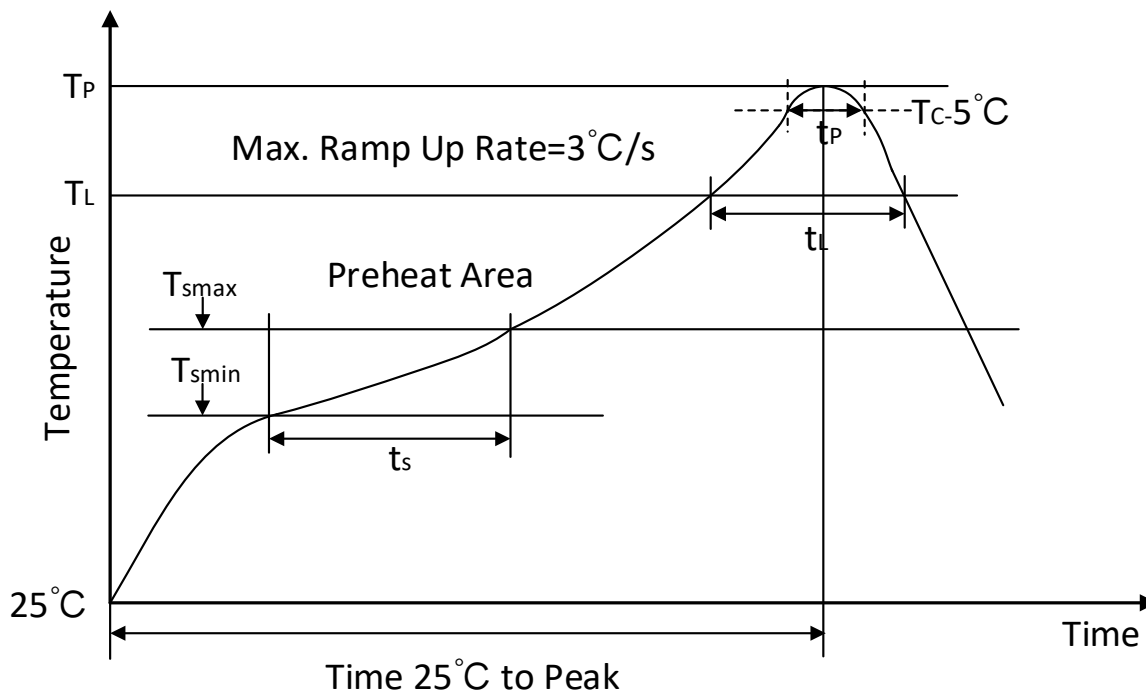


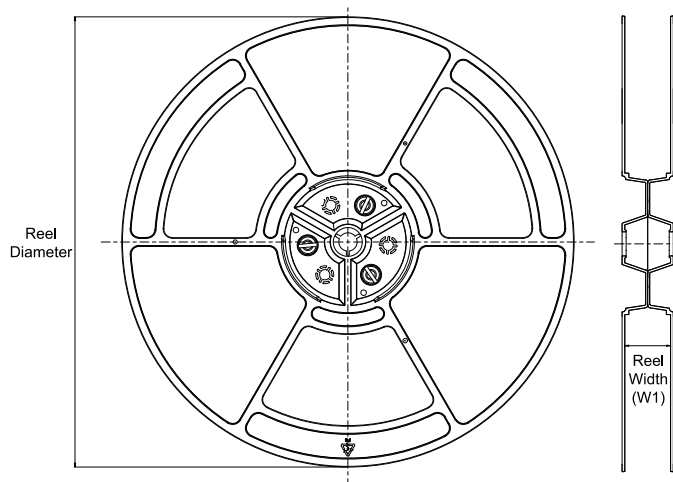
图 12-1. 焊接温度(回流)

表 12-1. 焊接温度参数

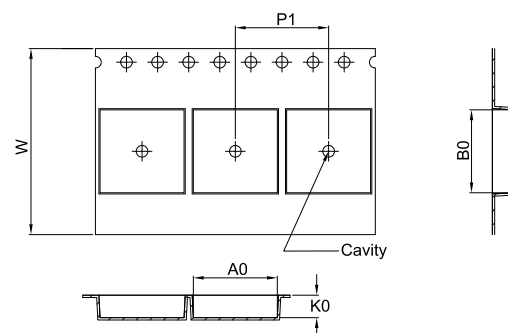
简要说明	无铅焊接
温升速率($T_L=217^{\circ}\text{C}$ 至峰值 T_P)	最大 3°C/s
$T_{smin}=150^{\circ}\text{C}$ 到 $T_{smax}=200^{\circ}\text{C}$ 预热时间 t_s	60~120 秒
温度保持 217°C 以上时间 t_L	60~150 秒
峰值温度 T_P	260°C
小于峰值温度 5°C 以内时间 t_P	最长 30 秒
降温速率(峰值 T_P 至 $T_L=217^{\circ}\text{C}$)	最大 6°C/s
常温 25°C 到峰值温度 T_P 时间	最长 8 分钟

13. 卷带信息

REEL DIMENSIONS

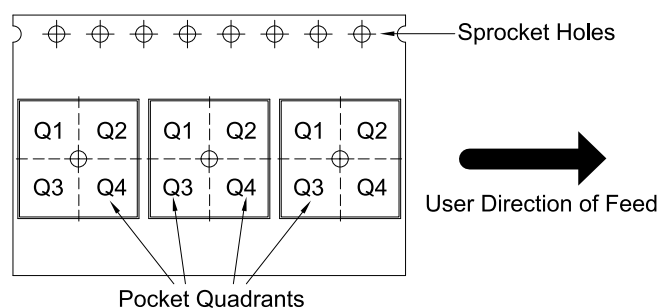


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*所有尺寸为标称值。

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CA-IS3221AW	SOIC16-WB	W	16	1000	330	16.4	10.90	10.70	3.20	12.00	16.00	Q1
CA-IS3221AK	SOIC14-WB	K	16	1000	330	16.4	10.90	10.70	3.20	12.00	16.00	Q1
CA-IS3222AW	SOIC16-WB	W	16	1000	330	16.4	10.90	10.70	3.20	12.00	16.00	Q1
CA-IS3222AK	SOIC14-WB	K	16	1000	330	16.4	10.90	10.70	3.20	12.00	16.00	Q1
CA-IS3221BW	SOIC16-WB	W	16	1000	330	16.4	10.90	10.70	3.20	12.00	16.00	Q1
CA-IS3221BK	SOIC14-WB	K	16	1000	330	16.4	10.90	10.70	3.20	12.00	16.00	Q1
CA-IS3222BW	SOIC16-WB	W	16	1000	330	16.4	10.90	10.70	3.20	12.00	16.00	Q1
CA-IS3222BK	SOIC14-WB	K	16	1000	330	16.4	10.90	10.70	3.20	12.00	16.00	Q1
CA-IS3221CW	SOIC16-WB	W	16	1000	330	16.4	10.90	10.70	3.20	12.00	16.00	Q1
CA-IS3221CK	SOIC14-WB	K	16	1000	330	16.4	10.90	10.70	3.20	12.00	16.00	Q1
CA-IS3222CW	SOIC16-WB	W	16	1000	330	16.4	10.90	10.70	3.20	12.00	16.00	Q1
CA-IS3222CK	SOIC14-WB	K	16	1000	330	16.4	10.90	10.70	3.20	12.00	16.00	Q1

14. 重要声明

上述资料仅供参考使用，用于协助 Chipanalog 客户进行设计与研发。Chipanalog 有权在不事先通知的情况下，保留因技术革新而改变上述资料的权利。

Chipanalog 产品全部经过出厂测试。针对具体的实际应用，客户需负责自行评估，并确定是否适用。Chipanalog 对客户使用所述资源的授权仅限于开发所涉及 Chipanalog 产品的相关应用。除此之外不得复制或展示所述资源，如因使用所述资源而产生任何索赔、赔偿、成本、损失及债务等，Chipanalog 对此概不负责。

商标信息

Chipanalog Inc.®、Chipanalog®为 Chipanalog 的注册商标。



<http://www.chipanalog.com>