

适用于 SiC/IGBT 的具有主动保护功能、高 CMTI、15A 拉/灌电流的单通道增强隔离栅极驱动器

1. 产品特性

- 5.7 kV_{RMS} 耐压等级的单通道隔离栅极驱动器
- 驱动最高达 2121 V_{PK} 的 SiC MOSFET 和 IGBT
- 33V 最大输出驱动电压 (VDD-VEE)
- ±15A 峰值驱动电流能力
- OUTH 和 OUTL 分离输出配置
- 高共模瞬态抗扰度: 150 kV/μs (最小值)
- 200ns 响应时间的快速 DESAT 保护功能
- 内置 4 A 峰值电流有源米勒钳位
- 发生故障时 400 mA (IGBT)或 1 A (SiC) 软关断
- 驱动侧和控制侧独立的 ASC 输入控制, 用于在系统故障时强制开通功率管
- 过饱和和故障时, $\overline{\text{FLT}}$ 警告, 通过 $\overline{\text{RST}}/\text{EN}$ 复位
- 快速响应的 $\overline{\text{RST}}/\text{EN}$ 关断/使能
- 输入引脚上 40 ns (典型值) 瞬态和脉冲抑制功能
- 12 V VDD UVLO 和电源 READY 指示功能
- 直通死区保护 (部分型号)
- 延时特性:
 - 130 ns (最大值) 传播延迟 (无直通死区保护的型号), 150 ns (最大值) 传播延迟 (有直通死区保护的型号)
 - 30 ns (最大值) 脉宽失真
 - 30 ns (最大值) 器件间延时匹配
- SOIC-16 宽体封装, 爬电距离和间隙距离 >8mm
- 额定工作电压下隔离栅寿命大于40年
- 工作结温 (T_J) 范围: -40°C 至 150°C
- 安全认证:
 - VDE 增强隔离, 根据DIN EN IEC 60747-17 (VDE 0884-17): 2021-10认证
 - 根据UL 1577器件程序认证
 - 根据GB 4943.1-2022认证

2. 典型应用

- 大功率变频器
- 太阳能逆变器
- 直流快速充电桩

3. 概述

CA-IS3215/6 是一系列基于电容隔离的集成多种保护功能的单通道栅极驱动器, 可用于驱动 SiC、IGBT 和 MOSFET 器件。器件具有先进的主动保护功能、出色的动态性能和高可靠性, 同时具有高达±15A 峰值的拉/灌电流能力。

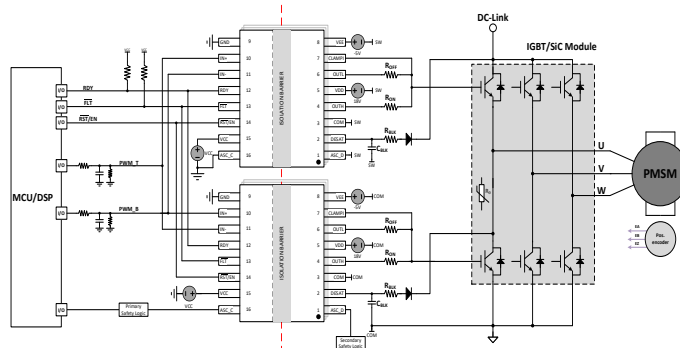
CA-IS3215/6 通过 SiO₂ 电容隔离技术实现控制侧与驱动侧的电气隔离, 支持 1.5kV_{RMS} 的隔离工作电压、12.8 kV_{PK} 浪涌抗扰度, 额定工作电压下隔离栅寿命超过 40 年, 同时具有良好的器件一致性以及>150 kV/μs 的共模瞬态抗扰度 (CMTI)。

CA-IS3215/6 具有以下多重保护功能: 快速过流和短路检测、有源短路保护、有源米勒钳位、主动下拉、短路钳位、软关断、故障报告、控制和驱动侧电源 UVLO, 同时针对 SiC 和 IGBT 开关行为进行了优化, 并提高了可靠性。CA-IS3215/6 全系列采用 SOIC-16 宽体封装, 爬电距离和间隙距离大于 8mm。

器件信息

器件型号	封装	封装尺寸 (标称值)
CA-IS3215xxW	SOIC16-WB(W)	10.3mm x 7.5mm
CA-IS3216xxW	SOIC16-WB(W)	10.3mm x 7.5mm

典型应用框图



4. 订购指南

表 4-1 有效订购零件编号

订购型号	应用场合	DESAT 阈值	软关断电流	内置直通死区保护	钳位方式	封装
CA-IS3215NNW	IGBT	9 V	400 mA	N.A.	CLAMPI	SOIC16-WB(W)
CA-IS3215LNW	IGBT	9 V	400 mA	N.A.	CLAMPI	SOIC16-WB(W)
CA-IS3215VNW	IGBT	9 V	400 mA	N.A.	CLAMPI	SOIC16-WB(W)
CA-IS3215NEW	IGBT	9 V	400 mA	N.A.	CLAMPE	SOIC16-WB(W)
CA-IS3215SNW	IGBT	9 V	400 mA	800 ns	CLAMPI	SOIC16-WB(W)
CA-IS3215SEW	IGBT	9 V	400 mA	800 ns	CLAMPE	SOIC16-WB(W)
CA-IS3216NNW	SiC	6 V	1 A	N.A.	CLAMPI	SOIC16-WB(W)
CA-IS3216NEW	SiC	6 V	1 A	N.A.	CLAMPE	SOIC16-WB(W)
CA-IS3216SNW	SiC	6 V	1 A	140 ns	CLAMPI	SOIC16-WB(W)
CA-IS3216SEW	SiC	6 V	1 A	140 ns	CLAMPE	SOIC16-WB(W)

目录

1. 产品特性.....	1	7.6.1. 控制侧有源短路保护 ASC_C.....	25
2. 典型应用.....	1	7.6.2. 驱动侧有源短路保护 ASC_D.....	27
3. 概述.....	1	7.7. CMTI 测试.....	29
4. 订购指南.....	2	8. 详细说明.....	30
5. 引脚功能描述.....	4	8.1. 概述.....	30
5.1. CA-IS321xNNW 和 CA-IS321xSNW 引脚功能描述.....	4	8.2. 功能框图.....	30
5.2. CA-IS3215LNW 引脚功能描述.....	5	8.3. 特性描述.....	32
5.3. CA-IS3215VNW 引脚功能描述.....	6	8.3.1. 电源.....	32
5.4. CA-IS321xNEW 和 CA-IS321xSEW 引脚功能描述.....	7	8.3.2. 驱动级.....	32
6. 产品规格.....	8	8.3.3. VCC 和 VDD 欠压锁定 (UVLO).....	32
6.1. 绝对最大额定值 ¹	8	8.3.4. 主动下拉.....	33
6.2. ESD 额定值.....	8	8.3.5. 短路钳位.....	33
6.3. 推荐工作条件.....	8	8.3.6. 有源米勒钳位 (Miller Clamp).....	34
6.4. 热量信息.....	9	8.3.7. 去饱和和保护 (DESAT).....	34
6.5. 额定功率.....	9	8.3.8. 软关断 (Soft turn off).....	35
6.6. 隔离特性.....	10	8.3.9. 故障 (FLT、重置和使能 RST/EN).....	36
6.7. 安全相关认证.....	11	8.3.10. 有源短路电路 (ASC).....	36
6.8. 安全限值.....	11	8.3.11. 直通死区保护功能 (STP).....	36
6.9. 电气特性.....	12	8.4. 器件功能模式.....	37
6.10. 开关特性.....	14	9. 应用信息.....	38
6.11. 典型特性.....	15	9.1. 典型应用.....	38
7. 参数测量信息.....	18	9.2. 电源设计.....	38
7.1. 传播延迟.....	18	9.3. 输入滤波器.....	38
7.2. 输入抗脉冲尖峰滤波器.....	19	9.4. PWM 内部互锁 IN+和 IN-.....	39
7.3. 有源米勒钳位.....	20	9.5. FLT和 RDY 引脚设计.....	40
7.3.1. 内置有源米勒钳位.....	20	9.6. RST/EN 引脚设计.....	40
7.3.2. 外置有源米勒钳位.....	20	9.7. 栅极驱动电阻设计.....	41
7.4. 欠压锁定 (UVLO).....	21	9.8. 过流和短路保护.....	41
7.4.1. VCC UVLO.....	21	10. PCB 设计建议.....	42
7.4.2. VDD UVLO.....	22	11. 封装信息.....	43
7.5. 带有软关断的 DESAT 保护.....	23	12. 焊接信息.....	44
7.6. 有源短路保护 ASC.....	25	13. 编带信息.....	45
		14. 修订历史.....	46
		15. 重要声明.....	47

5. 引脚功能描述

5.1. CA-IS321xNNW 和 CA-IS321xSNW 引脚功能描述

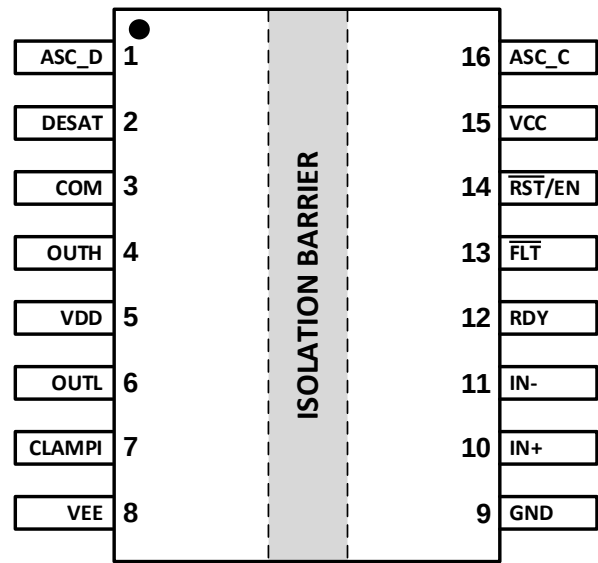


图 5-1 CA-IS321xNNW/ CA-IS321xSNW 引脚配置

表 5-1 引脚功能描述

引脚名称	引脚编号	类型 ¹	描述
ASC_D	1	I	驱动侧 ASC，默认内部下拉，置高能有效启用主动短路功能，以在系统故障事件期间强制输出高电平。若不使用该功能，推荐接 COM。
DESAT	2	I	去饱和和电流保护输入。
COM	3	P	驱动侧共地参考，连接到 IGBT 的发射极或者 SiC-MOSFET 的源极。
OUTH	4	O	栅极驱动输出上拉。
VDD	5	P	栅极驱动电压的正电源，推荐 10uF 的旁路电容到 COM，以支持额定的栅极驱动峰值拉电流功能。
OUTL	6	O	栅极驱动输出下拉。
CLAMPI	7	I	内部有源米勒钳位，将此引脚直接连接到功率晶体管的栅极。
VEE	8	P	栅极驱动电压的负电源，推荐 10uF 的旁路电容到 COM，以支持额定的栅极驱动器峰值灌电流功能。
GND	9	G	控制侧的输入电源和逻辑地参考。
IN+	10	I	同相栅极驱动控制输入，内部下拉。
IN-	11	I	反相栅极驱动控制输入，内部上拉。
RDY	12	O	VCC-GND 和 VDD-COM 电源良好指示信号。RDY 是开漏输出，需接上拉电阻。可与其他 RDY 信号并联。
FLT	13	O	在过流或短路时主动输出低电平故障报警。FLT 是开漏输出，需接上拉电阻。可与其他故障并联。
RST/EN	14	I	RST/EN 内部下拉，具有两个功能： 1) 使能/关闭驱动侧，如果 RST/EN 设置为低，则关闭功率管； 2) 如果 RST/EN 置低超过 800ns，重置 FLT 引脚上发出的 DESAT 指示信号，在重置信号的上升沿处重置 FLT 信号。
VCC	15	P	3V 到 5.5V 的控制侧电源，推荐 1uF 的旁路电容到 GND。
ASC_C	16	I	控制侧 ASC，默认内部下拉，优先级仅高于 IN+ 和 IN- 的逻辑控制，置高可以将驱动输出置高。若不使用该功能，推荐接 GND。

备注：
1. P 代表电源，G 代表地，I 代表输入，O 代表输出

5.2. CA-IS3215LNW 引脚功能描述

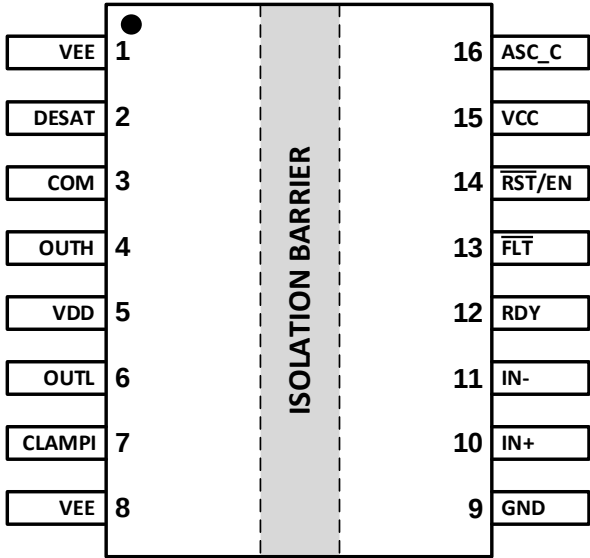


图 5-2 CA-IS3215LNW 引脚配置

表 5-2 引脚功能描述

引脚名称	引脚编号	类型 ¹	描述
DESAT	2	I	去饱和和电流保护输入。
COM	3	P	驱动侧共地参考，连接到 IGBT 的发射极或者 SiC-MOSFET 的源极。
OUTH	4	O	栅极驱动输出上拉。
VDD	5	P	栅极驱动电压的正电源，推荐 10uF 的旁路电容到 COM，以支持额定的栅极驱动峰值拉电流功能。
OUTL	6	O	栅极驱动输出下拉。
CLAMPI	7	O	内部有源米勒钳位，将此引脚直接连接到功率晶体管的栅极。
VEE	8, 1	P	栅极驱动电压的负电源，推荐 10uF 的旁路电容到 COM，以支持额定的栅极驱动器峰值灌电流功能。
GND	9	G	控制侧的输入电源和逻辑地参考。
IN+	10	I	同相栅极驱动控制输入，内部下拉。
IN-	11	I	反相栅极驱动控制输入，内部上拉。
RDY	12	O	VCC-GND 和 VDD-COM 电源良好指示信号。RDY 是开漏输出，需接上拉电阻。可与其他 RDY 信号并联。
FLT	13	O	在过流或短路时主动输出低电平故障报警。FLT 是开漏输出，需接上拉电阻。可与其他故障并联。
RST/EN	14	I	RST/EN 内部下拉，具有两个功能： 3) 使能/关闭驱动侧，如果 RST/EN 设置为低，则关闭功率管； 1) 如果 RST/EN 置低超过 800ns，重置 FLT 引脚上发出的 DESAT 指示信号，在 RST/EN 信号的上升沿处重置 FLT 信号。
VCC	15	P	3V 到 5.5V 的控制侧电源，推荐 1uF 的旁路电容到 GND。
ASC_C	16	I	控制侧 ASC，默认内部下拉，优先级仅高于 IN+ 和 IN- 的逻辑控制，置高可以将驱动输出置高。若不使用该功能，推荐接 GND。

备注：
1. P 代表电源，G 代表地，I 代表输入，O 代表输出

5.3. CA-IS3215VNW 引脚功能描述

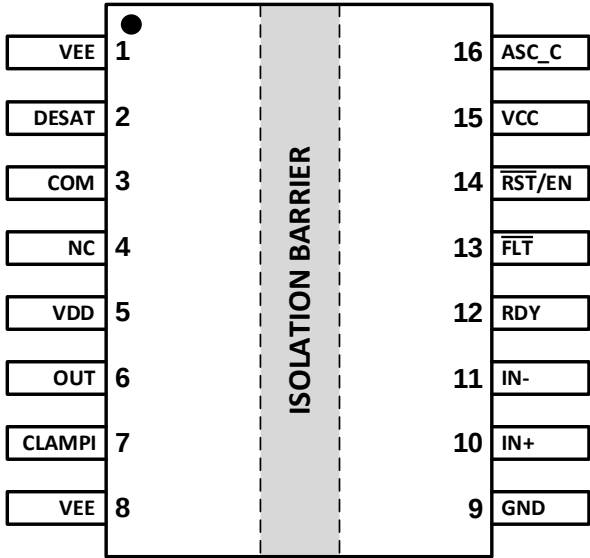


图 5-3 CA-IS3215VNW 引脚配置

表 5-3 引脚功能描述

引脚名称	引脚编号	类型 ¹	描述
DESAT	2	I	去饱和和电流保护输入。
COM	3	P	驱动侧共地参考，连接到 IGBT 的发射极或者 SiC-MOSFET 的源极。
NC	4	-	无连接
VDD	5	P	栅极驱动电压的正电源，推荐 10uF 的旁路电容到 COM，以支持额定的栅极驱动峰值拉电流功能。
OUT	6	O	栅极驱动输出。
CLAMPI	7	O	内部有源米勒钳位，将此引脚直接连接到功率晶体管的栅极。
VEE	8, 1	P	栅极驱动电压的负电源，推荐 10uF 的旁路电容到 COM，以支持额定的栅极驱动器峰值灌电流功能。
GND	9	G	控制侧的输入电源和逻辑地参考。
IN+	10	I	同相栅极驱动控制输入，内部下拉。
IN-	11	I	反相栅极驱动控制输入，内部上拉。
RDY	12	O	VCC-GND 和 VDD-COM 电源良好指示信号。RDY 是开漏输出，需接上拉电阻。可与其他 RDY 信号并联。
FLT	13	O	在过流或短路时主动输出低电平故障报警。FLT 是开漏输出，需接上拉电阻。可与其他故障并联。
RST/EN	14	I	RST/EN 内部下拉，具有两个功能： 4) 使能/关闭驱动侧，如果 RST/EN 设置为低，则关闭功率管； 2) 如果 RST/EN 置低超过 800ns，重置 FLT 引脚上发出的 DESAT 指示信号，在 RST/EN 信号的上升沿处重置 FLT 信号。
VCC	15	P	3V 到 5.5V 的控制侧电源，推荐 1uF 的旁路电容到 GND。
ASC_C	16	I	控制侧 ASC，默认内部下拉，优先级仅高于 IN+ 和 IN- 的逻辑控制，置高可以将驱动输出置高。若不使用该功能，推荐接 GND。

备注：
1. P 代表电源，G 代表地，I 代表输入，O 代表输出

5.4. CA-IS321xNEW 和 CA-IS321xSEW 引脚功能描述

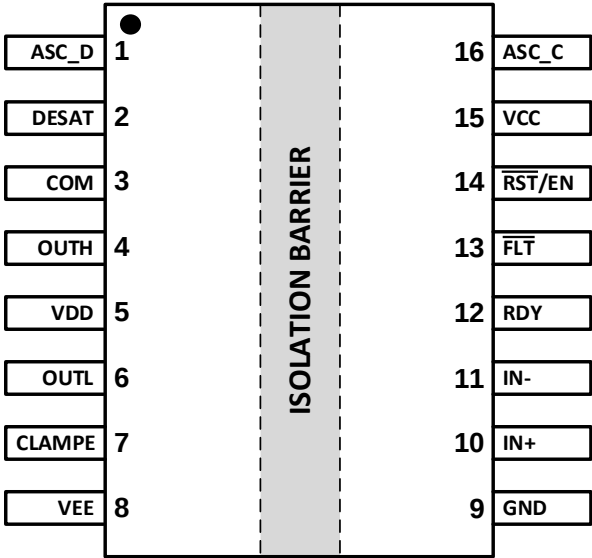


图 5-4 CA-IS321xNEW/ CA-IS321xSEW 引脚配置

表 5-4 引脚功能描述

引脚名称	引脚编号	类型 ¹	描述
ASC_D	1	I	驱动侧 ASC，默认内部下拉，置高能有效启用主动短路功能，以在系统故障事件期间强制输出高电平。若不使用该功能，推荐接 COM。
DESAT	2	I	去饱和和电流保护输入。
COM	3	P	驱动侧共地参考，连接到 IGBT 的发射极或者 SiC-MOSFET 的源极。
OUTH	4	O	栅极驱动输出上拉。
VDD	5	P	栅极驱动电压的正电源，推荐 10uF 的旁路电容到 COM，以支持额定的栅极驱动峰值拉电流功能。
OUTL	6	O	栅极驱动输出下拉。
CLAMPE	7	O	外部有源米勒钳位，将此引脚连接到外部钳位 MOSFET 的栅极。若不使用该功能，推荐悬空。
VEE	8	P	栅极驱动电压的负电源，推荐 10uF 的旁路电容到 COM，以支持额定的栅极驱动器峰值灌电流功能。
GND	9	G	控制侧的输入电源和逻辑地参考。
IN+	10	I	同相栅极驱动控制输入，内部下拉。
IN-	11	I	反相栅极驱动控制输入，内部上拉。
RDY	12	O	VCC-GND 和 VDD-COM 电源良好指示信号。RDY 是开漏输出，需接上拉电阻。可与其他 RDY 信号并联。
FLT	13	O	在过流或短路时主动输出低电平故障报警。FLT 是开漏输出，需接上拉电阻。可与其他故障并联。
RST/EN	14	I	RST/EN 内部下拉，具有两个功能： 5) 使能/关闭驱动侧，如果 RST/EN 设置为低，则关闭功率管； 3) 如果 RST/EN 置低超过 800ns，重置 FLT 引脚上发出的 DESAT 指示信号，在 RST/EN 信号的上升沿处重置 FLT 信号。
VCC	15	P	3V 到 5.5V 的控制侧电源，推荐 1uF 的旁路电容到 GND。
ASC_C	16	I	控制侧 ASC，默认内部下拉，优先级仅高于 IN+ 和 IN- 的逻辑控制，置高可以将驱动输出置高。若不使用该功能，推荐接 GND。

备注：
1. P 代表电源，G 代表地，I 代表输入，O 代表输出

6. 产品规格

6.1. 绝对最大额定值¹

在自然通风条件下的工作温度范围内测得（除非另有说明）¹

符号	参数	最小值	最大值	单位
VCC	VCC–GND	–0.3	6	V
VDD	VDD–COM	–0.3	36	V
VEE	VEE–COM	–17.5	0.3	V
V _{MAX}	VDD–VEE	–0.3	36	V
IN+, IN–, $\overline{\text{RST}}/\text{EN}$, ASC_C	直流	GND–0.3	VCC	V
DESAT	参考 COM	COM–0.3	VDD+0.3	V
ASC_D	参考 COM	–0.3	VDD+0.3	V
OUTH, OUTL, CLAMPI	直流	VEE–0.3	VDD	V
RDY, FLT		GND–0.3	VCC	V
$I_{\text{FLT}}, I_{\text{RDY}}$	FLT 和 RDY 引脚输入电流		20	mA
T _J	结温	–40	150	°C
T _{stg}	贮存温度	–65	150	°C
备注: 1. 等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断产品能否正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。 2. 数值为基于 Bench 测试所得的表征值。				

6.2. ESD 额定值

符号	参数	数值	单位
V _{ESD} 静电放电	人体模型（HBM），根据 ANSI/ESDA/JEDEC JS-001	±3000	V
	器件充电模型（CDM），根据 JEDEC 规范 JESD22-C101，所有引脚	±2000	

6.3. 推荐工作条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

符号	参数		最小值	最大值	单位
VCC	VCC–GND		3.0	5.5	V
VDD	VDD–COM		13	33	V
V _{MAX}	VDD–VEE		0	33	V
IN+, IN–, $\overline{\text{RST}}/\text{EN}$, ASC_C	参考 GND	输入电压逻辑高电平	0.7×VCC	VCC	V
		输入电压逻辑低电平	0	0.3×VCC	
ASC_D	参考 COM		0	VDD	V
t _{RST/EN}	重置故障的最小脉冲宽度		800		ns
T _A	环境温度		–40	125	°C
T _J	结温度		–40	150	°C

6.4. 热量信息

符号	热量表	SOIC16-WB	单位
$R_{\theta JA}$	结至环境的热阻	63.0	$^{\circ}\text{C}/\text{W}$

6.5. 额定功率

符号	参数	测试条件	值	单位
P_D	输入端和输出端最大耗散功率	$V_{CC}=5\text{V}$, $V_{DD}-\text{COM}=20\text{V}$, $\text{COM}-V_{EE}=5\text{V}$, $\text{IN}/- =5\text{V}$, 150kHz 、50% 占空比, $C_L=10\text{nF}$, $T_A=25^{\circ}\text{C}$	982.5	mW
P_{D1}	最大输入耗散功率		17.5	mW
P_{D2}	最大输出耗散功率		965	mW

6.6. 隔离特性

参数		测试条件	数值	单位
			W	
CLR	外部气隙（间隙） ¹	端子间的最短隔空距离	>8	mm
CPG	外部爬电距离 ¹	端子之间沿壳体最短距离	>8	mm
DTI	隔离距离	最小内部间隙（内部距离）	>24	μm
CTI	相对漏电指数	DIN EN 60112 (VDE 0303-11); IEC 60112	>600	V
	材料组	依据 IEC 60664-1	I	
IEC 60664-1 过压类别		额定市电电压≤ 300V _{RMS}	I-IV	
		额定市电电压≤ 600V _{RMS}	I-IV	
		额定市电电压≤ 1000V _{RMS}	I-III	
DIN EN IEC 60747-17 (VDE 0884-17)²				
V _{IORM}	最大重复峰值隔离电压	交流电压（双极）	2121	V _{PK}
V _{IOWM}	最大工作隔离电压	交流电压; 时间相关的介质击穿（TDDB）测试	1500	V _{RMS}
		直流电压	2121	V _{DC}
V _{IOTM}	最大瞬态隔离电压	V _{TEST} =V _{IOTM} , t=60s（认证）	8000	V _{PK}
		V _{TEST} =1.2 × V _{IOTM} , t=1s（100% 量产测试）	9600	
V _{IMP}	最大脉冲电压	依据 IEC 62368-1, 1.2/50 μs 波形	9846	V _{PK}
V _{IOSM}	最大浪涌隔离电压 ³	测试方法 依据 IEC 62368-1, 1.2/50 μs 波形, V _{IOSM} ≥ 1.3 × V _{IMP} ; 在绝缘油中测试; (认证)	12800	V _{PK}
Q _{pd}	表征电荷 ⁴	方法 a, 输入/输出安全测试子类 2/3 后, V _{ini} =V _{IOTM} , t _{ini} =60s; V _{pd(m)} =1.2 × V _{IORM} =2545V _{PK} , t _m =10s	≤5	pC
		方法 a, 环境测试子类 1 后, V _{ini} =V _{IOTM} , t _{ini} =60s; V _{pd(m)} =1.6 × V _{IORM} =3394V _{PK} , t _m =10s	≤5	
		方法 b1, 常规测试（100% 量产测试）和前期 预处理（抽样测试） V _{ini} =V _{IOTM} , t _{ini} =1s; V _{pd(m)} =1.875 × V _{IORM} =3977V _{PK} , t _m =1s	≤5	
C _{IO}	电容, 输入到输出 ⁵	V _{IO} =0.5 × sin(2πft), f=1MHz	~1	pF
R _{IO}	绝缘电阻, 输入到输出 ⁵	V _{IO} =500V, T _A =25°C	>10 ¹²	Ω
		V _{IO} =500V, 100°C ≤ T _A ≤ 125°C	>10 ¹¹	
		V _{IO} =500 V at T _S =150°C	>10 ⁹	
	污染度		2	
	气候类别		40/125/21	
UL 1577				
V _{ISO}	最大隔离电压	V _{TEST} =V _{ISO} =5700V _{RMS} , t=60s（认证）, V _{TEST} =1.2 × V _{ISO} =6840V _{RM} , t=1s（100% 量产测试）	5700	V _{RMS}
备注:				
- 根据应用的特定设备隔离标准应用爬电距离和间隙要求。注意保持电路板设计的爬电距离和间隙距离，以确保印刷电路板上隔离器的安装焊盘不会缩短该距离。在某些情况下印刷电路板上的爬电距离和间隙相等。在印刷电路板上插入凹槽的技术有助于提高这些指标。 - 该标准仅适用于安全等级内的安全电气绝缘。应通过适当的保护电路确保符合安全等级。 - 测试在空气或油中进行，以确定隔离屏障的固有浪涌抗扰度。 - 表征电荷是由局部放电引起的放电电荷（pd）。 - 栅两侧的所有引脚连接在一起，形成双端子器件。				

6.7. 安全相关认证

VDE	UL	CQC	TUV
Certified according to DIN EN IEC 60747-17 (VDE 0884-17):2021-10; EN IEC 60747-17:2020+AC:2021	Certified according to UL 1577 Component Recognition Program	Certified according to GB 4943.1-2022	Certified according to EN IEC 62368-1:2020+A11 and EN61010-1:2010+A1
Reinforced isolation(SOIC16-WB): V_{IOTM} : 8000 V _{PK} V_{IORM} : 2121 V _{PK} V_{IOSM} : 12800V _{PK}	Single Protection: SOIC16-WB: 5.7 kV _{RMS}	Reinforced insulation: SOIC16-WB package for 5.7 kV _{RMS} (Altitude ≤ 5000m)	EN IEC 62368-1: SOIC16-WB: 5.7 kV _{RMS} EN61010-1: SOIC16-WB: 5.7 kV _{RMS}
Certificate number: 40057278	Certificate number: E511334	Certificate number: Pending	Client reference number: 2253313

6.8. 安全限值

符号	参数	测试条件	最小值	典型值	最大值	单位
I_s	安全输入、输出或供电电流	$R_{\theta JA}=71.0^{\circ}\text{C/W}$, $V_{DD}=15\text{V}$, $V_{EE}=-5\text{V}$, $T_J=150^{\circ}\text{C}$, $T_A=25^{\circ}\text{C}$			61	mA
		$R_{\theta JA}=71.0^{\circ}\text{C/W}$, $V_{DD}=20\text{V}$, $V_{EE}=-5\text{V}$, $T_J=150^{\circ}\text{C}$, $T_A=25^{\circ}\text{C}$			49	
P_s	安全输入、输出或总功耗	$R_{\theta JA}=71.0^{\circ}\text{C/W}$, $V_{DD}=20\text{V}$, $V_{EE}=-5\text{V}$, $T_J=150^{\circ}\text{C}$, $T_A=25^{\circ}\text{C}$			1200	mW
T_s	最大安全工作温度				150	$^{\circ}\text{C}$

6.9. 电气特性

除非有额外说明，本表格数据均为建议工作条件（VCC=3.3V 或 5V，VCC 到 GND 之间有 1μF 电容，VDD–COM=20V、18V 或 15V，COM–VEE=0V、5V、8V 或 15 V，C_L=100pF，–40°C<T_J<150°C）下的测试结果^{1,2}。

符号	参数	测试条件	最小值	典型值	最大值	单位	
VCC UVLO 阈值和延迟							
V _{VCC_ON}	VCC–GND 欠压锁定		2.55	2.7	2.85	V	
V _{VCC_OFF}			2.35	2.5	2.65		
V _{VCC_HYS}			0.2				
t _{VCCFIL}	VCC UVLO 抗尖峰时间		5			μs	
t _{VCC+ to OUT}	VCC UVLO+ 到输出上升延时	IN+=VCC, IN-=GND	30				70
t _{VCC- to OUT}	VCC UVLO- 到输出下降延时		7				15
t _{VCC+ to RDY}	VCC UVLO+ 到 RDY 上升延时	$\overline{\text{RST}}/\text{EN}=\text{VCC}$	30				70
t _{VCC- to RDY}	VCC UVLO- 到 RDY 下降延时		7				15
t _{VCC0 to RDY}	VCC 从 0V 上电到 RDY 上升延时	$\overline{\text{RST}}/\text{EN}=\text{VCC}$ from 0V	150				
VDD UVLO 阈值和延迟							
V _{VDD_ON}	VDD–COM 欠压锁定		11.0	12.0	13.0	V	
V _{VDD_OFF}			10.0	11.0	12.0		
V _{VDD_HYS}			1.0				
t _{VDDFIL}	VDD UVLO 抗尖峰脉冲时间		5			μs	
t _{VDD+ to OUT}	VDD UVLO+ 到输出上升延时	IN+=VCC, IN-=GND	7				15
t _{VDD- to OUT}	VDD UVLO- 到输出下降延时		7				15
t _{VDD+ to RDY}	VDD UVLO+ 到 RDY 上升延时	$\overline{\text{RST}}/\text{EN}=\text{VCC}$	7				15
t _{VDD- to RDY}	VDD UVLO- 到 RDY 下降延时		7				15
t _{VDD0 to RDY}	VDD 从 0V 上电到 RDY 上升延时	VDD from 0V	100				
VCC, VDD, VEE 静态电流							
I _{VCCQ}	VCC 静态电流	OUTH=High	1.4	2.3	3.5	mA	
		OUTL=Low	0.8	1.5	2.3		
I _{VDDQ}	VDD 静态电流	OUT=High/Low	2.5	3.7	5.3		
I _{VEEQ}	VEE 静态电流	OUT=High/Low	2.1	3.1	4.7		
逻辑输入 IN+, IN–, $\overline{\text{RST}}/\text{EN}$, ASC_C							
V _{INH}	输入电压逻辑高电平	VCC=3.3V		1.85	2.31	V	
V _{INL}	输入电压逻辑低电平		0.99	1.52		V	
V _{INHYS}	输入阈值迟滞			0.33		V	
I _{IH}	高电平输入漏电流	V _{IN} =VCC		90		μA	
I _{IL}	低电平输入漏电流	V _{IN} =GND		–90		μA	
R _{IND}	输入引脚下拉电阻	IN+, $\overline{\text{RST}}/\text{EN}$ 和 ASC_C, 图 8-1		55		kΩ	
R _{INU}	输入引脚上拉电阻	IN–, 图 8-1		55		kΩ	
t _{INFIL}	IN+, IN–, $\overline{\text{RST}}/\text{EN}$ 和 ASC_C 抗尖峰脉冲（开启和关闭）过滤时间	f=50kHz,图 7-3 和图 7-4	20	40	60	ns	
	IN–抗尖峰脉冲过滤时间	Only for CA-IS3215SxW and CA-IS3216SxW		10		ns	
t _{RSTFIL}	重置 $\overline{\text{FLT}}$ 滤波器时间	图 7-9	400	550	800	ns	
栅极驱动							
I _{OUTH}	峰值拉电流	C _{VDD} =10uF, C _L =0.18μF, f _s =1kHz	10	15		A	
I _{OUTL}	峰值灌电流	C _{VEE} =10uF, C _L =0.18μF, f _s =1kHz	10	15		A	
R _{OUTH}	上拉电阻	I _{OUT} =–0.1A		1.6		Ω	
R _{OUTL}	下拉电阻	I _{OUT} =0.1A		0.23		Ω	
V _{OUTH}	输出高电平	I _{OUT} =–0.2A, VDD=18V		17.6		V	
V _{OUTL}	输出低电平	I _{OUT} =0.2A		50		mV	

上海川土微电子有限公司

电气特性（接上页）

除非有额外说明，本表格数据均为建议工作条件（VCC=3.3V 或 5V，VCC 到 GND 之间有 1μF 电容，VDD-COM=20V、18V 或 15V，COM-VEE=0V、5V、8V 或 15V，C_L=100pF，-40°C<T_J<150°C）下的测试结果^{1,2}。

符号	参数	测试条件	最小值	典型值	最大值	单位
主动下拉						
V _{OUTPD}	主动下拉 OUTL	I _{OUTL} =1A, VDD=OPEN, VEE=COM	2.0			V
内部有源米勒钳位（CA-IS321xxNW）						
V _{CLAMPTH}	米勒钳位阈值电压	参考 VEE	1.5	2.0	2.5	V
V _{CLAMPI}	输出低钳位电压	I _{CLAMPI} =1A	VEE+0.4			V
I _{CLAMPI}	输出低钳位峰值电流	V _{CLAMPI} =0V, VEE=-4V	4			A
R _{CLAMPI}	米勒钳位下拉电阻	I _{CLAMPI} =0.2A	0.4			Ω
t _{DCLAMPI}	米勒钳位开通延迟时间	C _L =1.8nF, 图 7-5	20 50			ns
外部有源米勒钳位（CA-IS321xxEW）						
V _{CLAMPTH}	米勒钳位阈值电压	参考 VEE	1.5	2.0	2.5	V
V _{CLAMPE}	输出高电平电压		4.8	5.0	5.3	V
I _{CLAMPEH}	峰值上拉电流	C _{CLAMPE} =10nF	0.12	0.25		A
I _{CLAMPEL}	峰值下拉电流		0.12	0.25		A
t _{CLAMPER}	上升时间	C _{CLAMPE} =330pF, 图 7-6	20 40			ns
t _{DCLAMPE}	米勒钳位开通延迟时间		40 70			ns
短路钳位						
V _{CLP-OUTH}	V _{OUTH} -VDD	OUT=High, I _{OUT(H)} =500mA, t=10μs	0.73			V
V _{CLP-OUTL}	V _{OUTL} -VDD	OUT=High, I _{OUT(L)} =500mA, t=10μs	1.3			V
V _{CLP-CLAMPI}	V _{CLAMPI} -VDD	OUT=High, I _{CLAMPI} =500mA, t= 10μs	1.3			V
去饱和保护						
I _{CHG}	电容器充电电流	V _{DESAT} =2.0V	445	500	570	μA
I _{DCHG}	电容器放电电流	V _{DESAT} =6.0V	12	23		mA
V _{DESAT}	检测阈值	CA-IS3215xxW	8.2	9.1	10	V
		CA-IS3216xxW	5.4	6	6.6	V
t _{DESATLEB}	前沿消隐时间		200	265	400	ns
t _{DESATFIL}	DESAT 抗尖峰干扰滤波器		100	230	280	ns
t _{DEFATOFF}	DESAT 到 OUT(L) 90%传播延迟时间		150	230	300	ns
t _{DESATFLT}	DESAT 到FLT变低延迟		300	410	600	ns
内部软关断						
I _{STO}	故障条件下的软关闭电流	CA-IS3215xxW	250	400	570	mA
		CA-IS3216xxW	600	1	1.4	A
ASC_C 原边有源短路保护						
t _{ASCC_R}	ASC_C 到输出上升沿延时	ASC_C from Low to High	80	145	200	ns
t _{ASCC_F}	ASC_C 到输出下降沿延时	ASC_C from High to Low	80	145	200	ns
ASC_D 副边有源短路保护						
V _{ASCL}	ASC_D 输入低电平阈值		1.0	1.5	2.0	V
V _{ASCH}	ASC_D 输入高电平阈值		2.0	2.5	3.0	V
t _{ASCD_R}	ASC_D 到输出上升沿延时	ASC_D from Low to High	390	630	1120	ns
t _{ASCD_F}	ASC_D 到输出下降沿延时	ASC_D from High to Low	152	300	477	ns
I _{IH_ASC_D}	ASC_D 高电平输入漏电流	V _{ASC_D} =5V	20			μA
I _{IL_ASC_D}	ASC_D 低电平输入漏电流	V _{ASC_D} =COM	-20			μA

电气特性（接上页）

除非有额外说明，本表格数据均为建议工作条件（VCC=3.3V 或 5V，VCC 到 GND 之间有 1μF 电容，VDD-COM=20V、18V 或 15V，COM-VEE=0V、5V、8V 或 15 V，C_L=100pF，-40°C<T_J<150°C）下的测试结果^{1,2}。

符号	参数	测试条件	最小值	典型值	最大值	单位
FLT和 RDY 故障报告						
t _{RDYHLD}	VDD 或 VCC 发生 UVLO 让 RDY 为低最小保持时间	图 7-7 和图 7-8	0.55	0.82	1	ms
t _{FLTMUTE}	故障时输出静默时间	通过 $\overline{\text{RST}}/\text{EN}$ 重置 $\overline{\text{FLT}}$ 指示故障，图 7-9	0.55	0.82	1	ms
R _{ODON}	开漏输出导通电阻	I _{ODON} =5mA	30			Ω
V _{ODL}	开漏输出低电压	I _{ODON} =5mA	0.3			V
备注:						
1. 电流流入为正，流出为负。						
2. 除非另有说明，否则所有电压均以 COM 为参考。						

6.10. 开关特性

除非有额外说明，本表格数据均为建议工作条件（VCC=3.3V 或 5V，VCC 到 GND 之间有 1μF 电容，VDD-COM=20V、18V 或 15V，COM-VEE=0V、5V、8V 或 15 V，C_L=100pF，-40°C<T_J<150°C）下的测试结果^{1,2}。

符号	参数	测试条件	最小值	典型值	最大值	单位
t _{PDHL_1}	传播延迟时间 - 从高到低	CA-IS3215NxW, CA-IS3216NxW	60	90	130	ns
t _{PDLH_1}	传播延迟时间 - 从低到高	图 7-1 和图 7-2	60	90	130	
t _{PDHL_2}	传播延迟时间 - 从高到低	CA-IS3215SxW, CA-IS3216SxW	60	100	150	
t _{PDLH_2}	传播延迟时间 - 从低到高	图 7-1 和图 7-2	60	100	150	
PWD	脉冲宽度失真 t _{PDHL_n} -t _{PDLH_n}	图 7-1 和图 7-2	30			
t _{sk-pp}	器件与器件之间的延时偏移	上升或下降传播延迟	30			
t _r	驱动上升时间	C _L =10nF, 图 7-1	30			
t _f	驱动下降时间	C _L =10nF, 图 7-1	30			
f _{MAX}	最大开关频率		1			MHz
t _{DEAD}	直通死区保护时间	CA-IS3215SxW	550	800	1000	ns
		CA-IS3216SxW	80	140	200	ns
CMTI	共模瞬态抗扰度	IN+=High, IN-=Low, 图 7-15 和图 7-16	150	kV/μs		
		IN+=Low, IN-=Low, 图 7-15 和图 7-16	150	kV/μs		
备注:						
1. 电流流入为正，流出为负。						
2. 除非另有说明，否则所有电压均以 COM 为参考。						

6.11. 典型特性

除非有额外说明，下列曲线均为建议工作条件（VCC=3.3V 或 5V，VCC 到 GND 之间有 1 μ F 电容，VDD-COM=20V、18V 或 15V，COM-VEE=0V、5V、8V 或 15V，C_L=100pF，-40°C<T_J<150°C）下的测试结果。

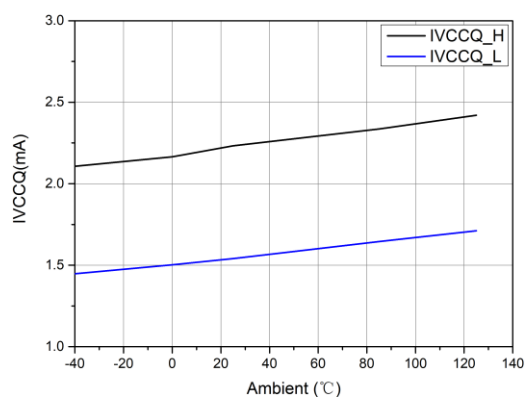


图 6-1 VCC 静态工作电流与温度关系

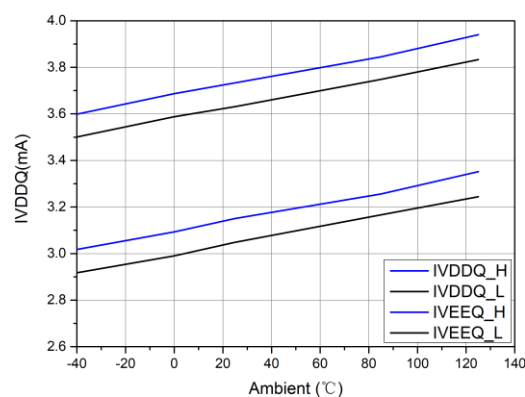


图 6-2 VDD & VEE 静态工作电流与温度关系

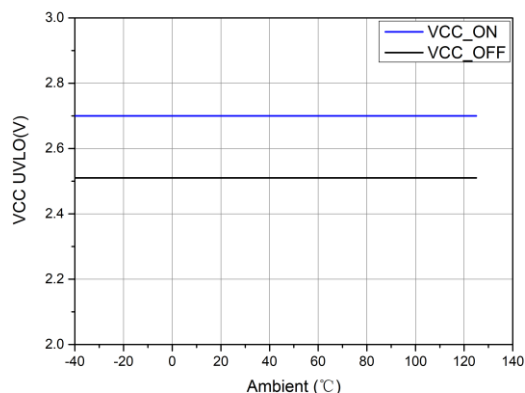


图 6-3 VCC UVLO 与温度的关系

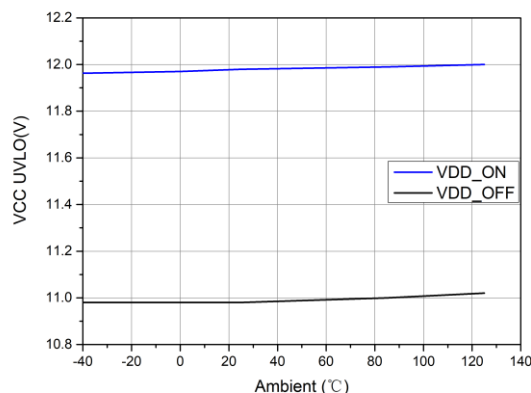


图 6-4 VDD UVLO 与温度的关系

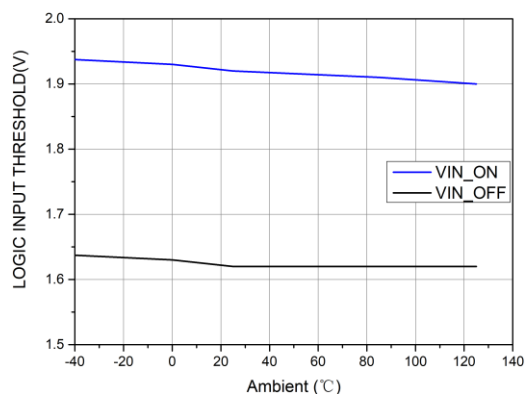


图 6-5 逻辑输入阈值与温度的关系

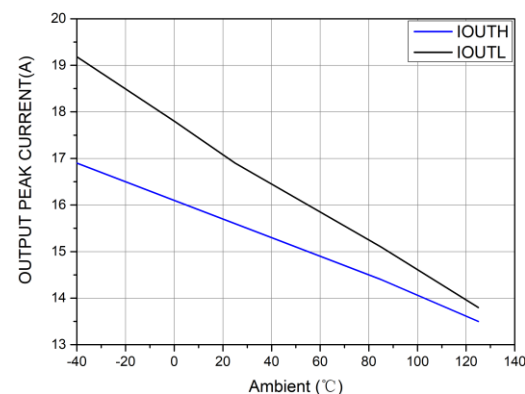


图 6-6 输出峰值电流与温度的关系 (C_L=180nF)

续上表:

除非有额外说明，下列曲线均为建议工作条件（VCC=3.3V 或 5V，VCC 到 GND 之间有 1μF 电容，VDD-COM=20V、18V 或 15V，COM-VEE=0V、5V、8V 或 15 V，CL=100pF，-40℃<TJ<150℃）下的测试结果。

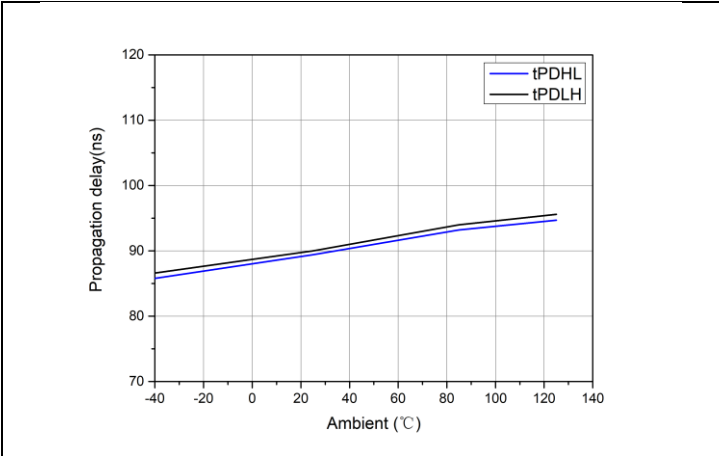


图 6-7 传输延时与温度关系

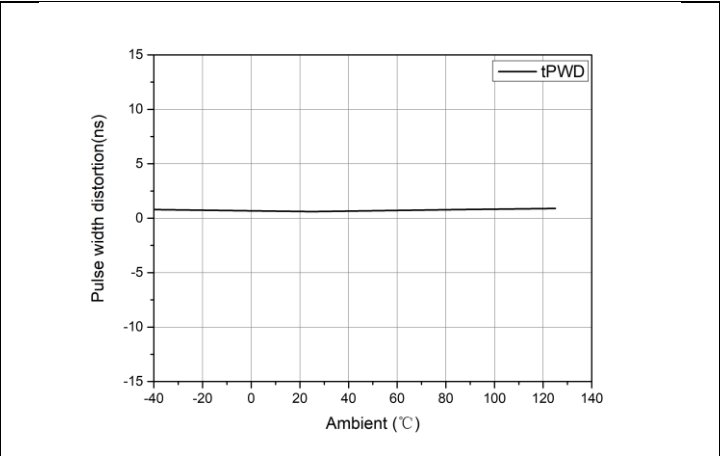


图 6-8 脉宽失真与温度关系

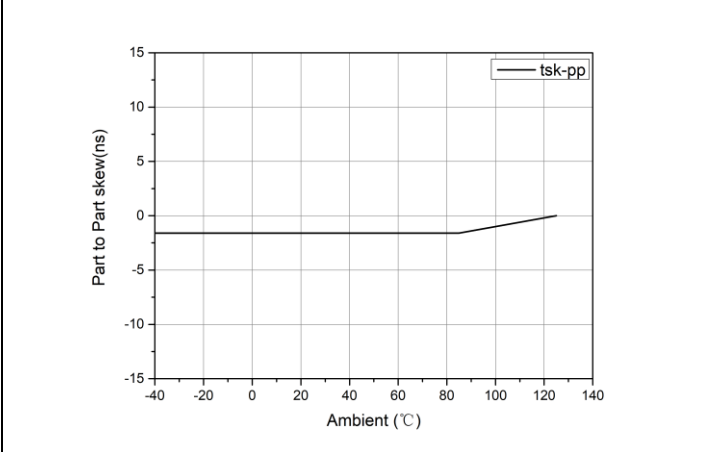


图 6-9 延时匹配与温度的关系

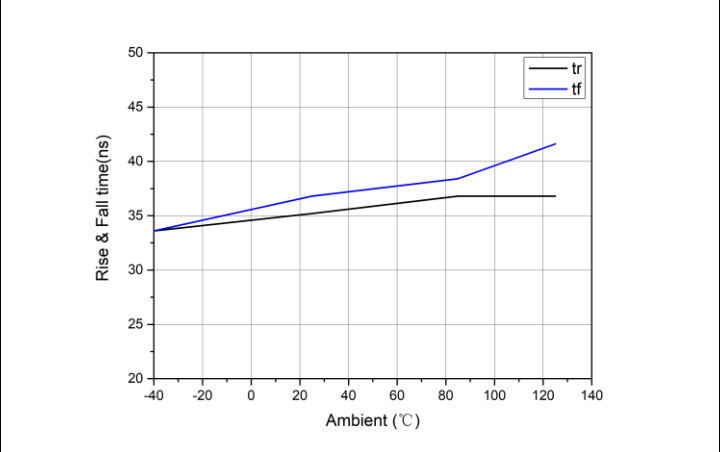


图 6-10 上升&下降时间与温度的关系（CL=10nF）

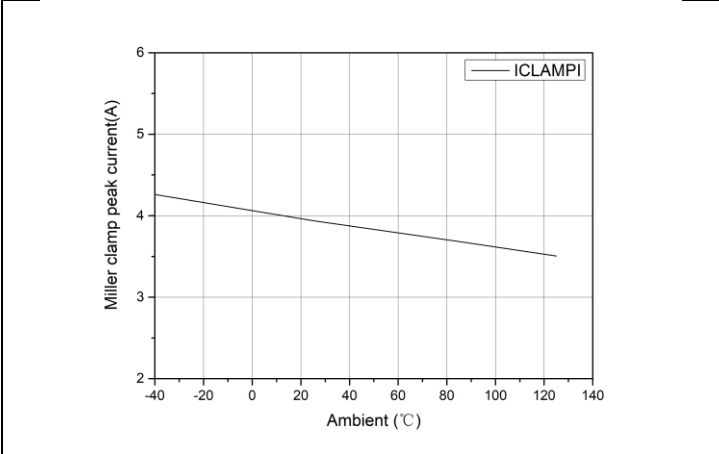


图 6-11 米勒钳位峰值电流与温度的关系

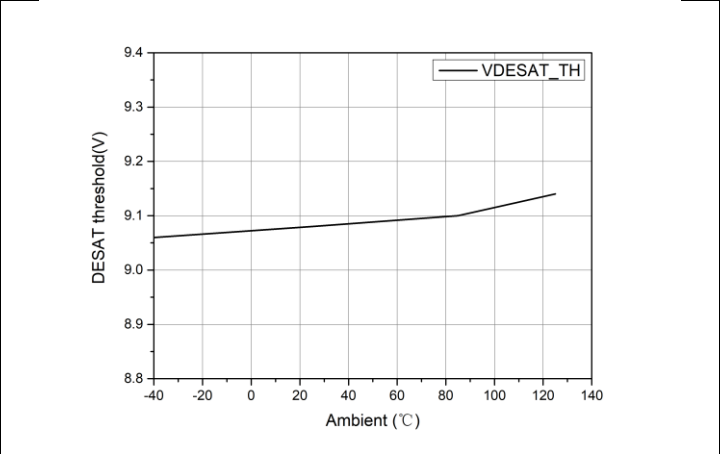


图 6-12 DESAT 电压阈值与温度的关系

续上表:

除非有额外说明, 下列曲线均为建议工作条件 ($V_{CC}=3.3V$ 或 $5V$, V_{CC} 到 GND 之间有 $1\mu F$ 电容, $V_{DD}-COM=20V$ 、 $18V$ 或 $15V$, $COM-VEE=0V$ 、 $5V$ 、 $8V$ 或 $15V$, $C_L=100pF$, $-40^{\circ}C < T_J < 150^{\circ}C$) 下的测试结果。

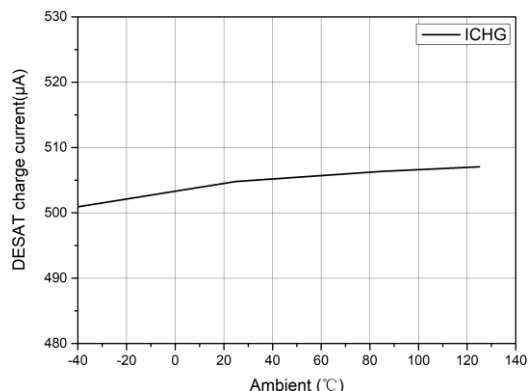


图 6-13 DESAT 充电电流(I_{CHG})与温度关系

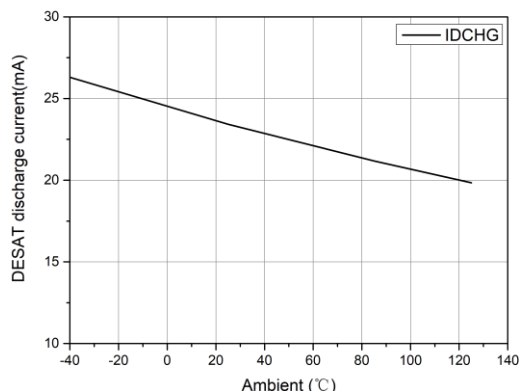


图 6-14 DESAT 放电电流(I_{DCHG})与温度关系

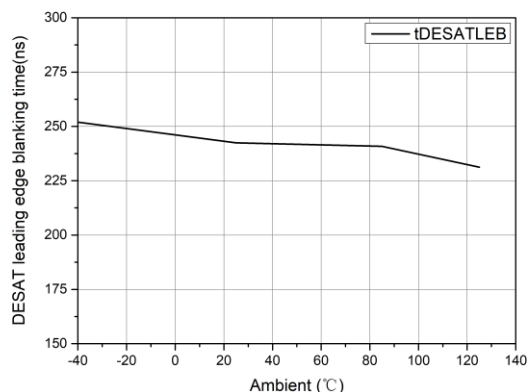


图 6-15 DESAT 消隐时间($t_{DESATLEB}$)与温度关系

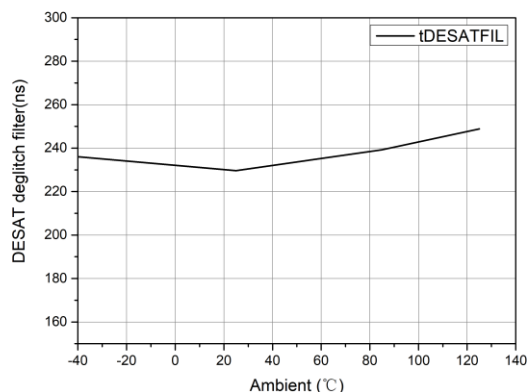


图 6-16 DESAT 滤波时间($t_{DESATFIL}$)与温度关系

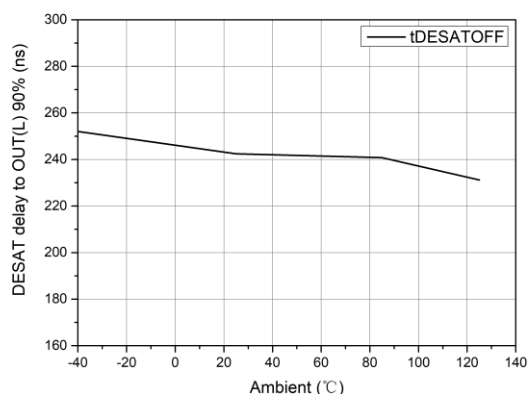


图 6-17 DESAT 关断延时($t_{DESATOFF}$)与温度关系

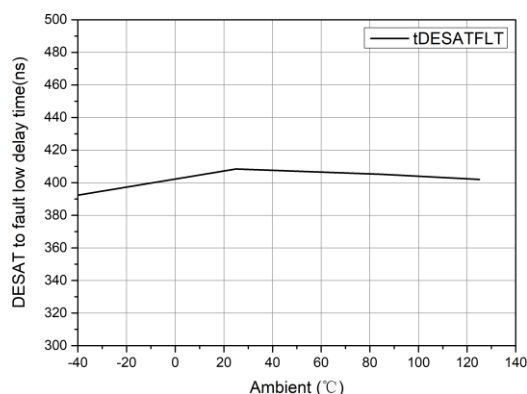


图 6-18 DESAT to Fault 延时($t_{DESATFLT}$)与温度关系

7. 参数测量信息

7.1. 传播延迟

图 7-1 显示了同相配置的传播延迟测量。图 7-2 显示了反相配置的传播延迟测量。

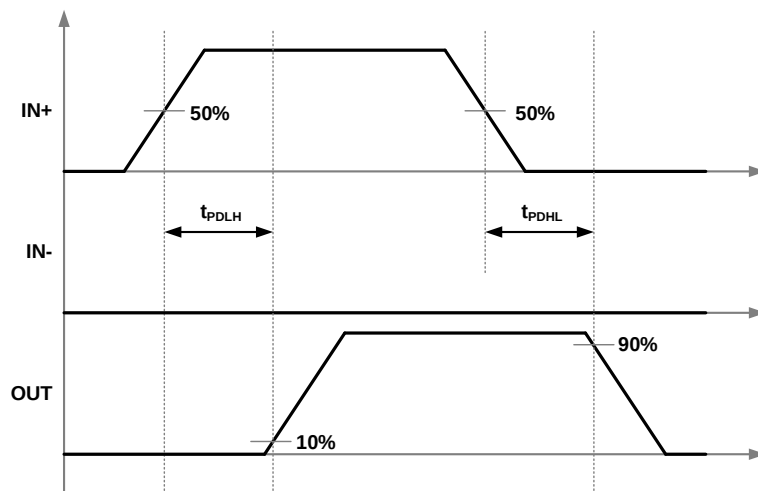


图 7-1 同相逻辑传播延迟测量

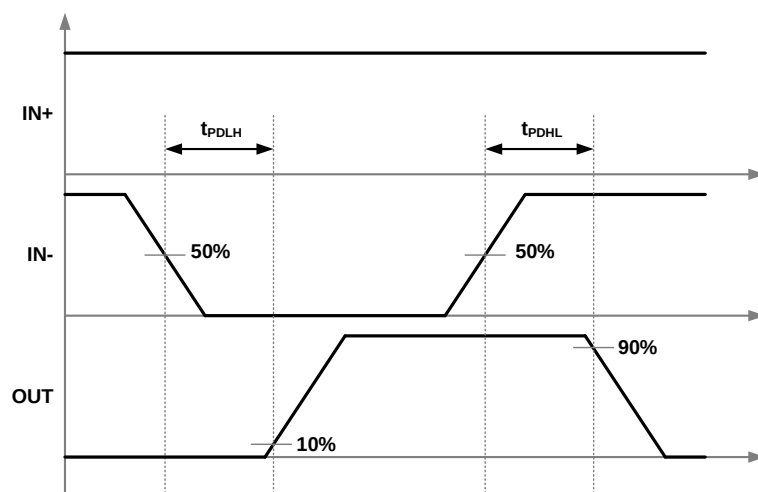


图 7-2 反相逻辑传播延迟测量

7.2. 输入抗脉冲尖峰滤波器

为了提高栅极驱动器在输入引脚（即 $IN+$ 、 $IN-$ 、 $\overline{RST}/EN$ 和 ASC_C ）上对短暂和意外小脉冲尖峰噪声的抑制能力，CA-IS3215/6 设计了 40ns 输入抗脉冲尖峰滤波器来过滤掉瞬态波动，以确保不会产生错误输出响应或意外驱动故障。当 $IN+$ 或 $IN-$ 的 PWM 脉冲小于输入抗脉冲尖峰滤波器宽度 T_{INFIL} 时，OUT 驱动信号上将没有响应。图 7-3 显示 $IN+$ 引脚 ON 和 OFF 时抗脉冲尖峰滤波效果。图 7-4 显示 $IN-$ 引脚 ON 和 OFF 时抗脉冲尖峰滤波效果。

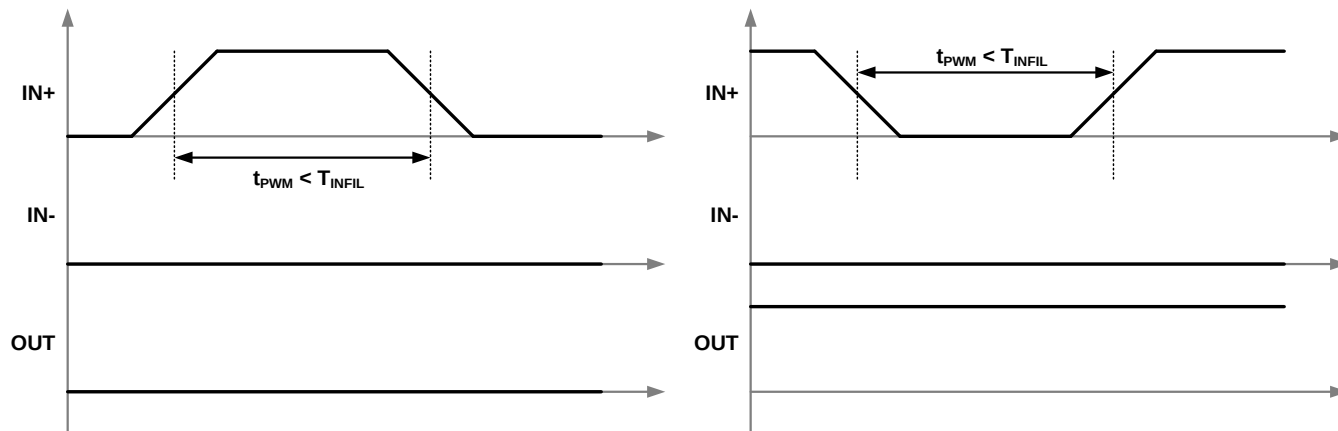


图 7-3 $IN+$ ON/OFF 滤波器

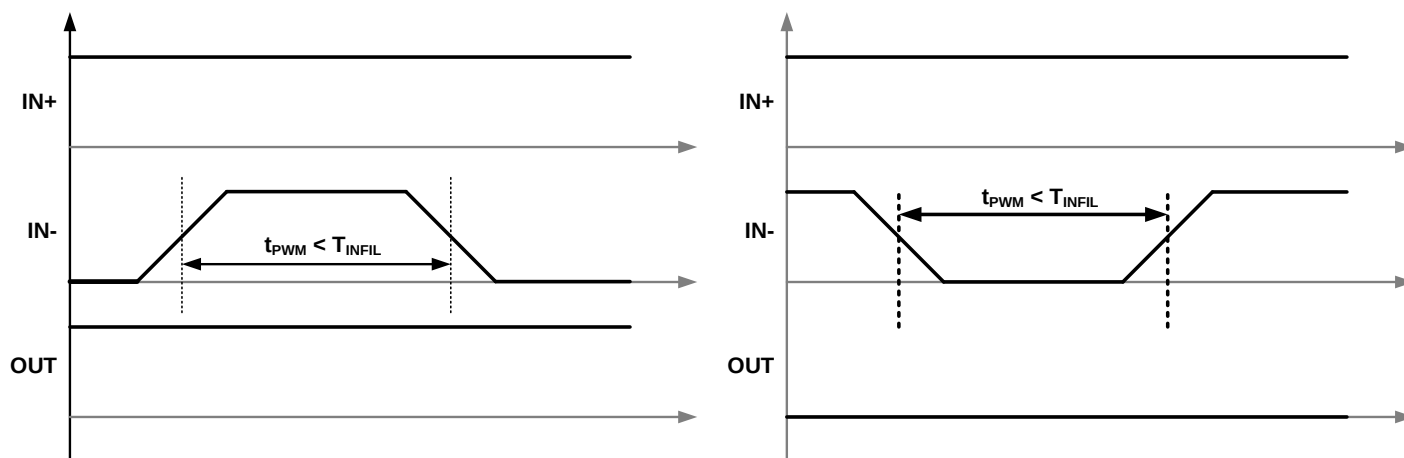


图 7-4 $IN-$ ON/OFF 滤波器

7.3. 有源米勒钳位

7.3.1. 内置有源米勒钳位

对于具有单极偏置电源，或双极电源且有较小的负的关断电压的栅极驱动器应用，有源米勒钳位可以帮助添加一个额外的低阻抗路径分流米勒电流，并防止高 dV/dt 通过米勒电容导致意外功率管导通。图 7-5 显示了器件内部米勒钳位功能的时序图。

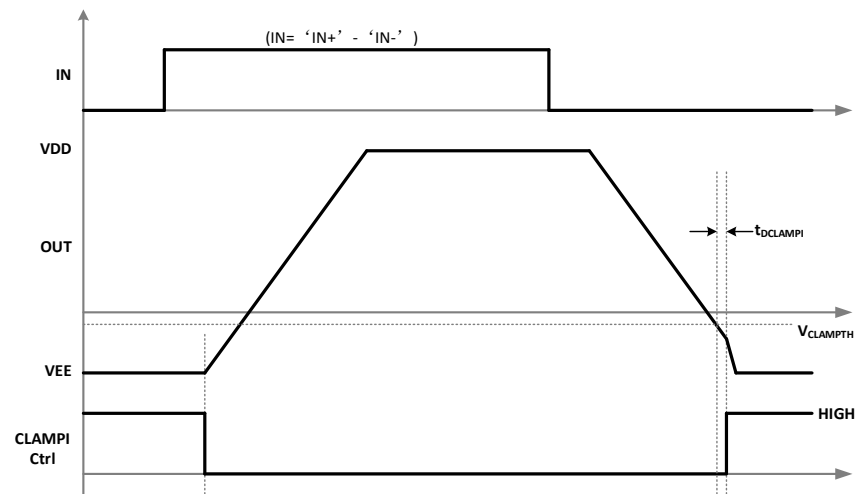


图 7-5 内置有源米勒钳位功能的时序图

7.3.2. 外置有源米勒钳位

外置有源米勒钳位可以帮助用户灵活选择 MOSFET，为栅极添加一个额外的低阻抗路径分流米勒电流，并防止高 dV/dt 通过米勒电容导致意外功率管导通。图 7-6 显示了器件内部米勒钳位功能的时序图。

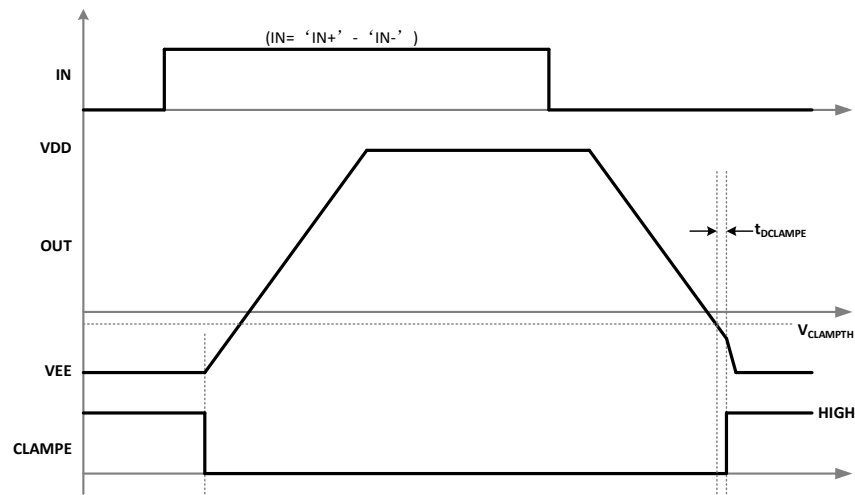


图 7-6 外置有源米勒钳位功能的时序图

7.4. 欠压锁定 (UVLO)

UVLO 是设计用于在 VCC(控制侧电源和)和 VDD(驱动侧电源)发生电源故障时保护系统的关键保护功能之一。

7.4.1. VCC UVLO

图 7-7 示意说明 UVLO 开/关阈值、抗尖峰脉冲滤波器、响应时间、RDY 定义的时序图。

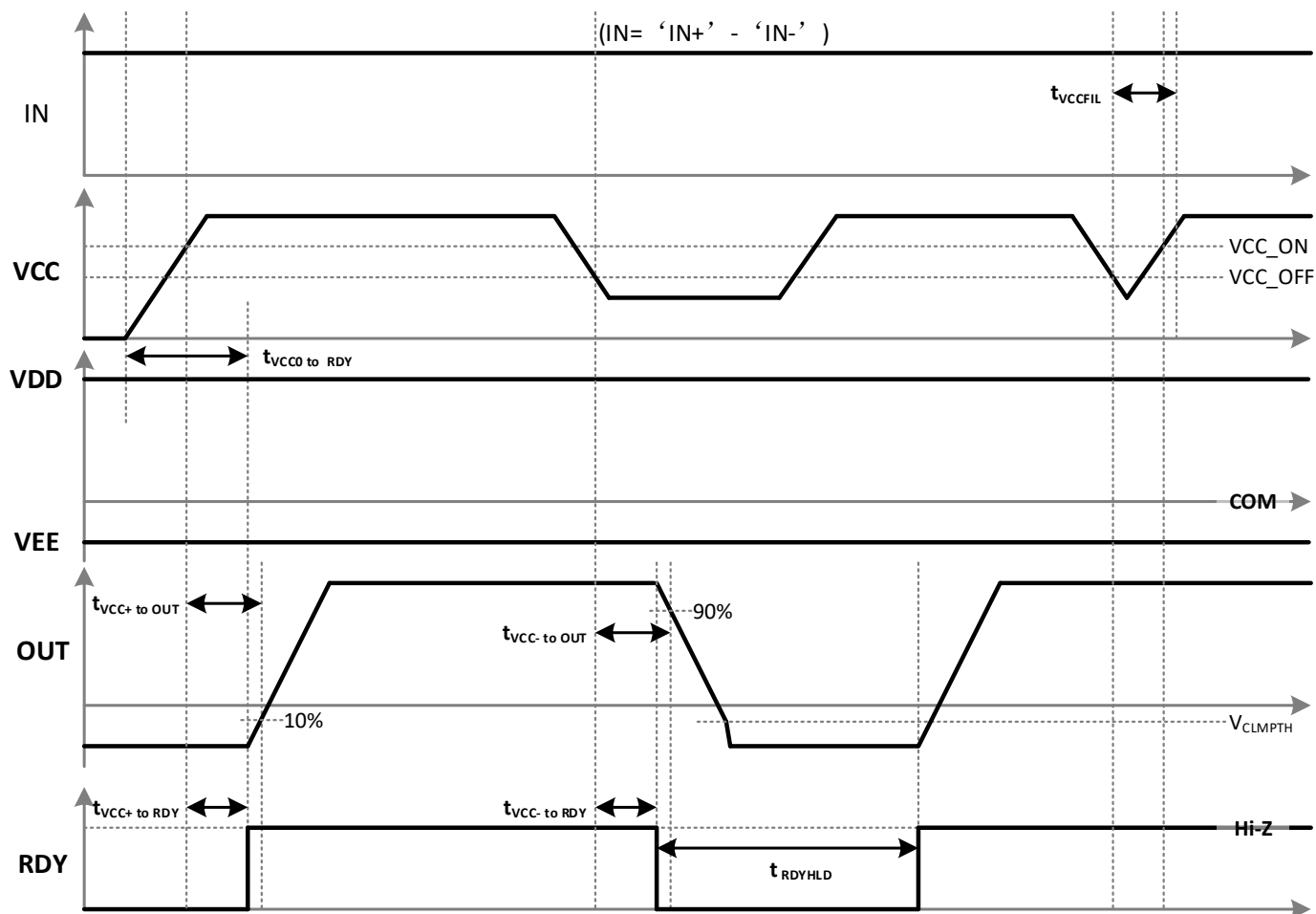


图 7-7 VCC UVLO 保护时序图

7.4.2. VDD UVLO

图 7-8 示意说明 UVLO 开/关阈值、抗尖峰脉冲滤波器、响应时间、RDY 定义的时序图。

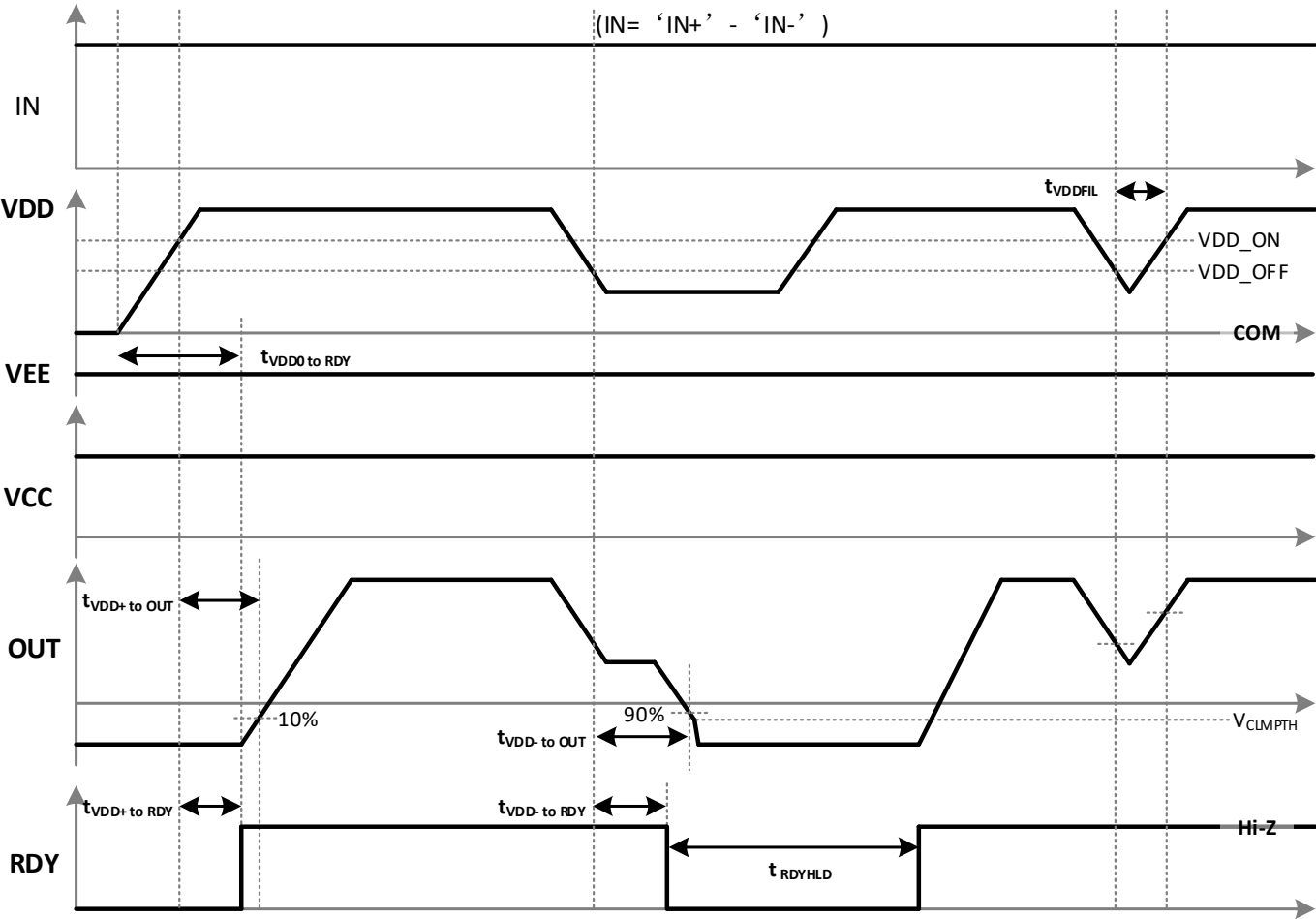


图 7-8 VDD UVLO 保护时序图

7.5. 带有软关断的 DESAT 保护

DESAT 功能用于在过流条件下检测 SiC-MOSFET 的 VDS 或 IGBT 的 VCE。图 7-9 显示了在开启期间带软关断功能的 DESAT 动作时序图。

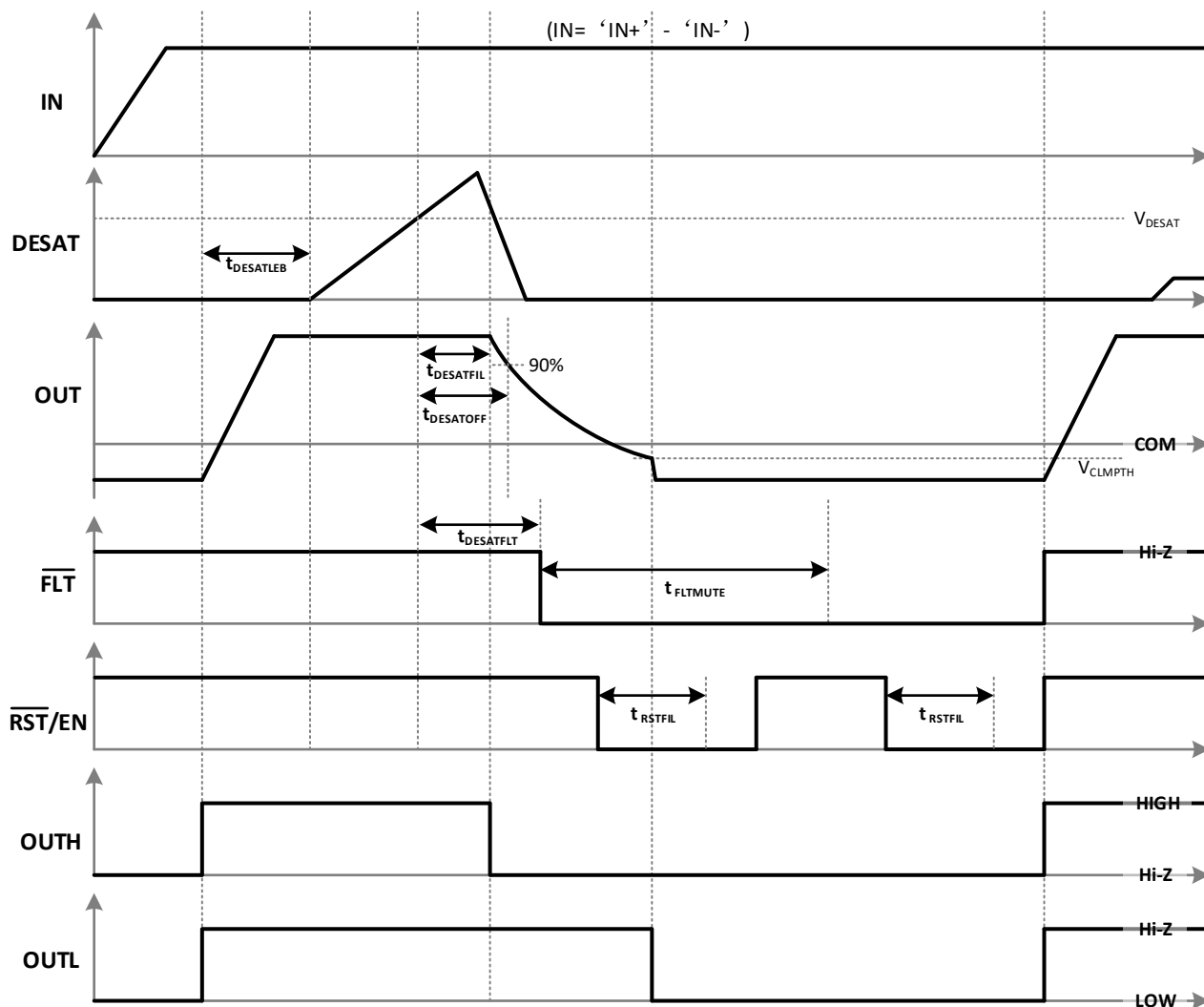


图 7-9 在开启转换期间带软关断功能的 DESAT 保护

图 7-10 显示了当功率器件一直导通时，DESAT 保护动作的时序图。

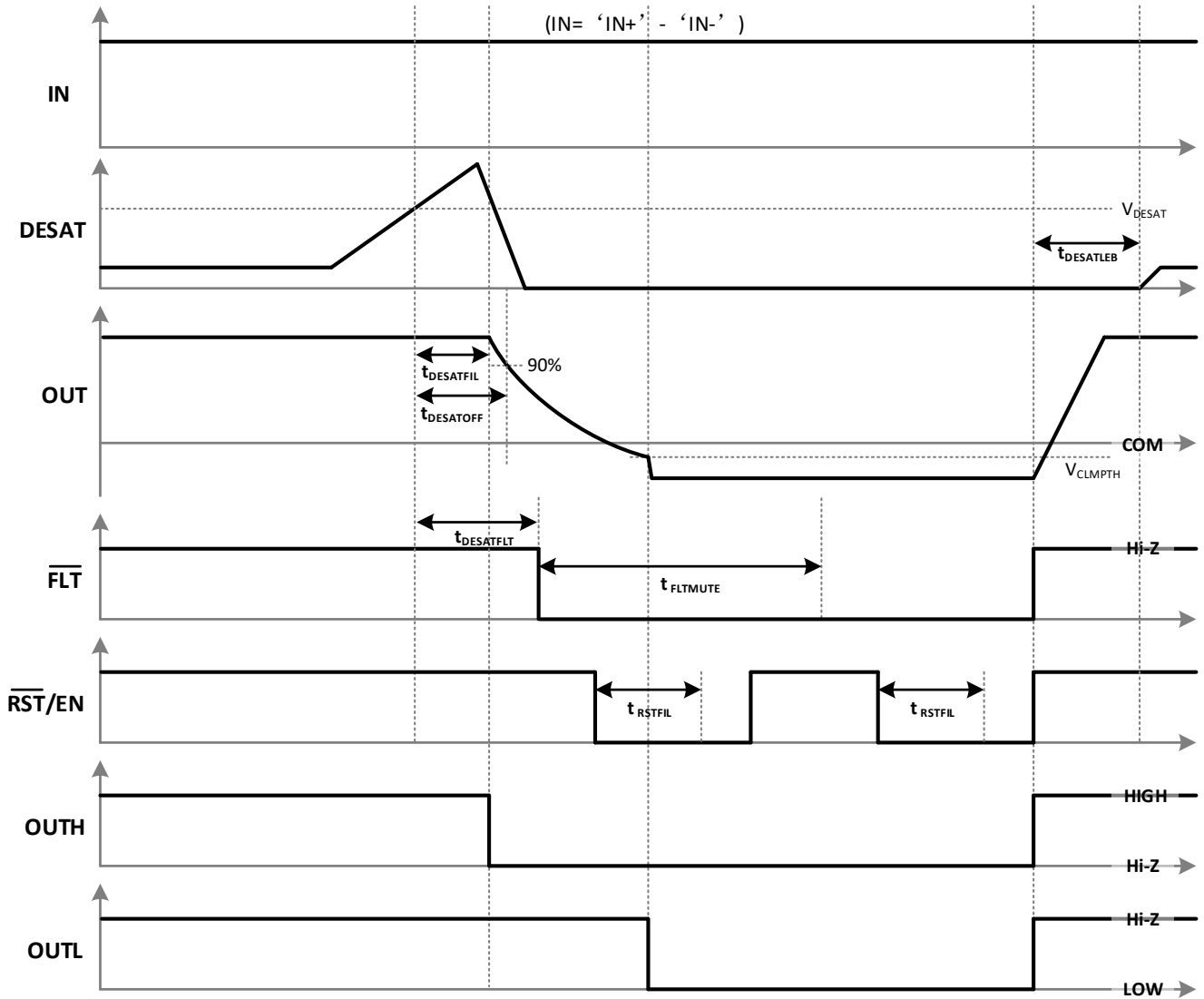


图 7-10 功率器件一直导通时带软关断功能的 DESAT 保护

7.6. 有源短路保护 ASC

7.6.1. 控制侧有源短路保护 ASC_C

图 7-11 显示了当芯片 VCC UVLO 时，控制侧 ASC_C 保护时序。

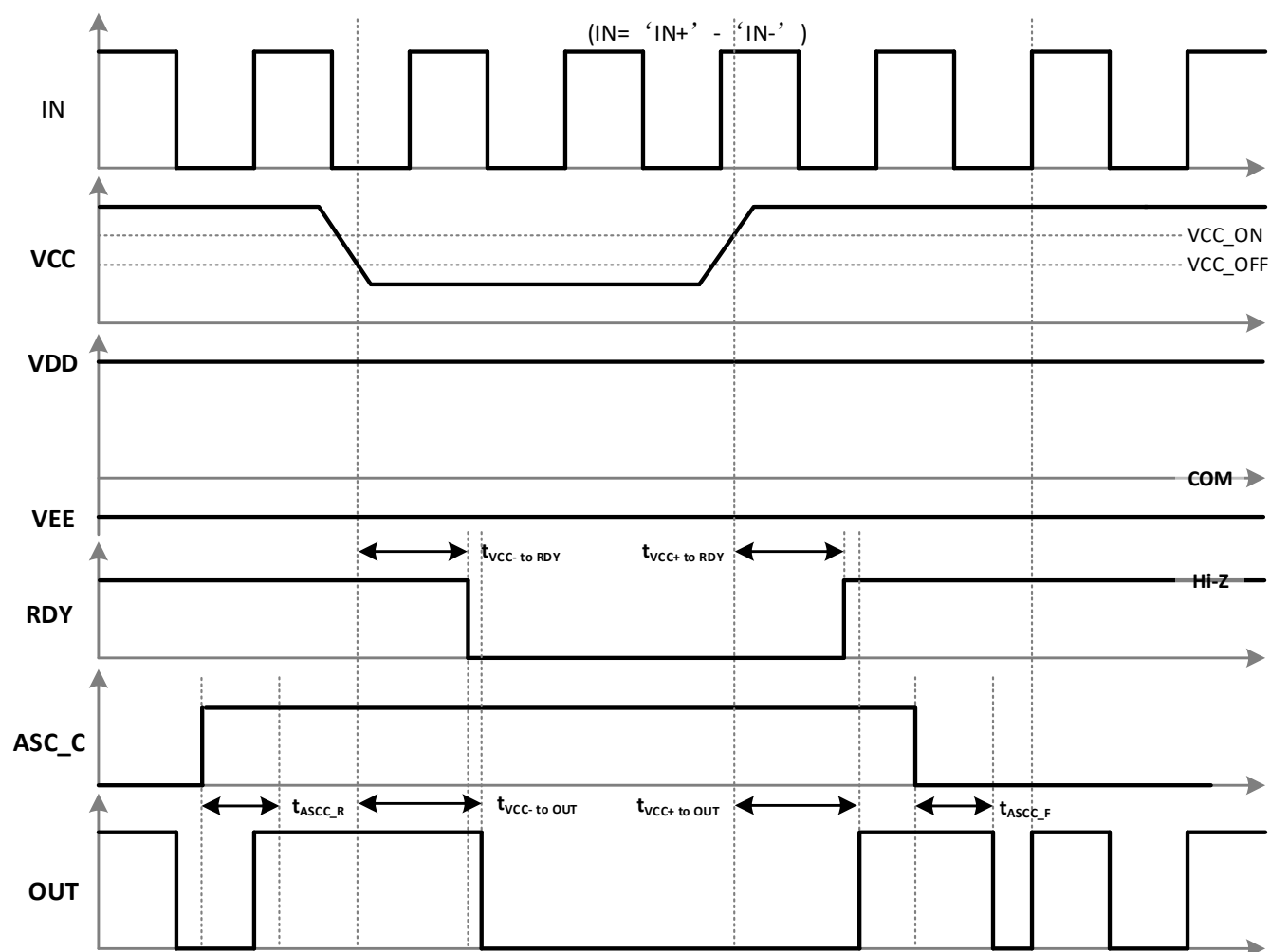


图 7-11 VCC UVLO 时 ASC_C 保护时序

图 7-12 显示了当芯片 VDD UVLO 时，控制侧 ASC_C 保护时序。

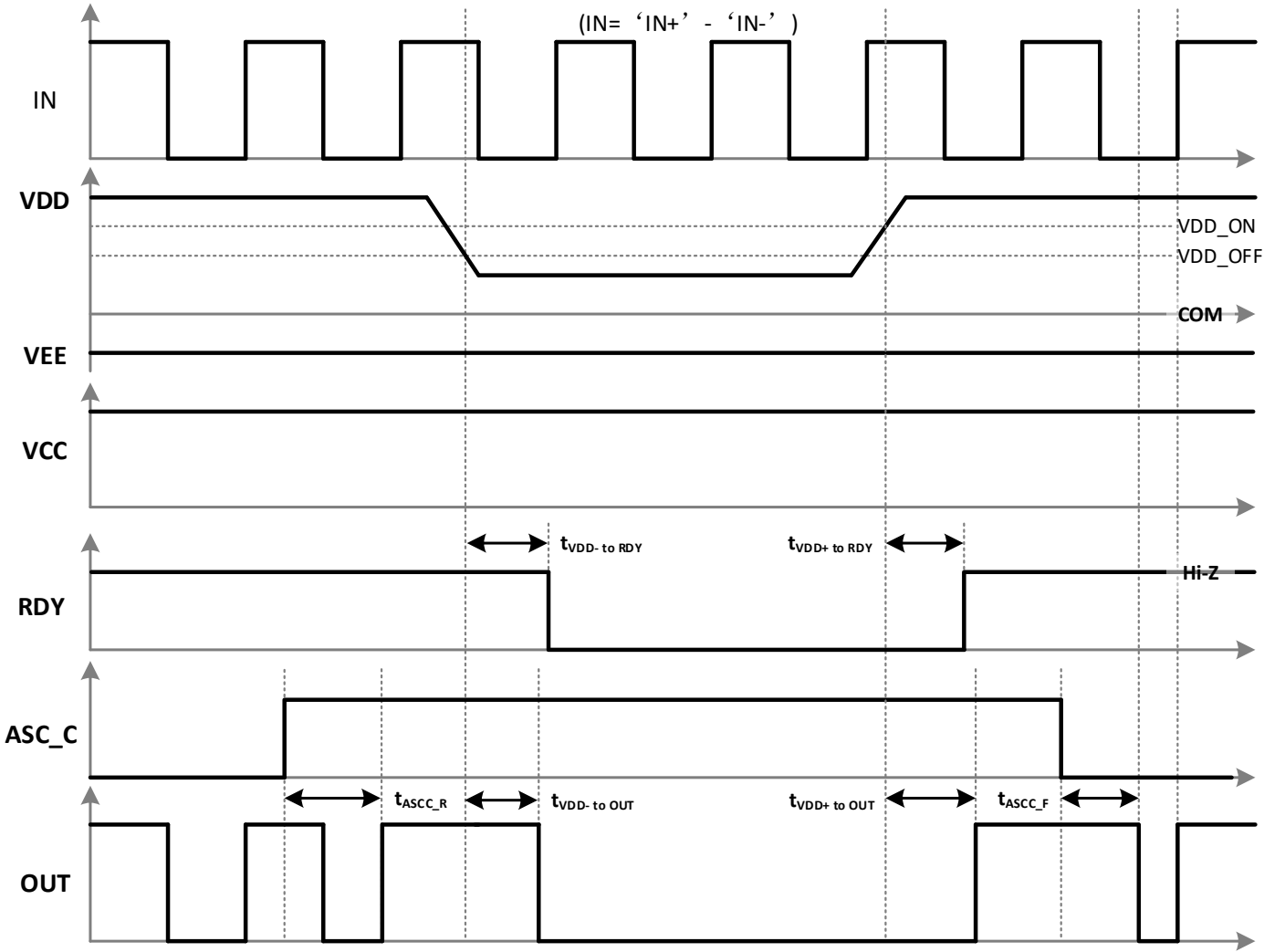


图 7-12 VDD UVLO 时 ASC_C 保护时序

7.6.2. 驱动侧有源短路保护 ASC_D

图 7-13 显示了当芯片 VCC UVLO 时，驱动侧 ASC_D 保护时序。

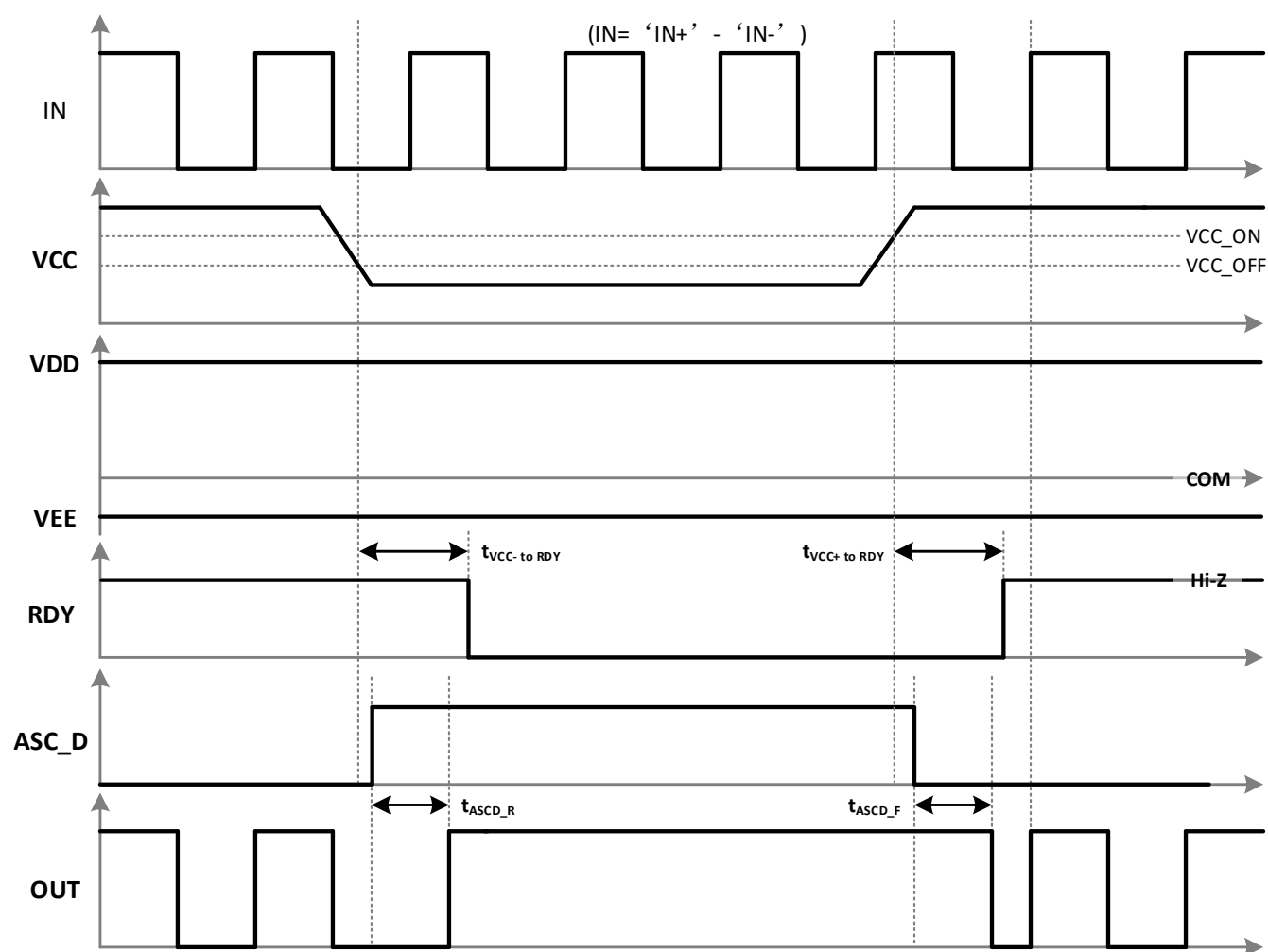


图 7-13 VCC UVLO 时 ASC_D 保护时序

图 7-14 显示了当芯片 VDD UVLO 时，驱动侧 ASC_D 保护时序。

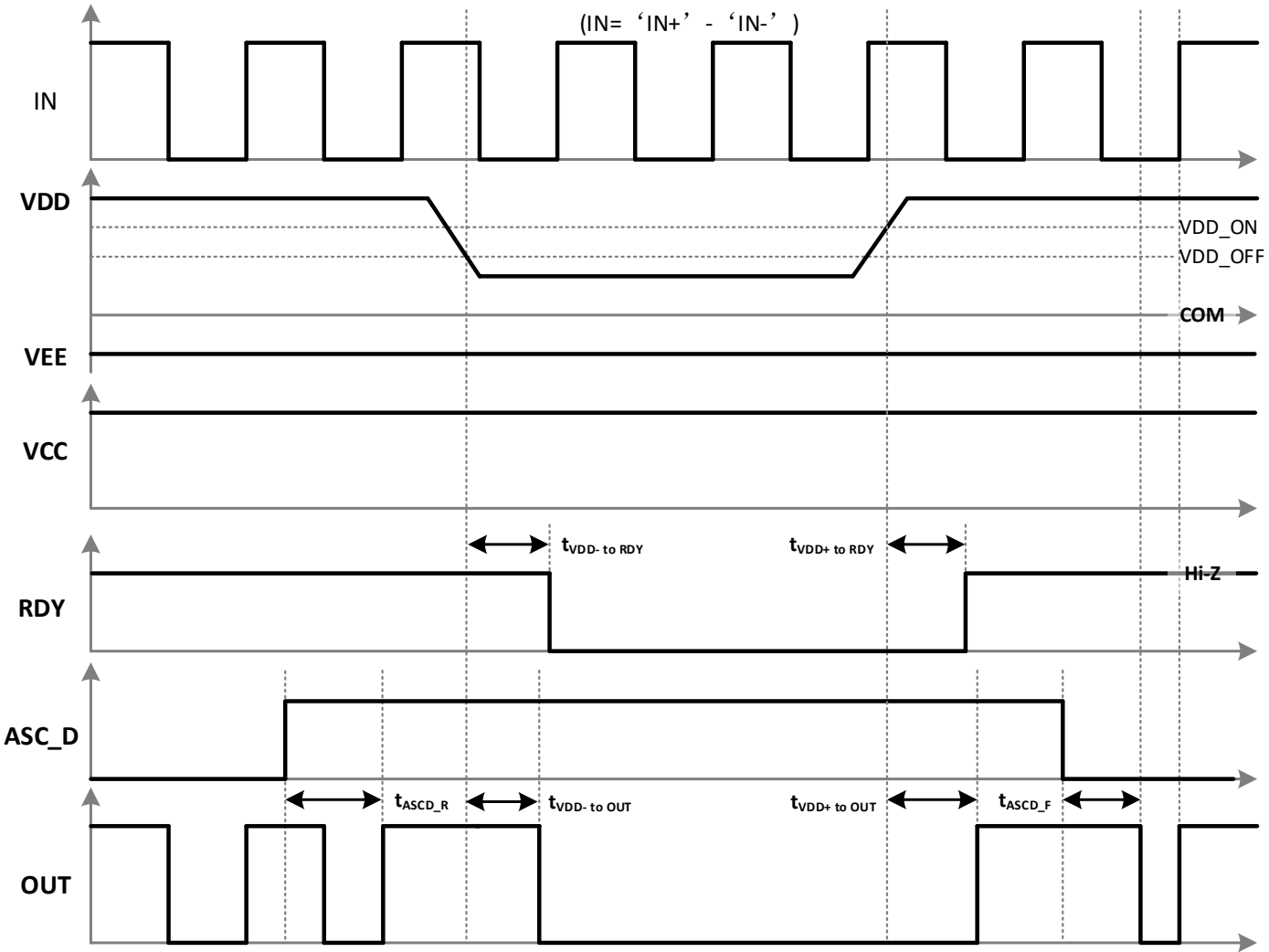


图 7-14 VDD UVLO 时 ASC_D 保护时序

7.7. CMTI 测试

图 7-15 和图 7-16 显示了 CA-IS3215/6 系列产品的 CMTI 测试方案。

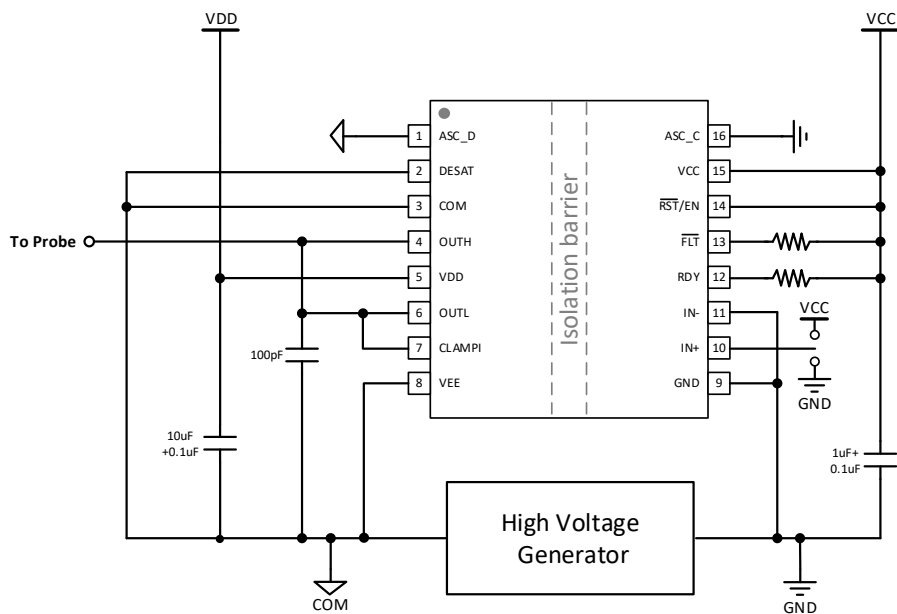


图 7-15 CMTI 测试方案（CA-IS3215/6xNW）

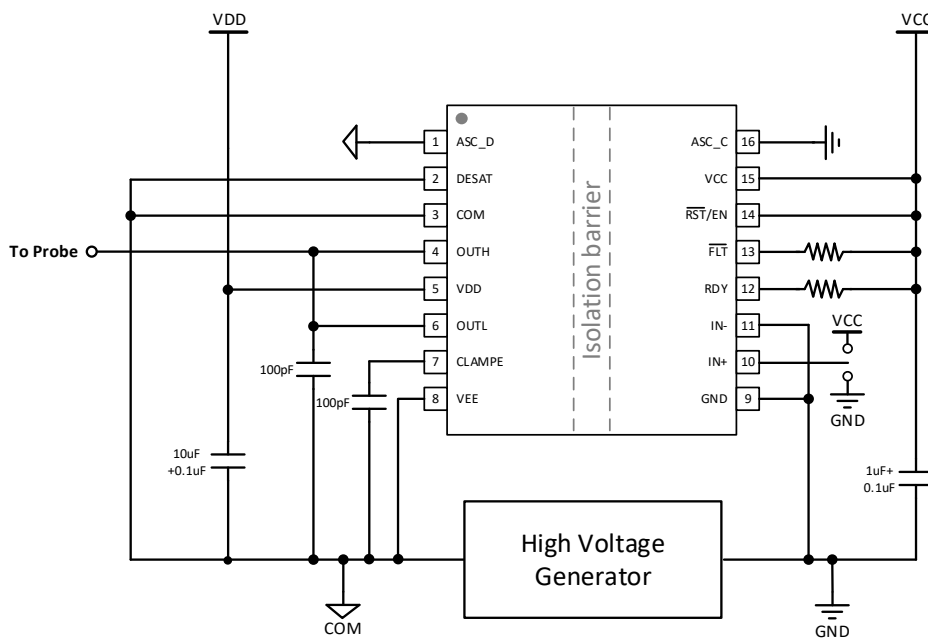


图 7-16 CMTI 测试方案（CA-IS3215/6xEW）

8. 详细说明

8.1. 概述

CA-IS3215/6 是一款基于电容隔离且具有多种保护和监测功能的单通道栅极驱动器系列产品，可用于驱动 IGBT、MOSFET 和 SiC 功率器件或模组。该产品通过电容隔离技术实现了低压侧 DSP/MCU 和高压侧之间的可靠电气隔离。同时，直流隔离工作电压最高可达 2121 V，可用于 10kW 以上的大功率应用，如电机驱动、大功率变频器、直流快速充电桩、光伏逆变器等领域应用。

CA-IS3215/6 具有高达 $\pm 15A$ 峰值拉和灌电流能力，最小峰值电流不小于 10A，可以直接驱动 SiC MOSFET 模块和 IGBT 模块，无需额外的缓冲。该驱动器还可用于驱动具有外部缓冲级的高功率模块或并联的模块。基于电容隔离技术的控制侧与驱动侧增强隔离屏障使得器件可以支持高达 $1.5k V_{RMS}$ 隔离工作电压和 $12.8 kV_{PK}$ 浪涌抗扰度，额定工作电压下隔离栅寿命超过 40 年。强大的驱动能力有助于快速功率开关并减少开关损耗，而最小 $150 kV/\mu s$ 的 CMTI 保证了快速开关条件下系统的可靠性。优异的传输延迟和器件与器件之间的延迟偏差可以最大限度地减小死区时间设置，继而可以减少运行损耗。

该器件具有全面的保护和监测功能，以提高 SiC MOSFET 和 IGBT 系统的可靠性和鲁棒性。12V 驱动侧电源 UVLO 适用于栅极电压 $\geq 15V$ 的功率开关。有源米勒钳位功能可防止在快速开关过程中由米勒电容引起的错误开启。STP 功能可以防止上下桥臂直通。同时该器件具有快速的 DESAT 检测功能，以及可以反馈到低压控制侧 DSP/MCU 的故障报警功能。当器件检测到 DESAT 故障时，会触发软关断，从而最大限度地降低短路能量，同时降低功率开关上的过冲电压。

8.2. 功能框图

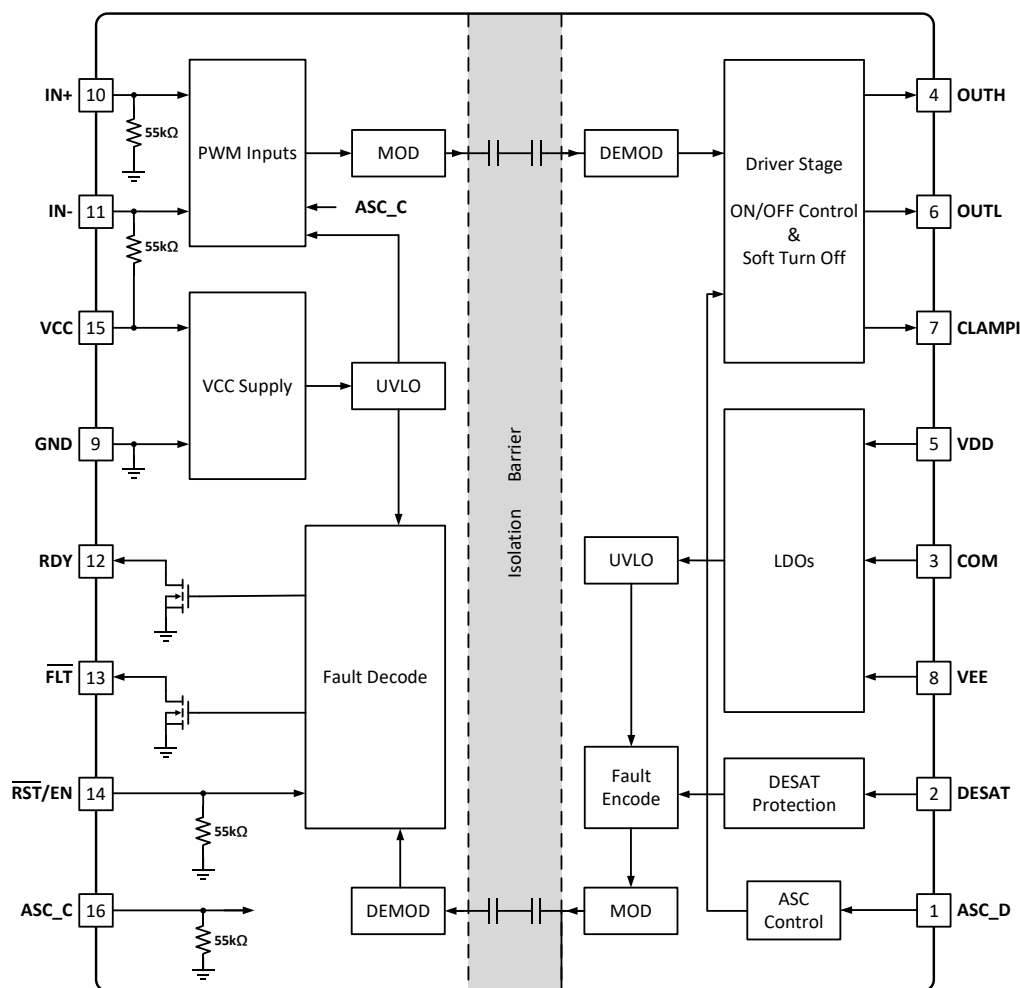


图 8-1 CA-IS321xxNW 功能框图

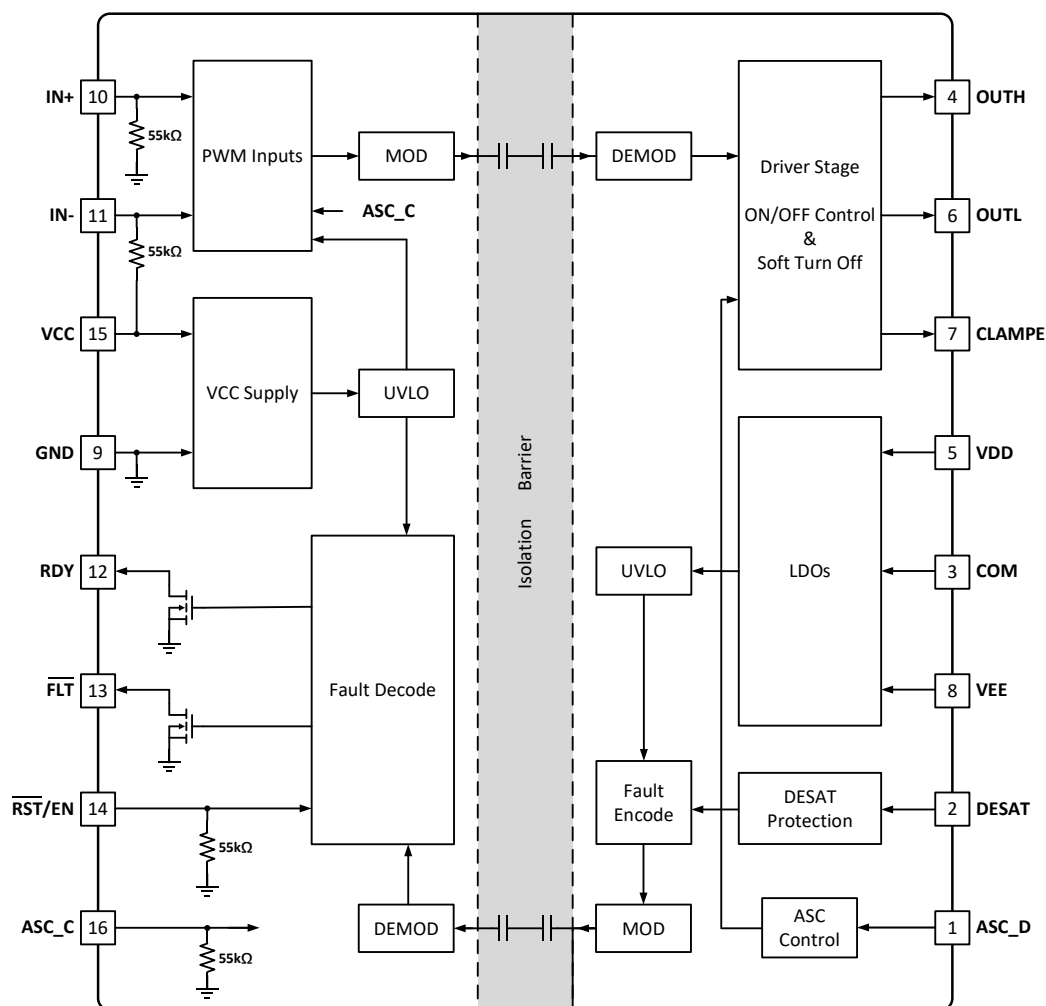


图 8-2 CA-IS321xxEW 功能框图

8.3. 特性描述

8.3.1. 电源

CA-IS3215/6 的控制侧电源 VCC 可支持 3V 到 5.5V 的宽电压范围。驱动侧支持单极性电源和双极性电源，VDD 到 VEE 支持 13V 到 33V 的宽电压范围。在 SiC 和 IGBT 应用中，由于快速的 dV/dt 和米勒效应，可能导致功率管误导通现象，此时负压关断功率器件可以提高可靠性。故负电压电源供电也尤其重要。

8.3.2. 驱动级

CA-IS3215/6 具有 $\pm 15A$ 峰值驱动能力，能够直接驱动 SiC MOSFET 模块、IGBT 模块或并联的分立器件，无需额外的缓冲级。当输入引脚处于悬空状态时，OUTH/OUTL 被拉低，防止功率管误开通。驱动器的输出分离配置可以灵活设置驱动电阻，如图 8-3 中所示。该驱动器内部通过 PMOS 和 NMOS 组合的混合上拉结构以及 NMOS 的下拉结构来实现轨对轨输出。上拉 NMOS 与下拉 NMOS 结构相同，因此导通电阻 R_{NMOS} 与 R_{OL} 也相同。上拉 NMOS 在功率器件开启过程中的米勒区域提供快速的峰值电流，直到 OUTH 电压与 VDD 电压压差低于 3V 后，上拉 NMOS 停止工作，上拉 PMOS 将 OUTH 电压拉到 VDD。在开启瞬态混合上拉结构可以提供最高的峰值拉电流能力，从而缩短了对功率管输入电容的充电时间，减少导通损耗。

驱动器的下拉结构仅由单个下拉 NMOS 实现。N 沟道 MOSFET 的 R_{OL} 详见电气特性中的参数，该 MOSFET 可确保将 OUTL 电压拉低至 VEE。低下拉阻抗不仅实现大的灌电流能力，减少关闭时间，还有助于提高米勒效应下的抗干扰度。

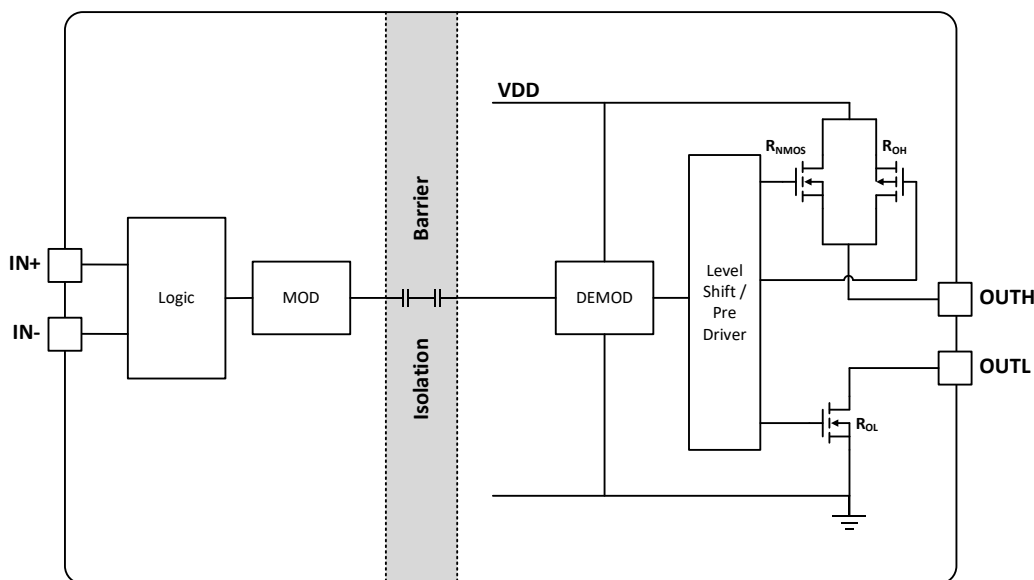


图 8-3 栅极驱动输出级

8.3.3. VCC 和 VDD 欠压锁定 (UVLO)

CA-IS3215/6 实现了控制侧电源 VCC 和驱动侧电源 VDD 的内部 UVLO 保护功能。当电源电压低于阈值电压时，驱动输出保持为低。只有当 VCC 和 VDD 都高于 UVLO 阈值状态时，输出才可以变高。UVLO 保护功能既降低了驱动自身在低供电电压条件下的功耗，又提高了功率级的效率。VDD 的 UVLO 阈值电压为 12V，具有 1V 的迟滞。

CA-IS3215/6 的 VCC 和 VDD 均内置了抗尖峰脉冲滤波器，当电源打开或关闭瞬间，电源电压可能突然短暂的下降，该滤波器可以有效的滤除一些电源噪声干扰，防止芯片的误动作。

该产品通过控制侧的 RDY 引脚提供了电源指示功能，可以实时检测检测电源状态。RDY 引脚是开漏输出，当电源电压低于 UVLO 阈值电压时，RDY 输出低电平，否则为高阻态。通常 RDY 引脚外接上拉电阻到 VCC 来指示电源正常。图 7-7 和图 7-8 显示了 VCC 和 VDD 的 UVLO 功能时序图。

8.3.4. 主动下拉

CA-IS3215/6 具有主动下拉功能，以确保 VDD 开路时，OUTH/OUTL 引脚钳位到 VEE。当 VDD 开路时，OUTH/OUTL 引脚处于高阻抗状态，主动下拉功能可防止在器件恢复控制之前错误导通。

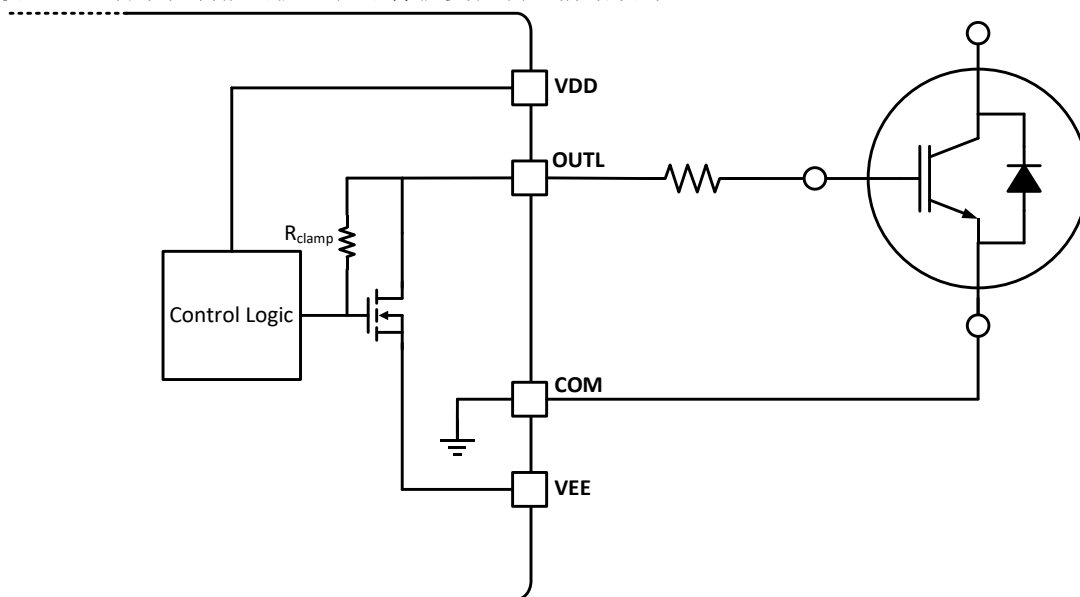


图 8-4 主动下拉

8.3.5. 短路钳位

当功率器件发生短路时，米勒电容可能导致电流灌到 OUTH/OUTL/CLAMPI 引脚，高 dV/dt 可能拉高 OUTH/OUTL/CLAMPI 电压。CA-IS3215/6 的短路钳位功能可将 OUTH/OUTL/CLAMPI 引脚电压钳位到略高于 VDD 的二极管电压，从而保护功率器件免受栅极-源极或栅极-射极过电压击穿。此功能由 OUTH/OUTL/CLAMPI 到 VDD 的内部二极管实现。

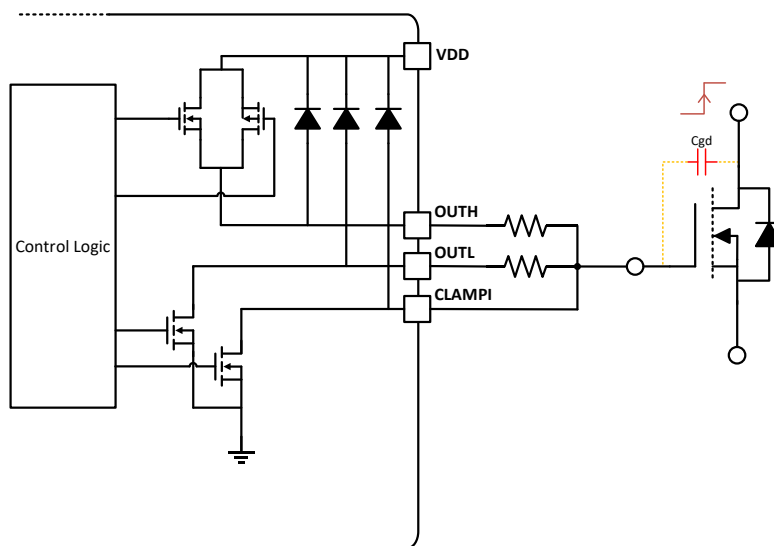


图 8-5 短路钳位

8.3.6. 有源米勒钳位 (Miller Clamp)

在高的 dV/dt 应用中，由于米勒电容效应存在，打开其他功率管的瞬间，栅极会被 C_{gd} 和 C_{gs} 电容耦合分压，若该电压大于栅极的阈值电压，可能引起误导通现象，从而损坏功率管。为该电流提供一个泄放回路将变得尤为重要。

CA-IS3215/6xNW 内部集成低下拉阻抗 NMOS，可以提供强大 4A 的峰值下拉能力，使 OUTL 保持到 VEE。CLAMPI 引脚与功率器件的栅极相连，可为该电流提供泄放支路。当栅极电压低于 $V_{CLAMP_{TH}}$ ，即比 VEE 高 2V 时，将开启该 MOSFET，并建立低阻抗路径以避免功率开关出现错误开启。

CA-IS3215/6xEW 提供外部米勒钳位功能，用户可以灵活选择下拉 MOSFET。CLAMPE 引脚需连接外部 MOS 的栅极，芯片内部会检测 IGBT 或 SiC 的栅极电压，当栅极电压低于 $V_{CLAMP_{TH}}$ ，即比 VEE 高 2V 时，CLAMPE 输出高电平，否则为低电平。

图 8-6 显示了内置有源米勒钳位和外置有源米勒钳位功能。

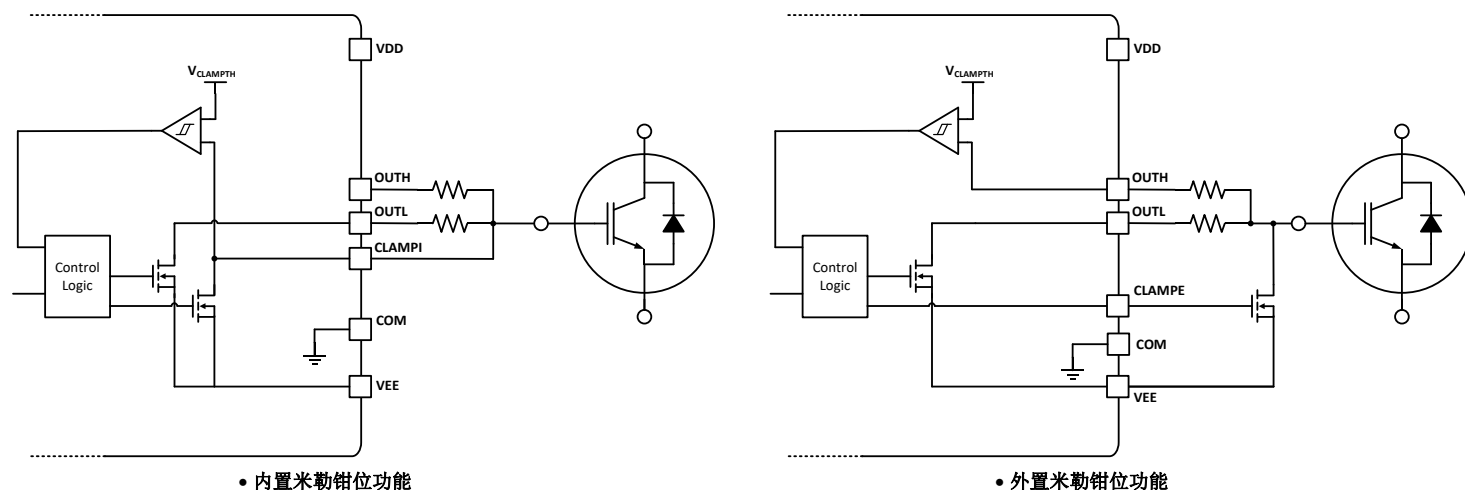


图 8-6 有源米勒钳位

8.3.7. 去饱和保护 (DESAT)

CA-IS3215/6 集成了快速过流和短路保护功能，以保护 IGBT 模块在故障期间免受致命击穿。根据功率器件的特性，有以下两个阈值可供选择。对于 IGBT 应用时，VDESAT 阈值电压为 9V（CA-IS3215xxW），对于 SiC 应用时，VDESAT 阈值电压为 6V（CA-IS3216xxW）；当输出保持低状态时，DESAT 引脚由内部 MOSFET 下拉并保持在低电平，从而防止过流和短路故障的误触发。当功率器件导通时，DESAT 引脚的内部电流源开启，芯片开始检测 DESAT 引脚电压，过流和短路保护功能才有效。当功率器件关闭时，内部下拉 MOSFET 有助于释放 DESAT 引脚的电压。CA-IS3215/6 在 OUTH 切换到高状态后具有 265ns 的前沿消隐时间 $t_{DESATLEB}$ 。内部电流源会在前沿消隐时间之后才会激活并给外部屏蔽电容器充电，内部电流源的典型值为 500μA。驱动器的 DESAT 引脚参考 COM。

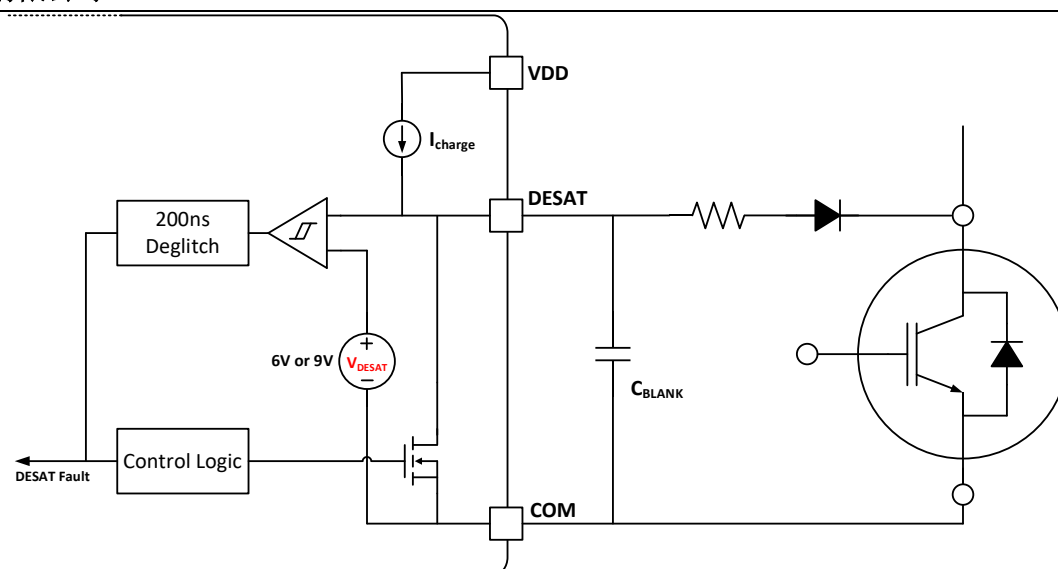


图 8-7 去饱和(DESAT)保护

8.3.8. 软关断 (Soft turn off)

CA-IS3215/6 在触发过流和短路保护时会开启软关断功能。当发生过流和短路故障时，IGBT 会非常快地从有源区进入到去饱和区域。沟道电流由栅极电压控制，并以缓慢的方式下降，因此 IGBT 的过冲是有限的，可防止过压击穿。过冲电压和短路能量之间有一个权衡。关闭速度慢，以限制过冲电压，但关闭时间不应太长，大能量消耗可能会使器件损坏。CA-IS3215 系列提供 400mA 软关断电流，CA-IS3216 系列提供 1A 软关断电流，可确保功率开关器件在短路期间安全关闭。软关断的时序图显示在图 7-9 中。

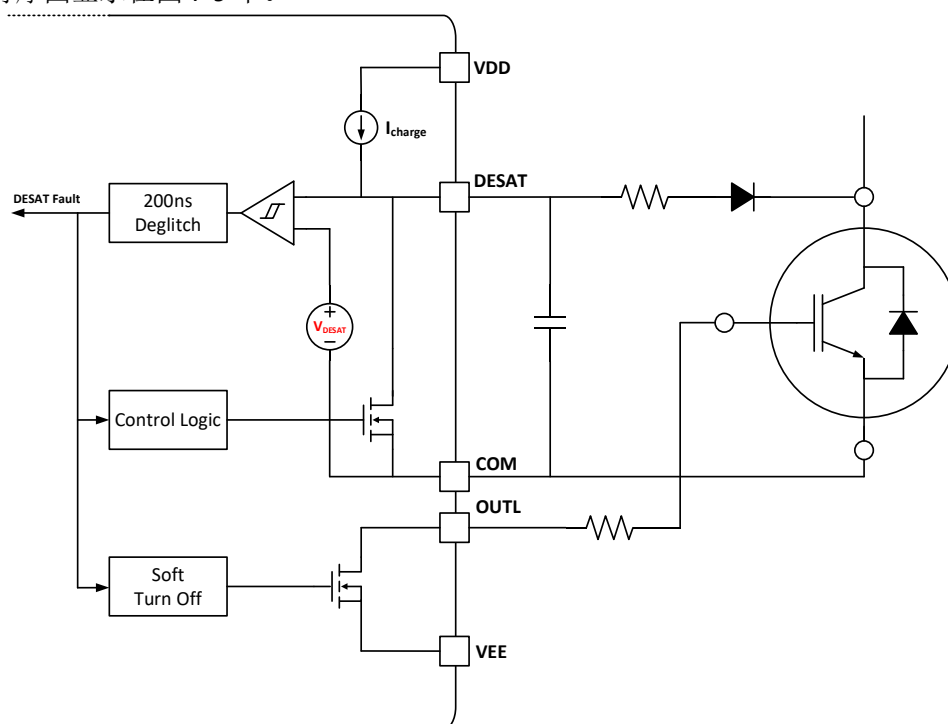


图 8-8 软关断

8.3.9. 故障（ $\overline{\text{FLT}}$ 、重置和使能 $\overline{\text{RST/EN}}$ ）

CA-IS3215/6 的 $\overline{\text{FLT}}$ 引脚为开漏输出结构，当 DESAT 引脚检测到故障时，可以通过 $\overline{\text{FLT}}$ 引脚向 DSP/MCU 报告故障信号。检测到故障后， $\overline{\text{FLT}}$ 引脚将被下拉到 GND，并保持在低电位直到从 $\overline{\text{RST/EN}}$ 接收到重置信号。驱动器具有故障屏蔽时间 t_{FLTMUTE} ，在这个时间之内器件将会忽略任何重置信号。

$\overline{\text{RST/EN}}$ 在内部被 55k Ω 电阻下拉，因此当此引脚悬空时默认禁用。在正常工作时 $\overline{\text{RST/EN}}$ 引脚必须从外部拉起以便使能器件。该引脚有两个作用：

- 1) 重置 $\overline{\text{FLT}}$ 引脚。若器件要重置 $\overline{\text{FLT}}$ 引脚状态， $\overline{\text{RST/EN}}$ 引脚需要被拉低；如果在屏蔽时间 t_{FLTMUTE} 之后，该引脚设置并保持在低状态超过 t_{RSTFIL} ，则 $\overline{\text{FLT}}$ 故障标志被重置，在 $\overline{\text{RST/EN}}$ 引脚的输入信号上升沿处 $\overline{\text{FLT}}$ 重置回高阻态。
- 2) 使能和关闭器件。如果 $\overline{\text{RST/EN}}$ 引脚拉低的时间超过 t_{INFL} ，则驱动器将被禁用，OUTL 将被激活以下拉 IGBT 或 SiC MOSFET 的栅极。该引脚必须外部拉起才能启用器件部分功能，否则器件默认禁用。

8.3.10. 有源短路电路（ASC）

当 VCC 掉电或 MCU 出现故障时，电机可能会失去控制并对电池进行反向充电。电池过压会导致电池击穿，甚至引发火灾。在这种情况下，有源短路电路（ASC）功能是用来保护系统通过强制输出信号高，打开开关并在各相之间创建一个有源短路回路以绕过电池。

当 ASC 引脚接收到逻辑高电平信号时，无论 IN+ 和 IN- 引脚如何，驱动都将被强制为高电平。ASC_C 功能的优先级高于输入信号（IN+ 和 IN-），低于 VCC UVLO、 $\overline{\text{RST/EN}}$ 和过流故障（DESAT）事件。图 7-11 和图 7-12 显示 ASC_C 保护逻辑。ASC_D 功能的优先级高于输入信号（IN+ 和 IN-），低于 VDD UVLO 和过流故障（DESAT）事件。图 7-13 和图 7-14 显示 ASC_D 保护逻辑。

8.3.11. 直通死区保护功能（STP）

CA-IS321xSxW 产品具有直通死区保护功能（Shoot Through Protection），可以防止应用中高边开关和低边开关同时导通导致直通情况，把 INN 管脚短接到地可以屏蔽该功能。CA-IS321xSxW 产品具有一个固定的内置死区时间（CA-IS3215SxW 的内置死区时间典型值为 800ns，CA-IS3216SxW 的内置死区时间典型值为 140ns），当外部输入驱动信号的死区时间大于内部死区时间，驱动器的死区时间为输入死区时间；当外部输入驱动信号的死区时间小于内部死区时间，驱动器的死区时间为内置死区时间。

如图 8-9 所示，实际使用过程中只会有一个驱动会输出为高。如果其中一个驱动输出为高，那么另一个驱动的 PWM 输入是被屏蔽的，防止误导通的情况发生。具体的时序关系如图 8-10 所示。

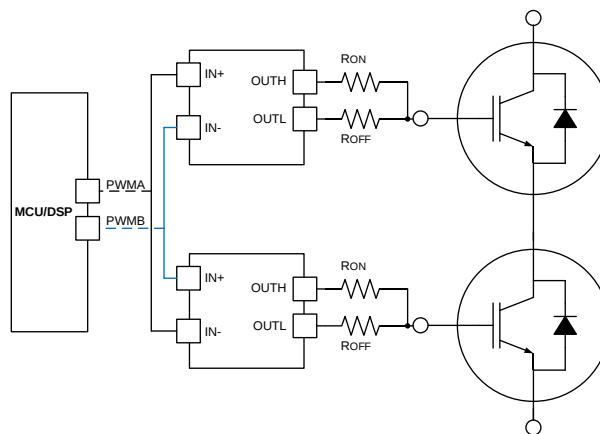


图 8-9 直通死区保护功能实际应用示意

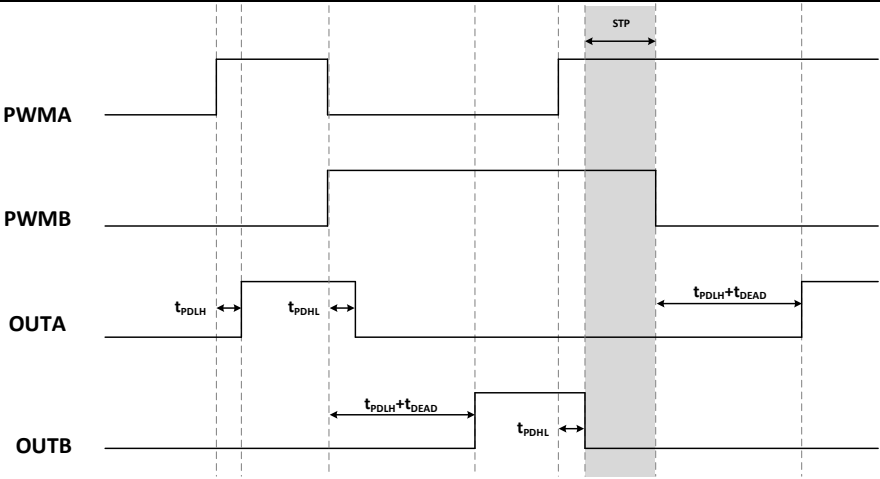


图 8-10 直通死区保护功能时序图

8.4. 器件功能模式

表 8-1 列出器件功能。

表 8-1 功能表

输入								输出				
VCC	VDD	VEE	IN+	IN-	RST/EN	ASC_C	ASC_D	RDY	FLT	OUTH/ OUTL	CLAMPI	CLAMPE
PD	PU	PU	X	X	X	X	High	Low	HiZ	High	HiZ	Low
PD	PU	PU	X	X	X	X	Low	Low	HiZ	Low	Low	High
PU	PU	PU	X	X	X	X	High	HiZ	HiZ	High	HiZ	Low
PU	PU	PU	X	X	Low	X	Low	HiZ	HiZ	Low	Low	High
PU	PD	PU	X	X	X	X	X	Low	HiZ	Low	Low	High
PU	Open	PU	X	X	X	X	X	Low	HiZ	Low	HiZ	HiZ
PU	PU	Open	X	X	X	X	X	Low	HiZ	Low	Low	High
PU	PU	PU	X	X	High	High	X	HiZ	HiZ	High	HiZ	Low
PU	PU	PU	Low	X	High	Low	Low	HiZ	HiZ	Low	Low	High
PU	PU	PU	X	High	High	Low	Low	HiZ	HiZ	Low	Low	High
PU	PU	PU	High	Low	High	Low	Low	HiZ	HiZ	High	HiZ	Low

PU: 上电 (VCC≥ 2.7V, VDD≥12V, VEE≤0V); PD: 掉电 (VCC≤2.5V, VDD≤11V); X: 无关; Open: 开路; HiZ: 高阻。

9. 应用信息

9.1. 典型应用

CA-IS3215/6 具有驱动能力强、隔离等级高、CMTI 优异、主动保护和监测功能优越、高可靠性等特点，在 HEV/EV 中的大功率变频器、充电桩、电机驱动器、太阳能逆变器、工业电源等领域得到广泛应用。

图 9-1 展示了驱动 IGBT 模块的典型应用。

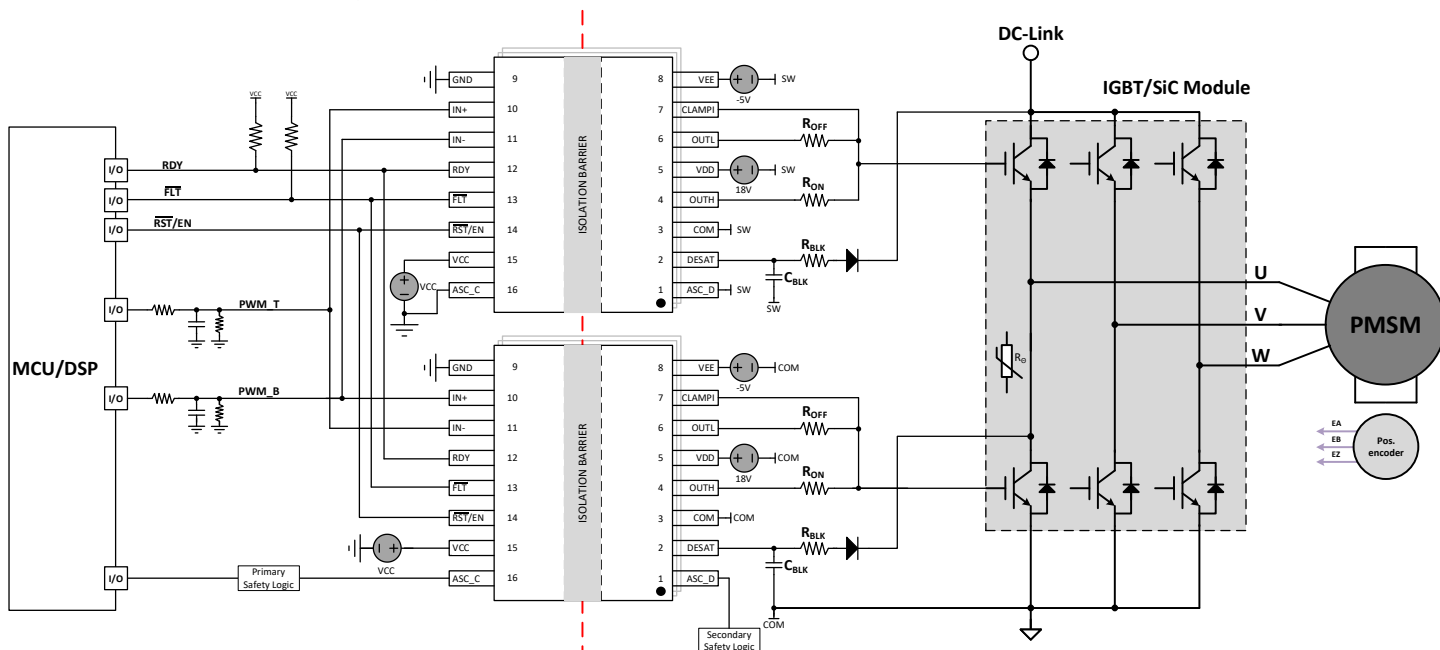


图 9-1 基于 CA-IS3215/6 驱动 IGBT/SiC 模块的典型三相电机应用

9.2. 电源设计

在 OUT 开关瞬间，峰值拉和灌电流由 VDD 和 VEE 电源提供。为了确保电源稳定以及提供 $\pm 15A$ 峰值驱动能力，推荐在 VDD 至 COM 和 VEE 至 COM 使用 $10\mu F/50V$ 的去耦电容。控制侧的 VCC 至 GND 之间推荐 $1\mu F$ 去耦电容。同时，建议每个电源使用额外的 $0.1\mu F$ 旁路电容以过滤高频噪声。推荐电容必须选用低 ESR 和 ESL 以避免高频噪声，并且应尽可能靠近 VCC、VDD 和 VEE 引脚，以防止 PCB 布局引起系统寄生耦合噪声。

9.3. 输入滤波器

CA-IS3215/6 在 IN+、IN-、 $\overline{RST/EN}$ 和 ASC_C 引脚内建 40ns 抗尖峰脉冲滤波器，任何小于 40ns（典型值）的信号都可以从输入引脚中被过滤掉。对于嘈杂的电机驱动或牵引逆变器系统，可以在外部添加额外的 RC 低通滤波器到输入引脚中，可有效提高噪声免疫力并提高信号完整性。不使用时，IN+、IN- 和 $\overline{RST/EN}$ 引脚不应悬空。如果仅使用 IN+ 用于输出配置的同相输入控制，则 IN- 应短接到 GND。低通滤波器的目的是过滤掉 PCB 走线寄生产生的高频噪声。在选择低通滤波电阻和电容时，应根据系统要求考虑噪声消隐效果和延迟时间。

9.4. PWM 内部互锁 IN+和 IN-

CA-IS3215/6 具有用于 IN+和 IN-引脚的 PWM 内部互锁功能，用于防止同相位桥击穿问题。如表 8-1 所示，当 IN+和 IN-均为逻辑高时，驱动输出为逻辑低。若仅使用 IN+，IN-可与 GND 短接。为了利用 PWM 互锁功能，同相位桥中其他开关的 PWM 信号可以发送到 IN-引脚。如图 9-2 所示，PWMA 是高边开关的 PWM 信号，PWMB 是到低边开关的 PWM 信号。对于高边栅极驱动，PWMA 信号被赋予 IN+引脚，而 PWMB 信号则给予 IN-引脚；对于低边栅极驱动，PWMB 信号被赋予 IN+引脚，而 PWMA 信号则给予 IN-引脚。当 PWMA 和 PWMB 信号都为高时，两个栅极驱动的输出都为低，以防止高边开关和低边开关同时导通。

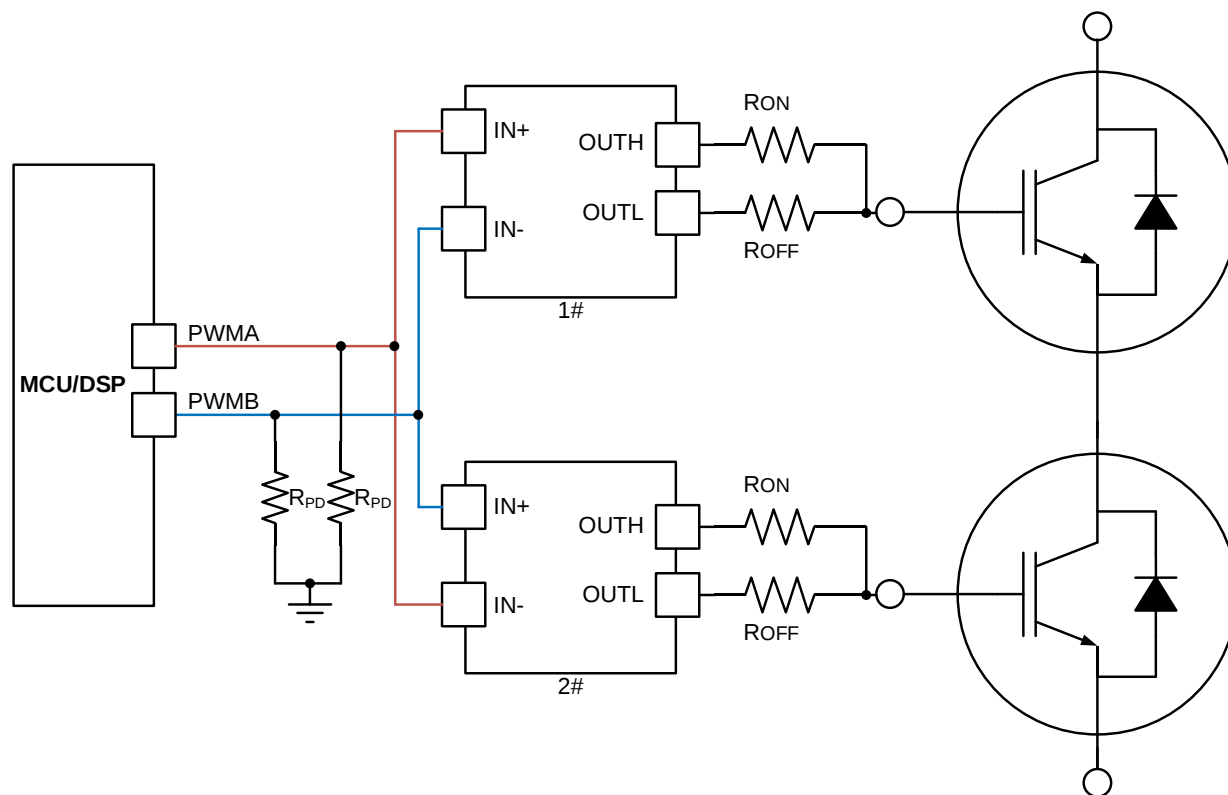


图 9-2 CA-IS3215/6 半桥的 PWM 互锁

9.5. $\overline{\text{FLT}}$ 和 RDY 引脚设计

$\overline{\text{FLT}}$ 和 RDY 引脚均为开漏输出。因此需要在 $\overline{\text{FLT}}$ 和 RDY 引脚接上拉 $5\text{k}\Omega$ 电阻。为了改善对寄生耦合噪声和共模噪声的抗扰度，可以在 $\overline{\text{FLT}}$ 和 RDY 引脚和微控制器之间添加额外的低通滤波器。可以添加 100pF 至 300pF 之间的滤波电容。

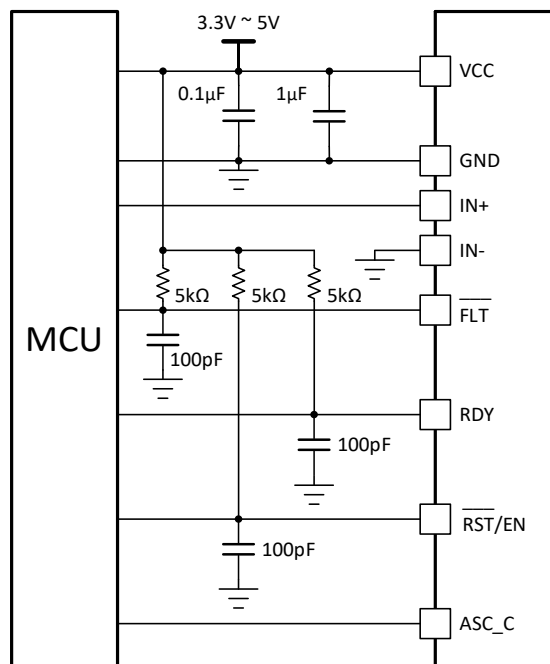


图 9-3 $\overline{\text{FLT}}$ 和 RDY 引脚参考电路

9.6. $\overline{\text{RST/EN}}$ 引脚设计

$\overline{\text{RST/EN}}$ 引脚具有两个功能。默认情况下，该引脚内部 $55\text{k}\Omega$ 下拉电阻使得驱动器禁用。

- 1、使能或关闭驱动器的输出
- 2、并在检测到 DESAT 后重置 $\overline{\text{FLT}}$ 引脚上发出的故障信号。

当芯片检测到 DESAT 故障时， $\overline{\text{FLT}}$ 引脚和驱动器输出均被锁定在低电平，需要由 $\overline{\text{RST/EN}}$ 引脚重置 $\overline{\text{FLT}}$ 故障信号。在发生故障之后，微控制器必须向 $\overline{\text{RST/EN}}$ 引脚发送信号以重置驱动器。直到 t_{FLTMUTE} 静默时间后驱动器才会回应。静默时间后重置信号持续为低的时间至少是 t_{RSTFIL} 。

该引脚也可以用于自动重置驱动器。可以将连续的输入信号 IN+或 IN-连接 $\overline{\text{RST/EN}}$ 引脚。通过这种方式配置驱动器，微控制器不需要单独的重置信号。如果 PWM 信号在非反向输入 IN+上，则 IN+也可以连接在 $\overline{\text{RST/EN}}$ 引脚上。如果 PWM 信号在反向输入 IN-上，则从微控制器到 $\overline{\text{RST/EN}}$ 引脚的 PWM 信号之间需要一个反向逻辑。在驱动器中使用上述任何一种配置都可以实现在每个开关周期的重置，从微控制器连接到 $\overline{\text{RST/EN}}$ 引脚无需额外的控制信号。发生 DESAT 故障重置驱动器时必须确保 PWM 的关闭时间大于 t_{RSTFIL} 。

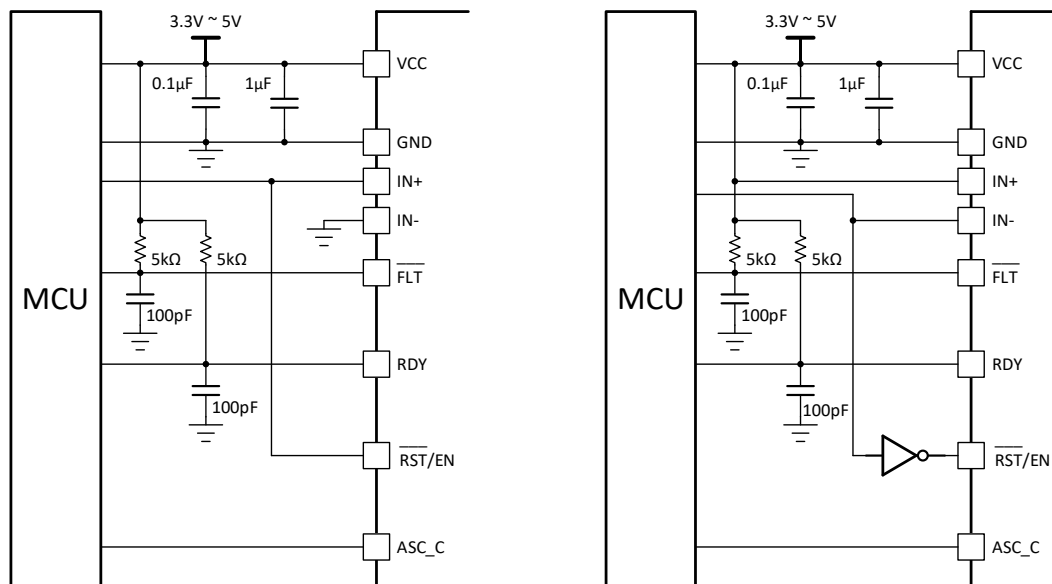


图 9-4 自动重置FLT故障

9.7. 栅极驱动电阻设计

CA-IS3215/6 将输出分离为 OUTH 和 OUTL，从而能够独立控制打开和关闭开关速度。外部栅极驱动电阻对功率管设计尤为关键，当功率管开关时，寄生电感、寄生电容、高 dv/dt 和 di/dt 以及二极管反向恢复时间都可能导致功率管的不良行为或 EMI 问题。栅极驱动电阻主要对以下三个方面产生影响：驱动电流、开关损耗、上升和下降时间。因此，设计者在实际选取驱动电阻时，需要平衡方案的综合性能参数。峰值拉和灌电流的计算方式如下：

I_{OUTH} 峰值拉电流估算公式：

$$I_{OUTH} = \min \left[15A, \frac{VDD - VEE}{(R_{NMOS} || R_{OUTH} + R_{GON} + R_{GFET_{int}})} \right]$$

I_{OUTL} 峰值灌电流估算公式：

$$I_{OUTL} = \min \left[15A, \frac{VDD - VEE}{(R_{OUTL} + R_{GOFF} + R_{GFET_{int}})} \right]$$

其中，

- R_{NMOS} 约 0.23ohm, R_{OUTH} 约 1.6ohm。
- R_{GON} 是外部栅极导通电阻
- R_{OUTL} 约 0.23ohm。
- R_{GOFF} 是外部栅极关断电阻
- $R_{GFET_{int}}$ 是功率管内部栅极电阻（需查找功率管数据表）

9.8. 过流和短路保护

标准去饱和电路可应用于 DESAT 引脚。如果 DESAT 引脚的电压高于阈值 V_{DESAT} ，则启动软关断功能。故障将通过 FLT 引脚报告给控制侧的 DSP/MCU。检测到故障后，FLT 输出保持在低，并且只能由 RST/EN 引脚重置。极短的过流和短路检测时间有助于确保 SIC MOSFET 和 IGBT 器件在发生故障时可快速关闭。

如果 DESAT 引脚未使用，则必须将其短接至 COM，以避免误触发过流故障。

- 在去饱和电路中建议使用快恢复高压二极管。建议使用高压二极管与电阻串联，以限制浪涌电流。
- 建议在 COM 到 DESAT 之间使用肖特基二极管，以防止负电压对驱动器造成损坏。
- 建议在 COM 到 DESAT 之间使用齐纳二极管，以防止正电压对驱动器造成损坏。

10. PCB 设计建议

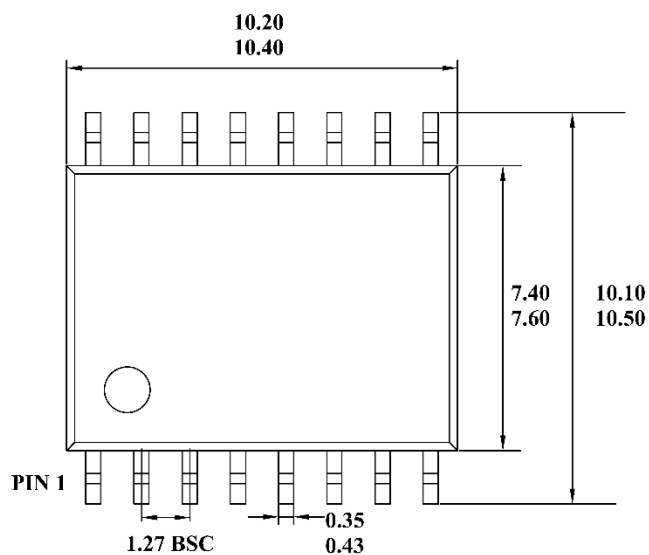
PCB 布局指南:

由于 CA-IS3215/6 的驱动能力强大，在 PCB 设计中必须慎重考虑，以下是一些要点：

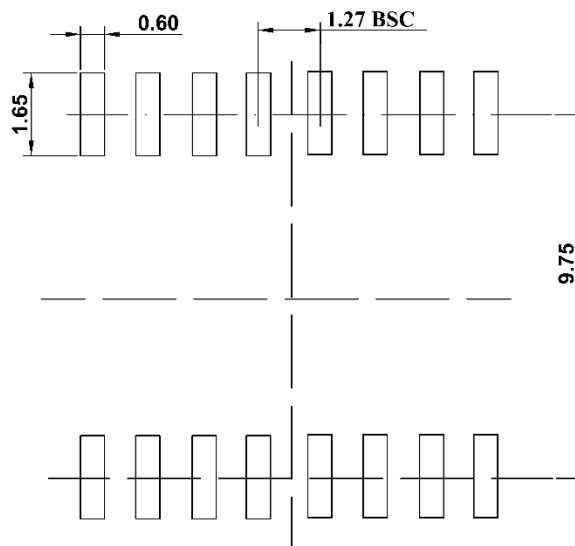
- 驱动器应尽可能靠近功率器件，以减小 PCB 走线带来的寄生电感。
- 控制侧和驱动侧电源的去耦电容应尽可能靠近电源引脚。每次开关瞬间产生的峰值电流可导致高 di/dt 和 PCB 导线寄生电感上的电压峰值。
- 驱动器 COM 引脚连接到 SiC MOSFET 源极或 IGBT 发射极应采用开尔文连接。如果功率器件没有分离的开尔文源极或发射极，则 COM 引脚应尽可能接近功率器件封装的源极或发射极连接，以便将栅极环路与大功率开关环路分开。
- 在控制侧使用地线层屏蔽输入信号。输入信号可能因驱动侧开关瞬间产生的高频噪声而失真。地线层为返回电流提供低电感滤波器。
- 如果栅极驱动器用 COM 引脚连接到直流总线负端的低边开关，则使用驱动侧的地线层来屏蔽输出信号免受开关节点产生的噪声的影响；如果栅极驱动器用 COM 引脚连接到开关节点的高边开关，则不建议使用地线层。
- 如果驱动侧不使用地线层，则将 DESAT 和 ASC_D 的地环路的返回路径与具有大峰值拉和灌电流的栅极地环路分离。
- 栅极驱动器下面不允许走 PCB 印制线或覆铜。建议使用 PCB 切口，以避免控制侧和驱动侧之间的任何可能污染增加隔离栅的噪声耦合。

11. 封装信息

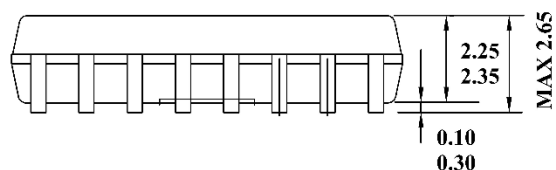
下图说明了 CA-IS3215/6xxW 系列隔离驱动采用 SOIC-16 宽体封装大小尺寸图和建议焊盘尺寸图。尺寸以毫米为单位。



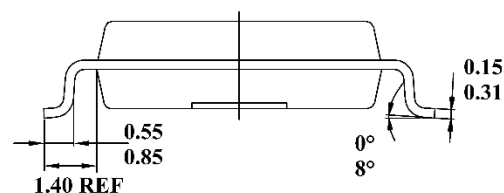
TOP VIEW



RECOMMENDED LAND PATTERN



FRONT VIEW



LEFT SIDE VIEW

12. 焊接信息

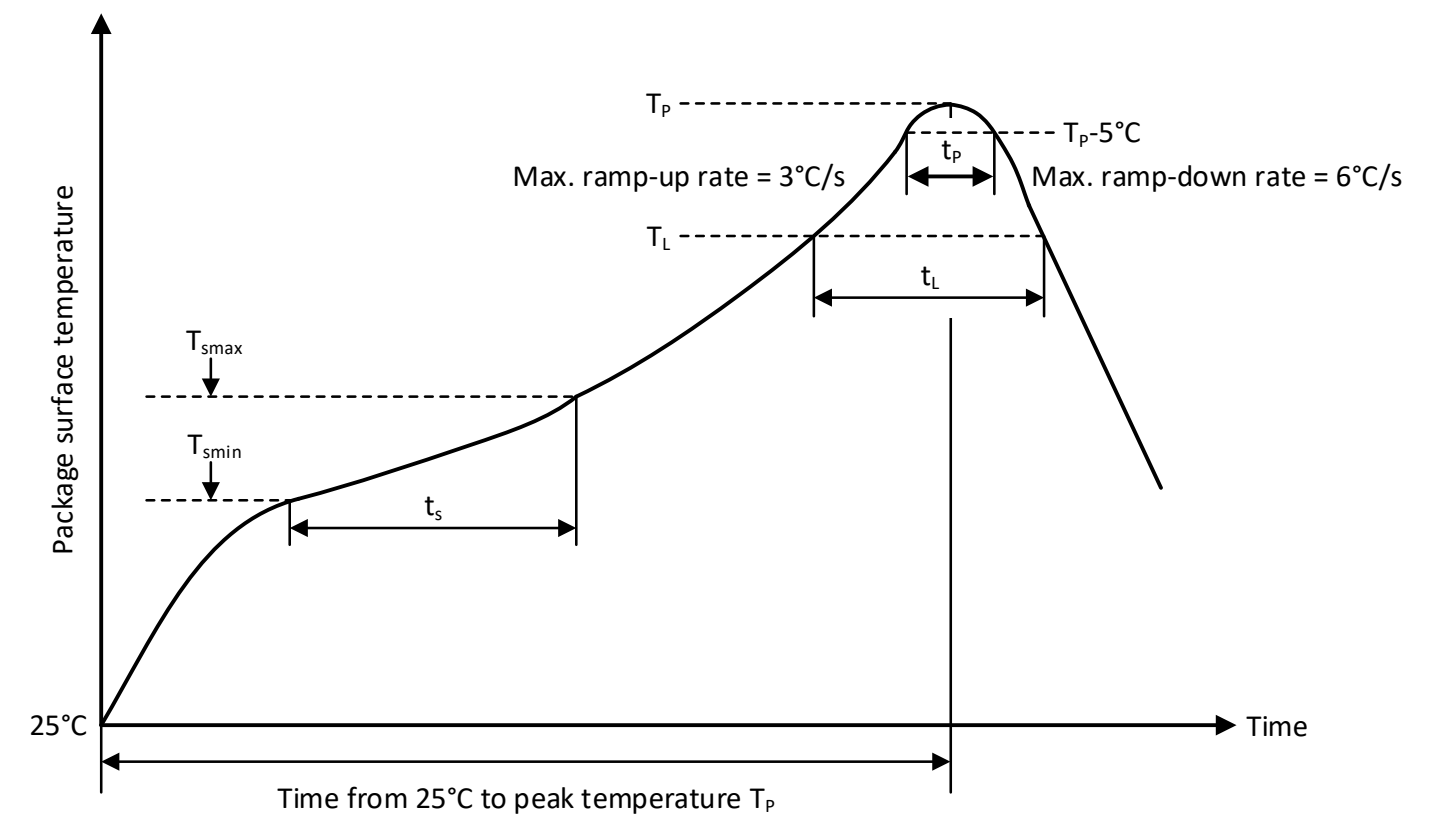
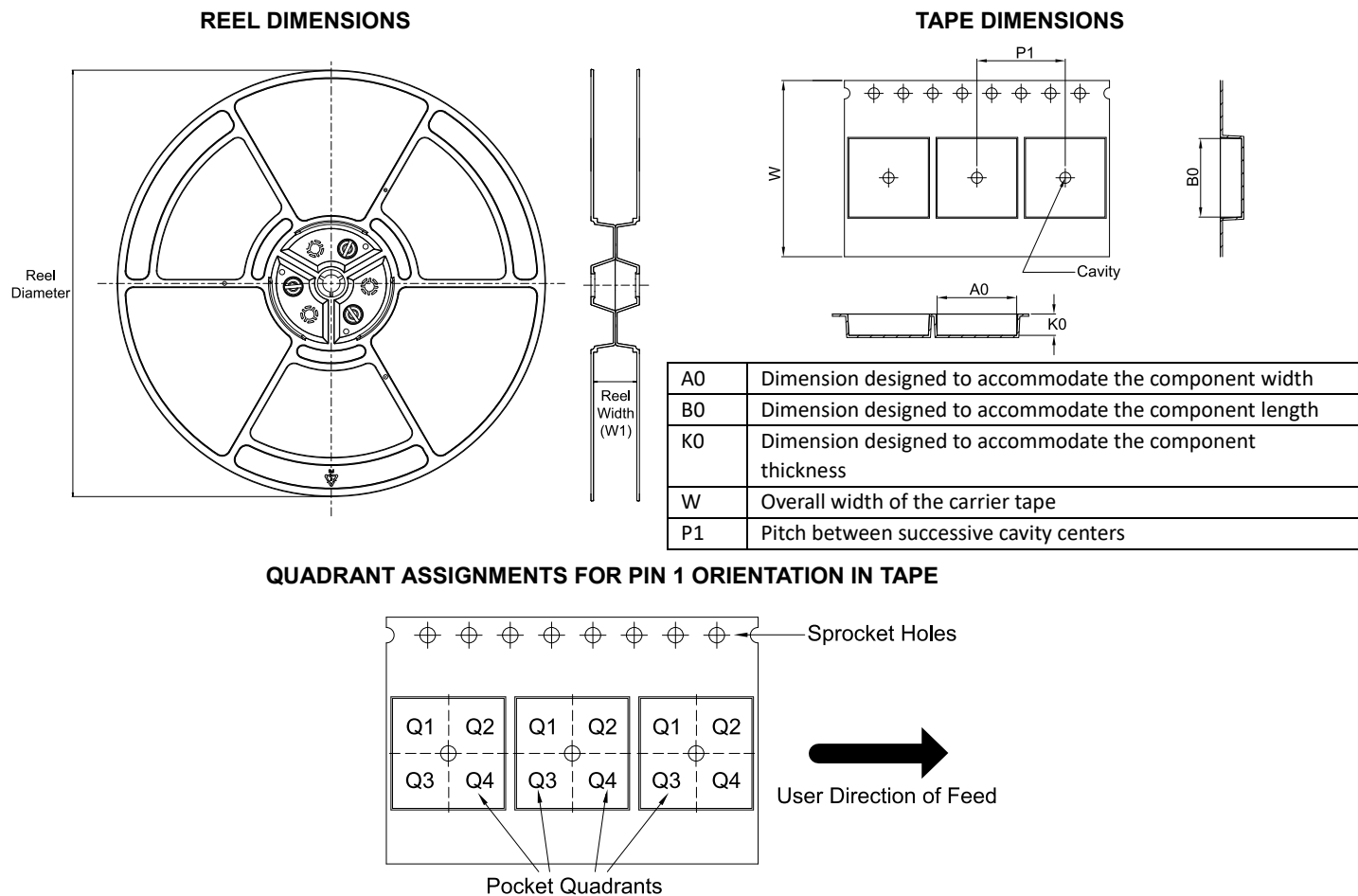


图 12- 1 焊接温度曲线

表 12- 1 焊接温度参数

简要说明	无铅焊接
温升速率（ $T_L=217^{\circ}\text{C}$ 至峰值 T_p ）	最大 3°C/s
$T_{smin}=150^{\circ}\text{C}$ 到 $T_{smax}=200^{\circ}\text{C}$ 预热时间 t_s	60~120 秒
温度保持 217°C 以上时间 t_L	60~150 秒
峰值温度 T_p	260°C
小于峰值温度 5°C 以内时间 t_p	最长 30 秒
降温速率（峰值 T_p 至 $T_L=217^{\circ}\text{C}$ ）	最大 6°C/s
常温 25°C 到峰值温度 T_p 时间	最长 8 分钟

13. 编带信息



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CA-IS3215NNW	SOIC	W	16	1000	330	16.4	10.9	10.7	3.2	12.0	16.0	Q1
CA-IS3215LNW	SOIC	W	16	1000	330	16.4	10.9	10.7	3.2	12.0	16.0	Q1
CA-IS3215VNW	SOIC	W	16	1000	330	16.4	10.9	10.7	3.2	12.0	16.0	Q1
CA-IS3215NEW	SOIC	W	16	1000	330	16.4	10.9	10.7	3.2	12.0	16.0	Q1
CA-IS3215SNW	SOIC	W	16	1000	330	16.4	10.9	10.7	3.2	12.0	16.0	Q1
CA-IS3215SEW	SOIC	W	16	1000	330	16.4	10.9	10.7	3.2	12.0	16.0	Q1
CA-IS3216NNW	SOIC	W	16	1000	330	16.4	10.9	10.7	3.2	12.0	16.0	Q1
CA-IS3216NEW	SOIC	W	16	1000	330	16.4	10.9	10.7	3.2	12.0	16.0	Q1
CA-IS3216SNW	SOIC	W	16	1000	330	16.4	10.9	10.7	3.2	12.0	16.0	Q1
CA-IS3216SEW	SOIC	W	16	1000	330	16.4	10.9	10.7	3.2	12.0	16.0	Q1

14. 修订历史

修订版本号	修订内容	修订日期	页码
Version 1.0	初版发布	2024/08/30	NA
Version 1.1	1. 更新隔离特性最新标准	2025/01/16	10
	2. 更新认证证书编号		11
	3. 更新 POD 图		43
	4. 更新排版问题		NA

15. 重要声明

上述资料仅供参考使用，用于协助 Chipanalog 客户进行设计与研发。Chipanalog 有权在不事先通知的情况下，保留因技术革新而改变上述资料的权利。

Chipanalog 产品全部经过出厂测试。针对具体的实际应用，客户需负责自行评估，并确定是否适用。Chipanalog 对客户使用所述资源的授权仅限于开发所涉及 Chipanalog 产品的相关应用。除此之外不得复制或展示所述资源，如因使用所述资源而产生任何索赔、赔偿、成本、损失及债务等，Chipanalog 对此概不负责。

商标信息

Chipanalog Inc.®、Chipanalog®为 Chipanalog 的注册商标。



<http://www.chipanalog.com>