

CA-IS2062A 内置 DC-DC 转换器的 2.5kV_{RMS} 隔离式 CAN 收发器

1. 产品特性

- 符合 ISO 11898-2:2016 物理层标准
- 支持高达 1Mbps 经典 CAN 和 5Mbps 的 CAN FD（灵活数据速率）
- 集成 DC-DC 转换器，为总线侧提供 5V 隔离供电
- 集成保护功能支持可靠的数据通信
 - 总线故障保护电压范围：±42V
 - 总线共模输入电压范围：±24V
 - 驱动器显性超时保护避免总线闭锁，允许最低传输速率为 4.4kbps
 - 热关断保护和总线端口限流保护
 - 未上电时总线引脚为高阻态，理想无源特性
 - VDDP 和 VDDL 电源欠压保护
- 逻辑侧电源 VDDL 支持 2.5V 到 5.5V 供电范围
- 扩展工业工作温度范围：-40°C 至 125°C
- 高共模瞬态抗扰度(CMTI)：±150kV/μs（典型值）
- 低环路延时：165ns（典型值），255ns（最大值）
- LGA16 超紧凑型封装
- 额定工作电压下隔离栅寿命>40 年
- 提供 2.5kV_{RMS}（1 分钟）的隔离耐压等级
- 安全认证
 - 根据 UL 1577 的 UL 认证
 - 根据 EN61010-1:2010+A1 的 TUV 认证

2. 应用

- 工业控制
- 楼宇自动化
- 光储充系统
- 医疗设备
- 电信设备

3. 概述

CA-IS2062A 是一款隔离式控制器局域网（CAN）收发器，内部集成 DC-DC 转换器，省去了外部隔离电源，有效节省系统空间和简化设计。该器件提供较高的电气隔离等

级并具有优异的性能，可以满足工业应用的需求。器件内部的逻辑输入与输出缓冲器之间通过二氧化硅（SiO₂）绝缘栅隔离，能够承受高达 2.5kV_{RMS}（1 分钟）的隔离电压以及±150kV/μs 的典型共模瞬态抗扰度。绝缘栅阻断了逻辑侧与总线侧的地环路，能够确保数据的正确传输。

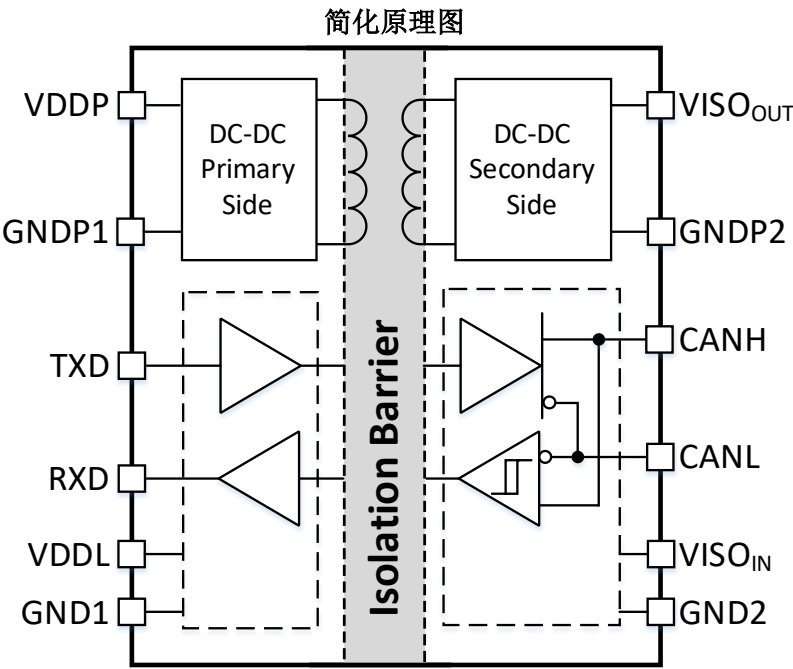
CA-IS2062A 逻辑侧的 DC-DC 转换器电源 VDDP 采用+5V 单电源供电，逻辑电源 VDDL 支持 2.5V 到 5.5V 供电范围，VDDL 和 VDDP 分开可以使用不同电压供电，方便和低压控制电路的信号交互。若 VDDL 使用 5V 电源供电，可以直接和 VDDP 共用一个外部电源。器件的总线侧 VISO_{OUT} 由内部 DC-DC 转换器产生 5V 输出电压，为总线侧 CAN 收发器电源 VISO_{IN} 供电，应用中需要把 VISO_{OUT} 和 VISO_{IN} 直接短接。

CA-IS2062A 的 CAN 收发器支持高达 5Mbps 的传输速率（CAN FD），并在总线端口（CANH/CANL）提供限流保护、热关断保护以及高达±42V 的故障电压保护，驱动器显性超时保护则可避免由于控制器错误或 TXD 输入故障而导致的总线闭锁。此外，该器件的 CAN 接收器输入具有±24V 的共模输入范围（CMR），远远超出 ISO 11898-2 规范定义的-2V 至+7V 的范围，支持可靠的数据通信。

CA-IS2062A 采用 LGA16 超紧凑型封装，能够显著节省 PCB 布板空间，支持从-40°C 至 125°C 的工业扩展温度范围。

表 3-1 器件信息

零件号	封装	封装尺寸 (标称值)
CA-IS2062A	LGA16	5.2mm x 4.65mm



4. 订购指南

表 4-1 有效订购零件编号

型号	VDDP	VDDL	数据速率	隔离耐压等级	封装
CA-IS2062A	4.5~5.5V	2.5~5.5V	5Mbps	2.5kV _{RMS}	LGA16

目录

1. 产品特性.....	1	9.2. 总线状态	16
2. 应用	1	9.3. 器件保护功能	16
3. 概述	1	9.3.1. 信号隔离和电源隔离.....	16
4. 订购指南	2	9.3.2. 热关断保护	16
5. 修订记录.....	3	9.3.3. 限流保护	16
6. 引脚功能描述	4	9.3.4. 驱动器显性超时保护.....	16
7. 产品规格.....	5	9.4. 器件功能模式	17
7.1. 绝对最大额定值 ¹	5	9.4.1. 驱动器	17
7.2. ESD 额定值	5	9.4.2. 接收器	17
7.3. 建议工作条件.....	5	10. 应用信息.....	18
7.4. 热量信息.....	5	10.1. 应用概述	18
7.5. 隔离特性.....	6	10.2. 多节点组网	18
7.6. 安全相关认证.....	7	10.3. PCB 布线指导.....	19
7.7. 电气特性.....	8	10.4. 注意事项	20
7.8. 时序特性.....	9	11. 封装信息.....	21
7.9. 典型特性.....	10	11.1. LGA16 外形尺寸	21
8. 参数测量信息	12	12. 焊接信息.....	22
9. 详细说明	16	13. 卷带信息.....	23
9.1. 概述	16	14. 重要声明.....	24

5. 修订记录

修订版本号	修订内容	修订日期	页码
Version 1.00	初始版本	2024.08.01	NA

6. 引脚功能描述

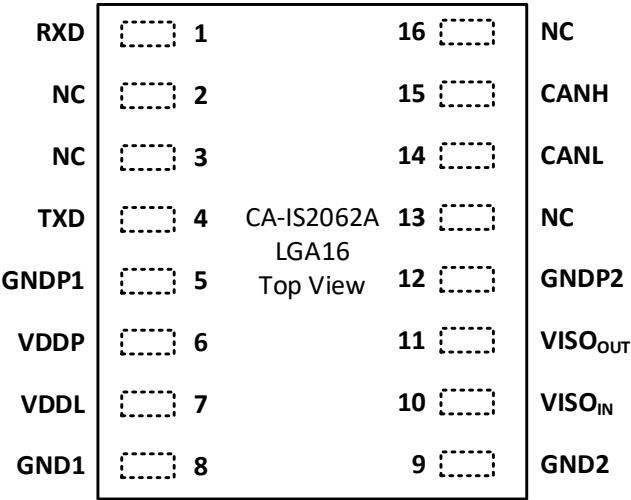


图 6-1 引脚分布图

表 6-1 引脚功能描述

引脚名称	引脚编号	类型	描述
RXD	1	数字 I/O	接收器数据输出端：当总线为隐性状态时，RXD 输出高电平；当总线为显性状态时，RXD 输出低电平。
NC	2, 3	--	内部引脚无连接，逻辑侧，建议悬空。
TXD	4	数字 I/O	发送器数据输入端：当 TXD 为低电平时，CANH 和 CANL 输出为显性状态；当 TXD 为高电平时，CANH 和 CANL 输出为隐性状态。
GNDP1	5	地	逻辑侧 DC-DC 转换器的参考地，GNDP1 和 GND1 应该在 PCB 上直接短接在一起。
VDDP	6	电源	逻辑侧 DC-DC 转换器的供电电源。
VDDL	7	电源	逻辑侧逻辑电路的供电电源。
GND1	8	地	逻辑侧逻辑电路的地，GNDP1 和 GND1 应该在 PCB 上直接短接在一起。
GND2	9	地	总线侧 CAN 收发器的参考地，GND2 和 GNDP2 应该在 PCB 上直接短接在一起。
VISO _{IN}	10	电源	总线侧 CAN 收发器的供电电源，VISO _{IN} 和 VISO _{OUT} 应该在 PCB 上直接短接在一起。
VISO _{OUT}	11	电源	总线侧 DC-DC 转换器的电源输出，VISO _{IN} 和 VISO _{OUT} 应该在 PCB 上直接短接在一起。
GNDP2	12	地	总线侧 DC-DC 转换器的参考地，GND2 和 GNDP2 应该在 PCB 上直接短接在一起。
NC	13, 16	--	内部引脚无连接，总线侧，建议悬空。
CANL	14	总线 I/O	CAN 总线输入/输出，低电平逻辑。
CANH	15	总线 I/O	CAN 总线输入/输出，高电平逻辑。
备注：			
1. VDDP 和 VDDL 须分别达到 VDDP _{ULVO+} 和 VDDL _{ULVO+} 以上，VISO _{OUT} 才会建立输出电压；			
2. VISO _{IN} 和 VISO _{OUT} 须接在一起，VISO _{OUT} 才会建立正常的输出电压。			

7. 产品规格

7.1. 绝对最大额定值¹

参数		最小值	最大值	单位
VDDP, VDDL	逻辑侧电源电压 ²	-0.5	6.0	V
VISO _{IN} , VISO _{OUT}	总线侧电源电压 ²	-0.5	6.0	V
V _I	逻辑侧输入电压 (TXD)	-0.5	VDDL + 0.5 ³	V
V _{BUS}	总线侧电压 (CANH 或 CANL), 参考 GND2	-42	42	V
V _{BUS_DIFF}	CANH 和 CANL 之间的差分电压	-42	42	V
I _O	接收器输出电流 (RXD)	-20	20	mA
T _J	结温	-40	150	°C
T _{STG}	存储温度	-65	150	°C
备注: 1. 等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值, 并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下, 推断产品能否正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。 2. 所有电压值均相对于本地接地端 (GND1 或 GND2), 并且是峰值电压值。 3. 最大电压不得超过 6V。				

7.2. ESD 额定值

参数			数值	单位
V _{ESD} 静电放电	人体模型 (HBM), 根据 ANSI/ESDA/JEDEC JS-001	逻辑侧所有引脚对 GND1	±6	kV
		总线侧所有引脚对 GND2	±6	
	器件充电模型 (CDM), 根据 JEDEC 规范 JESD22-C101, 所有引脚		±2	

7.3. 建议工作条件

参数		最小值	典型值	最大值	单位
VDDP	逻辑侧 DC-DC 转换器电源电压	4.5	5	5.5	V
VDDL	逻辑侧 CAN 收发器电源电压	2.5	3.3 或 5	5.5	V
V _{BUS}	总线引脚电压 (单端或共模)	-24		24	V
V _{IH}	逻辑高电平输入 TXD	0.7 × VDDL		VDDL	V
V _{IL}	逻辑低电平输入 TXD	0		0.3 × VDDL	V
I _{OH}	高电平输出电流 RXD	-4			mA
I _{OL}	低电平输出电流 RXD			4	mA
T _A	工作环境温度	-40		125	°C
T _J	结温	-40		150	°C

7.4. 热量信息

热量参数		封装形式	单位
		LGA16	
R _{ΘJA}	器件结到环境的热阻	133.8	°C/W

7.5. 隔离特性

参数		测试条件	数值	单位
CLR	外部气隙（间隙） ¹	测量输入端至输出端，隔空最短距离	3.45	mm
CPG	外部爬电距离 ¹	测量输入端至输出端，沿壳体最短距离	3.45	mm
DTI	隔离距离	最小内部间隙（内部距离）	18	μm
CTI	相对漏电指数	DIN EN 60112 (VDE 0303-11); IEC 60112	> 400	V
	材料组	根据 IEC 60664-1	II	
	IEC 60664-1 过压类别	额定市电电压≤ 150V _{RMS}	I-IV	
		额定市电电压≤ 300V _{RMS}	I-III	
DIN EN IEC 60747-17 (VDE 0884-17) ²				
V _{IORM}	最大重复峰值隔离电压	交流电压（双极）	566	V _{PK}
V _{IOWM}	最大工作隔离电压	交流电压；时间相关的介质击穿（TDDb）测试	400	V _{RMS}
		直流电压	566	V _{DC}
V _{IOTM}	最大瞬态隔离电压	V _{TEST} = V _{IOTM} ， t = 60s（认证） V _{TEST} = 1.2 × V _{IOTM} t= 1s（100% 量产测试）	3535	V _{PK}
V _{IMP}	最大脉冲电压	测试方法根据 IEC 62368-1，1.2/50μs 波形	5000	V _{PK}
V _{IOSM}	最大浪涌隔离电压 ³	测试方法根据 IEC 62368-1，1.2/50μs 波形， V _{IOSM} ≥ 1.3 × V _{IMP} ，在空气中测试（认证）	6500	V _{PK}
q _{pd}	表征电荷 ⁴	方法 a，输入/输出安全测试子类 2/3 后， V _{ini} = V _{IOTM} ， t _{ini} = 60s V _{pd(m)} = 1.2 × V _{IORM} ， t _m = 10s	≤ 5	pC
		方法 a，环境测试子类 1 后， V _{ini} = V _{IOTM} ， t _{ini} = 60s V _{pd(m)} = 1.3 × V _{IORM} ， t _m = 10s	≤ 5	pC
		方法 b1，常规测试（100% 量产测试）和前期预处理（抽样测试） V _{ini} = 1.2 × V _{IOTM} ， t _{ini} = 1s V _{pd(m)} = 1.5 × V _{IORM} ， t _m = 1s	≤ 5	pC
C _{IO}	栅电容，输入到输出 ⁵	V _{IO} = 0.4 × sin (2πft)， f = 1MHz	~ 3.5	pF
R _{IO}	绝缘阻抗	V _{IO} = 500V， T _A = 25°C	> 10 ¹²	Ω
		V _{IO} = 500V， 100°C ≤ T _A ≤ 125°C	> 10 ¹¹	
		V _{IO} = 500V， T _S = 150°C	> 10 ⁹	
	污染度		2	
UL 1577				
V _{ISO}	最大隔离电压	V _{TEST} = V _{ISO} ， t = 60s（认证） V _{TEST} = 1.2 × V _{ISO} ， t = 1s（100% 量产测试）	2500	V _{RMS}
备注:				
1. 根据应用的特定设备隔离标准应用爬电距离和间隙要求。注意保持电路板设计的爬电距离和间隙距离，以确保印刷电路板上隔离器的安装焊盘不会缩短该距离。在某些情况下印刷电路板上的爬电距离和间隙变得相等。诸如在印刷电路板上插入凹槽的技术用于帮助增加这些规格。				
2. 这种耦合器只适用于在最大工作额定值范围内的基本电气绝缘。应通过适当的保护电路确保符合安全额定值。				
3. 测试在空气或油中进行，以确定隔离屏障的固有浪涌抗扰度。				
4. 表征电荷是由局部放电引起的放电电荷（pd）。				
5. 栅两侧的所有引脚连接在一起，形成双端子器件。				

7.6. 安全相关认证

UL	TUV (认证中)
根据 UL 1577 器件认可程序认证	根据 EN61010-1:2010+A1 认证
单一绝缘保护 2500V _{RMS}	2500V _{RMS}
证书编号: E511334	证书编号:

7.7. 电气特性

测试时 VDDP 和 VDDL 短接, GNDP1 和 GND1 短接, VISO_{OUT} 和 VISO_{IN} 短接, GNDP2 和 GND2 短接, 除非有额外说明, 本表格数据均为建议工作条件下的测试结果。所有典型值在 VDDP = VDDL = 5V, T_A = 25°C 下测得 (除非另有说明)。

参数		测试条件		最小值	典型值	最大值	单位
输入输出特性							
I _{VDDP}	逻辑侧供电电流	显性状态, TXD = 0V, R _L = 60Ω			105	150	mA
		隐状态, TXD = VDDL			10	20	
隔离电源							
V _{ISO}	隔离输出电压 (CANH and CANL 无负载)	I _{ISO} = 0 到 80mA, VDDP = VDDL = 5V		4.5	5.0	5.5	V
VDDP _{UVLO+}	欠压锁定上升阈值	VDDP 电源		2.5	2.7	2.9	V
VDDP _{UVLO-}	欠压锁定下降阈值			2.1	2.3	2.5	
VDDP _{UVLO_HYS}	欠压锁定迟滞窗口			0.4			
VDDL _{UVLO+}	欠压锁定上升阈值	VDDL 电源		2.05	2.25	2.45	V
VDDL _{UVLO-}	欠压锁定下降阈值			1.9	2.1	2.3	
VDDL _{UVLO_HYS}	欠压锁定迟滞窗口			0.15			
驱动器							
V _{O(D)}	总线输出电压（显性）	V _I = 0V, R _L = 60Ω, 见 图 8-1 和 图 8-2	CANH	2.9		4.5	V
			CANL	0.5		2	
V _{O(R)}	总线输出电压（隐性）	V _I = VDDL, R _L = 60Ω, 见 图 8-1 和 图 8-2		2	2.5	3	V
V _{OD(D)}	差分输出电压（显性）	V _I = 0V, R _L = 60Ω, 见 图 8-1、图 8-2 和 图 8-3		1.5		3	V
		V _I = 0V, R _L = 45Ω, 见 图 8-1、图 8-2		1.3		3	V
V _{OD(R)}	差分输出电压（隐性）	V _I = VDDL, R _L = 60Ω, 见 图 8-1 和 图 8-2		-80		80	mV
		V _I = VDDL, 无负载, 见 图 8-1 和 图 8-2		-50		50	mV
V _{OC(D)}	共模输出电压（显性）	见 图 8-4		2	2.5	3	V
I _{IH}	高电平输入电流 TXD	TXD = VDDL				20	μA
I _{IL}	低电平输入电流 TXD	TXD = 0V		-20			μA
I _{OS(SS)}	短路输出电流	V _{CANH} = -24V, CANL 开路, 见 图 8-5		-105			mA
		V _{CANH} = 24V, CANL 开路, 见 图 8-5				5	
		V _{CANL} = -24V, CANH 开路, 见 图 8-5		-5			
		V _{CANL} = 24V, CANH 开路, 见 图 8-5				105	
接收器							
V _{IT}	接收器输入阈值电压	V _{CM} = -20V 到 20V		0.5		0.9	V
		V _{CM} = -24V 到 24V		0.4		1.0	V
V _{HYS}	输入阈值迟滞				120		mV
V _{OH}	逻辑高电平输出电压 RXD	I _{OH} = -4mA, 见 图 8-6		VDDL - 0.4	VDDL - 0.2		V
		I _{OH} = -20μA, 见 图 8-6		VDDL - 0.1	VDDL		
V _{OL}	逻辑低电平输出电压 RXD	I _{OH} = 4mA, 见 图 8-6			0.2	0.4	V
		I _{OH} = 20μA, 见 图 8-6			0	0.1	
C _I	单端对地电容	CANH 或 CANL 对 GND2			24		pF
C _{ID}	差分输入电容	CANH 和 CANL 之间			12		pF
R _{IN}	单端输入电阻	TXD = VDDL, CANH 或 CANL 对 GND2		10		40	kΩ
R _{ID}	差分输入电阻	TXD = VDDL, CANH 和 CANL 之间		20		80	kΩ
R _{I(M)}	输入电阻匹配(1 - [R _{IN(CANH)} /R _{IN(CANL)}])	V _{CANH} = V _{CANL}		-2%		2%	
CMTI	共模瞬态抑制比	V _{TXD} = 0 V or VDDL, 见 图 8-12		±100	±150		kV/μs
过温保护							
TSD	热关断温度	温度上升			180		°C
TSD _{HYS}	热关断迟滞				15		°C

7.8. 时序特性

测试时 VDDP 和 VDDL 短接, GNDP1 和 GND1 短接, VISO_{OUT} 和 VISO_{IN} 短接, GNDP2 和 GND2 短接, 除非有额外说明, 本表格数据均为建议工作条件下的测试结果。所有典型值在 VDDP = VDDL = 5V, T_A = 25°C 下测得 (除非另有说明)。

参数		测试条件	最小值	典型值	最大值	单位
收发器						
t _{loop1}	总环路延时	隐性到显性, R _L = 60Ω, C _{LD} = 100pF, 见 图 8-7	165	255		ns
t _{loop2}	总环路延时	显性到隐性, R _L = 60Ω, C _{LD} = 100pF, 见 图 8-7	185	255		ns
驱动器						
t _{PLH}	TXD 传输延时（隐性到显性）	R _L = 60Ω, C _L = 100pF, 见 图 8-8	55	100		ns
t _{PHL}	TXD 传输延时（显性到隐性）		65	110		
t _r	差分输出信号上升时间		35	70		
t _f	差分输出信号下降时间		50	100		
t _{TXD_DTO} ¹	TXD 显性超时保护时间	R _L = 60Ω, C _L = 100pF, 见 图 8-9	2.5	6.8	10	ms
接收器						
t _{PLH}	RXD 传输延时（显性到隐性）	C _L = 15pF, 见 图 8-10	95	165		ns
t _{PHL}	RXD 传输延时（隐性到显性）		105	175		
t _r	RXD 输出信号上升时间		2.5	6		
t _f	RXD 输出信号下降时间		2.5	6		
CAN FD 时序						
T _{bit(BUS)}	传输隐性位宽	R _L = 60Ω, C _{LD} = 100pF, C _L = 15pF, 见 图 8-11	T _{bit(TXD)} = 500ns	435	530	ns
			T _{bit(TXD)} = 200ns	155	210	
T _{bit(RXD)}	RXD 引脚位宽		T _{bit(TXD)} = 500ns	400	550	ns
			T _{bit(TXD)} = 200ns	120	220	
Δt _{rec} ²	脉冲偏差		T _{bit(TXD)} = 500ns	−65	40	ns
			T _{bit(TXD)} = 200ns	−45	15	
备注:						
1. 一旦 TXD 处于显性状态的时间超出 t _{TXD_DTO} , TXD 超时检测电路将关闭驱动器从而释放总线, 总线从显性状态转为隐性状态, 以防止由于本地失效而将总线一直锁定在显性状态。						
2. Δt _{rec} = T _{bit(RXD)} − T _{bit(BUS)}						

7.9. 典型特性

典型值测试条件: VDDP 和 VDDL 短接, GNDP1 和 GND1 短接, VISO_{OUT} 和 VISO_{IN} 短接, GNDP2 和 GND2 短接, VDDP = VDDL = 5V。

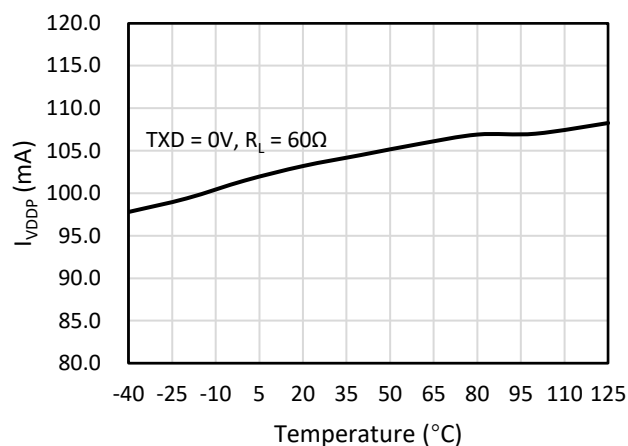


图 7-1 逻辑侧供电电流 vs.温度 @ 显性状态

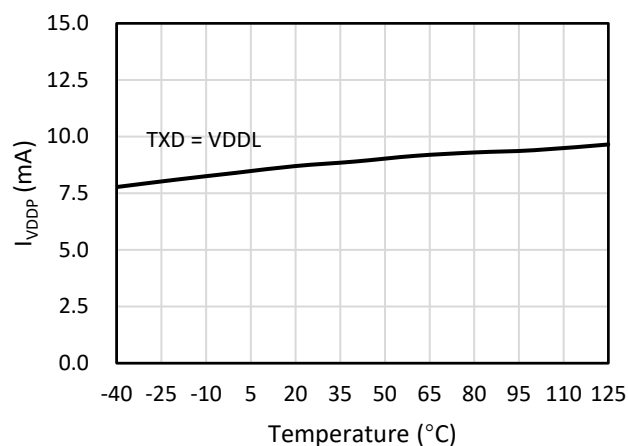


图 7-2 逻辑侧供电电流 vs.温度 @ 隐性状态

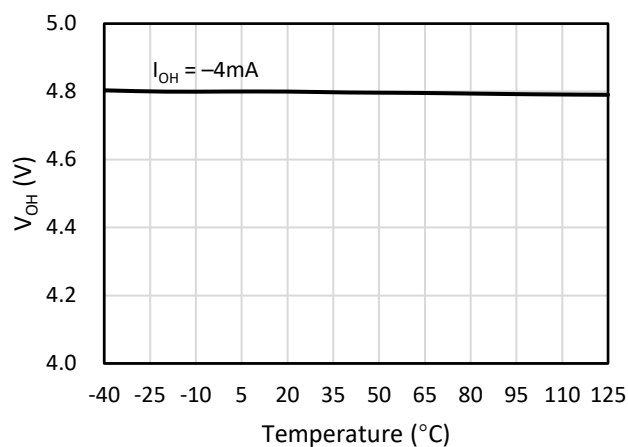


图 7-3 RO 输出高电平 vs.温度

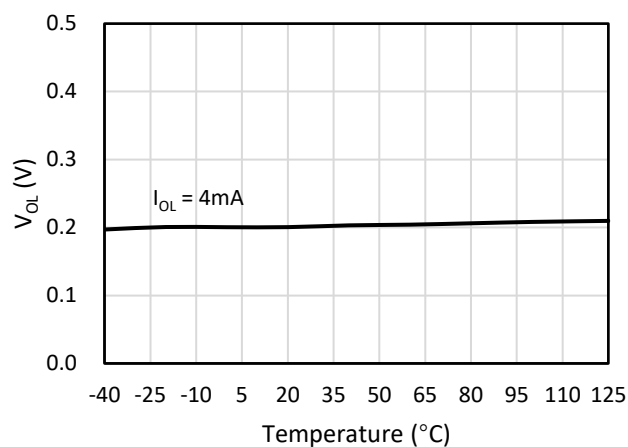


图 7-4 RO 输出低电平 vs.温度

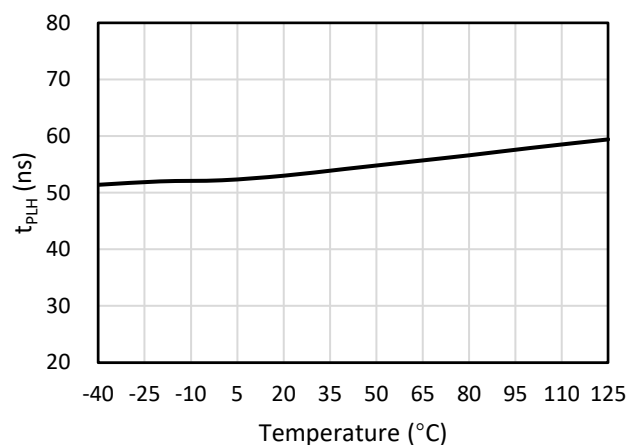


图 7-5 TXD 传播延时 (隐形到显性) vs.温度

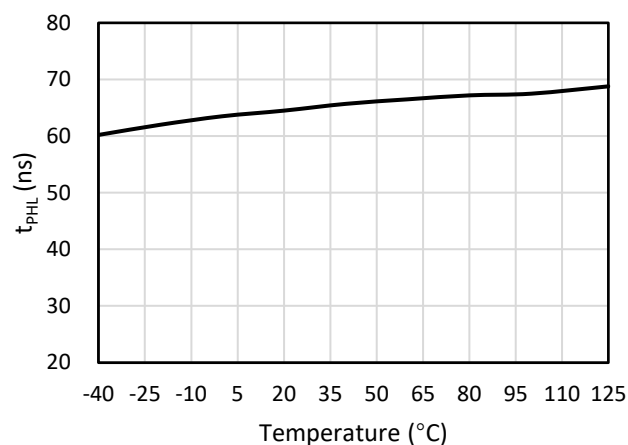


图 7-6 TXD 传播延时 (显形到隐性) vs.温度

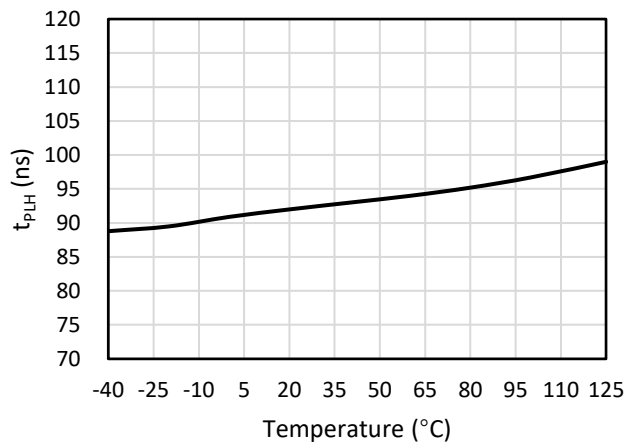


图 7-7 RXD 传播延时（显形到隐性）vs.温度

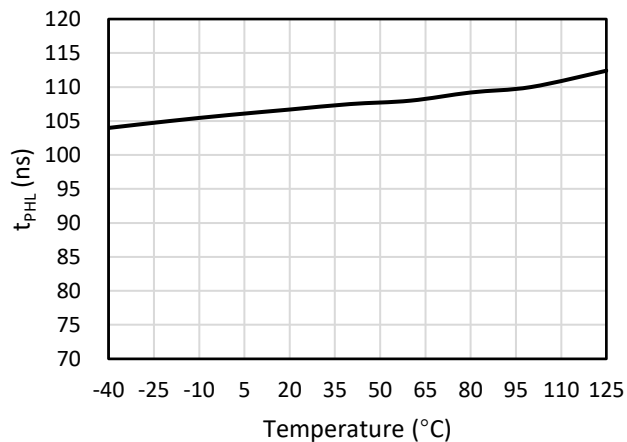


图 7-8 RXD 传播延时（隐性到显性）vs.温度

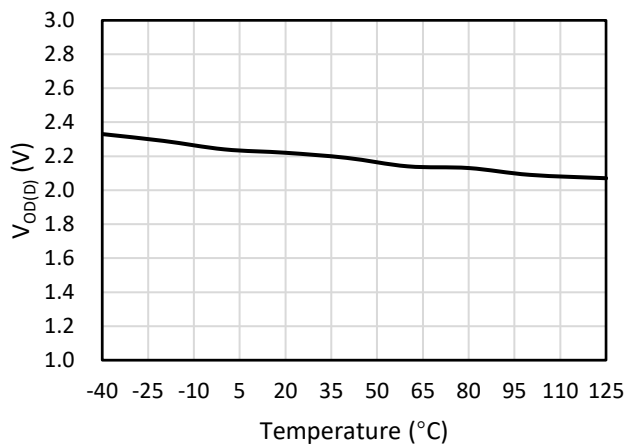


图 7-9 差分输出电压（显性）vs.温度

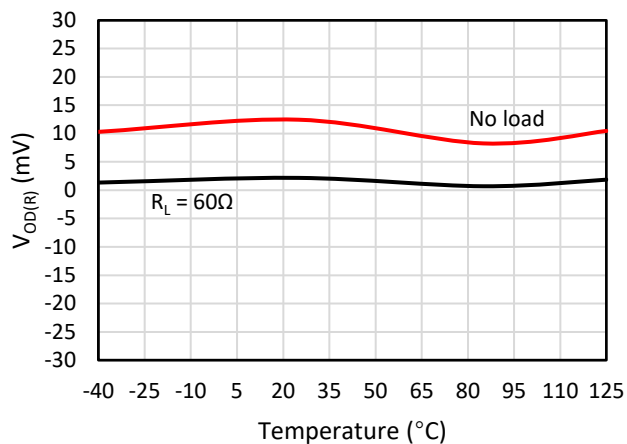


图 7-10 差分输出电压（隐性）vs.温度

8. 参数测量信息

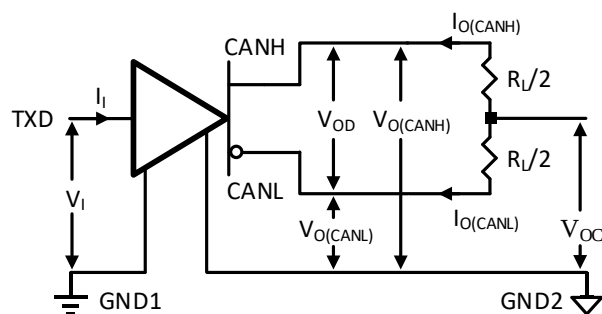


图 8-1 驱动器电压、电流测试条件

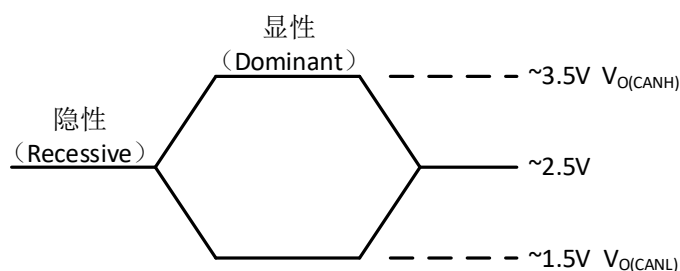


图 8-2 总线逻辑状态的电压定义

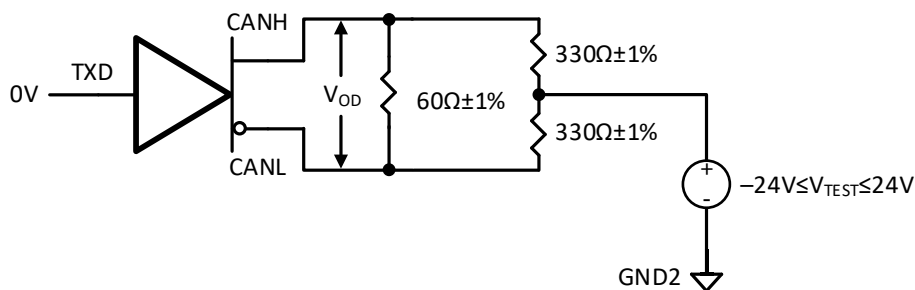
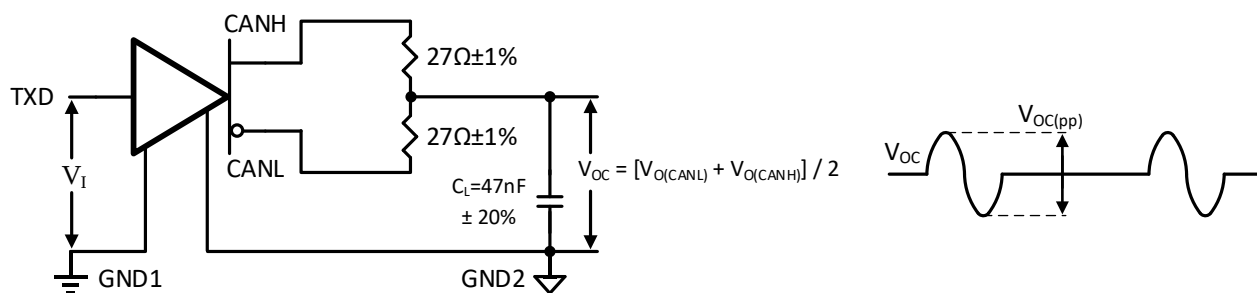
图 8-3 驱动器 V_{OD} 测试电路@带共模负载

图 8-4 驱动器输出电压峰值测试电路与波形

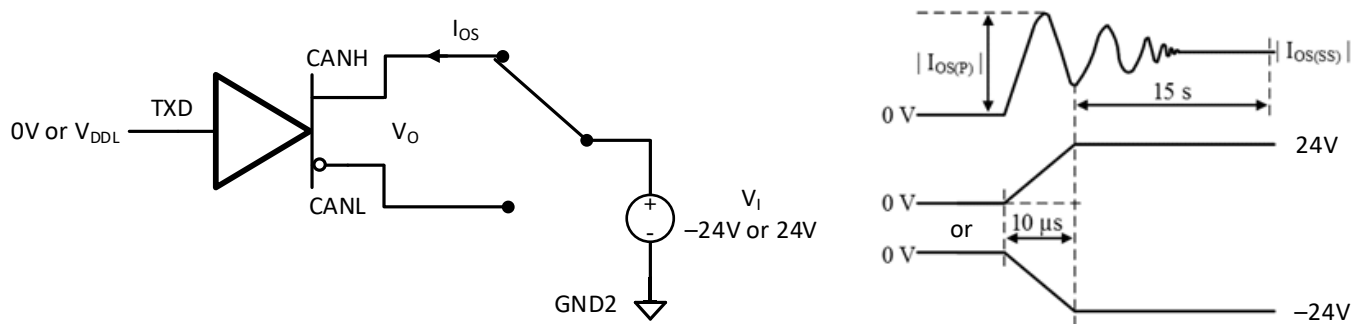


图 8-5 驱动器短路电流测试电路

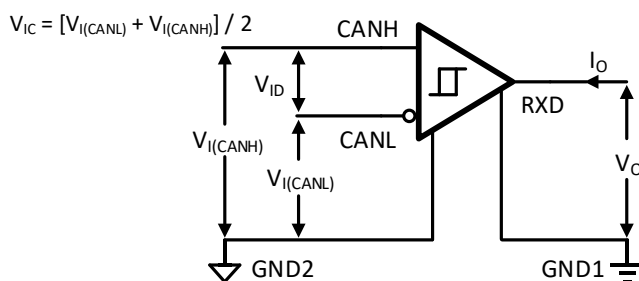


图 8-6 接收器输出电压、电流测试条件

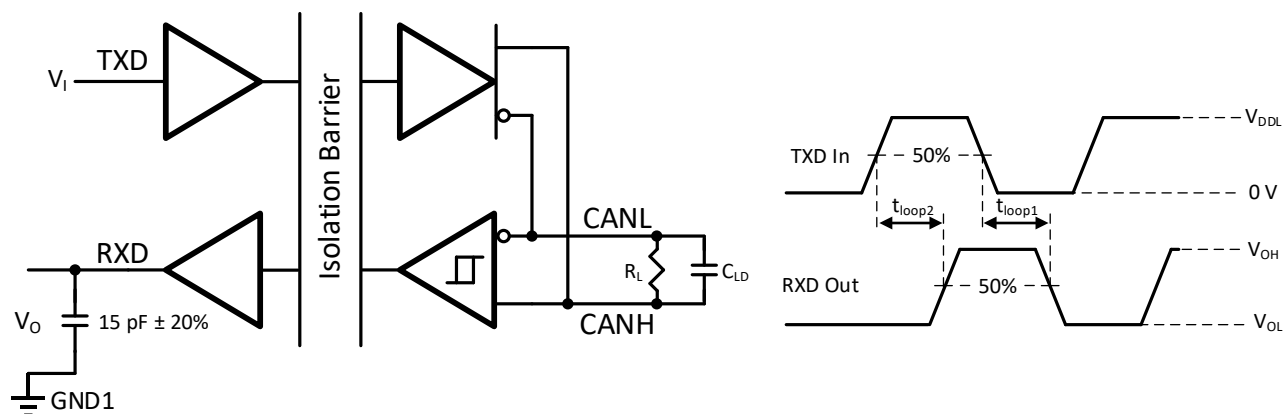
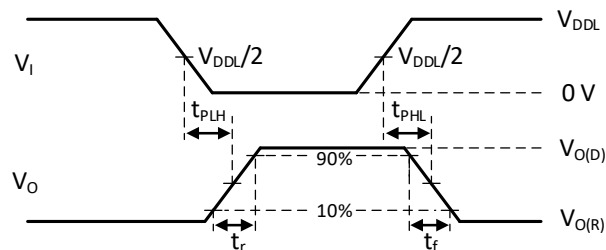
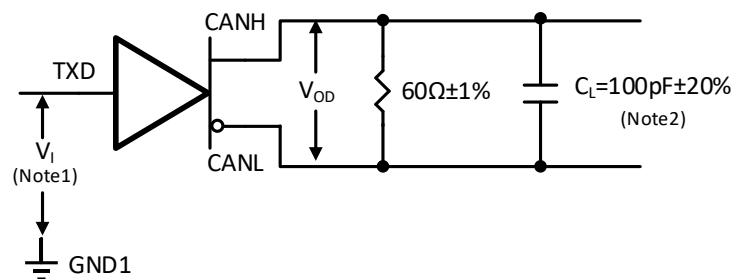


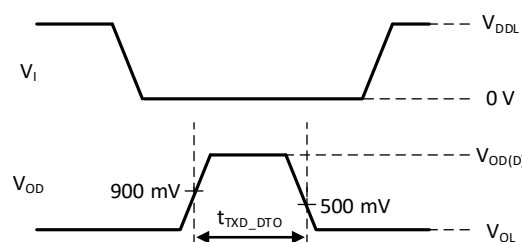
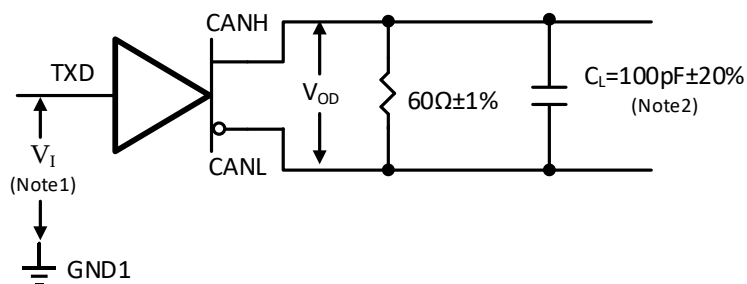
图 8-7 环路延时（从 TXD 到 RXD）测试电路与波形



备注:

1. 信号源产生的输入脉冲有如下要求: 脉冲重复率 $PRR \leq 125 \text{ kHz}$, 50%占空比, 上升时间 $t_r \leq 6\text{ns}$, 下降时间 $t_f \leq 6\text{ns}$, 输出阻抗 $Z_o = 50\Omega$;
2. 负载电容 C_L 包括仪器和夹具的寄生电容。

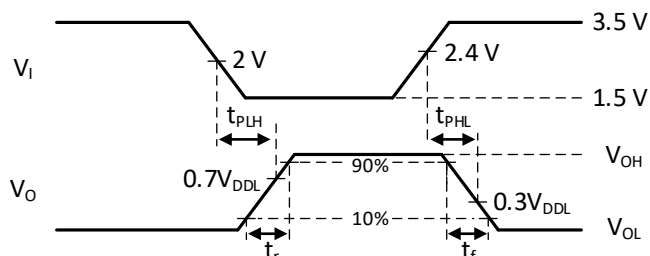
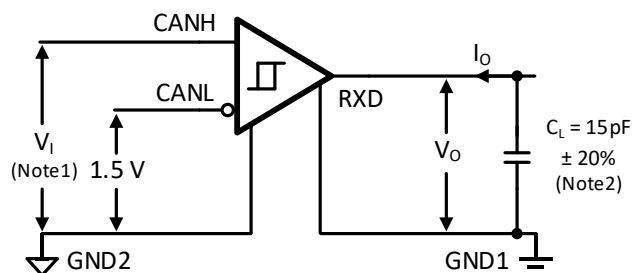
图 8-8 驱动器测试电路与时序图



备注:

1. 信号源产生的输入脉冲有如下要求: 脉冲重复率 $PRR \leq 125 \text{ kHz}$, 50%占空比, 上升时间 $t_r \leq 6\text{ns}$, 下降时间 $t_f \leq 6\text{ns}$, 输出阻抗 $Z_o = 50\Omega$;
2. 负载电容 C_L 包括仪器和夹具的寄生电容。

图 8-9 驱动显性超时保护时序图



备注:

1. 信号源产生的输入脉冲有如下要求: 脉冲重复率 $PRR \leq 125 \text{ kHz}$, 50%占空比, 上升时间 $t_r \leq 6\text{ns}$, 下降时间 $t_f \leq 6\text{ns}$, 输出阻抗 $Z_o = 50\Omega$;
2. 负载电容 C_L 包括仪器和夹具的寄生电容。

图 8-10 接收器测试电路与时序图

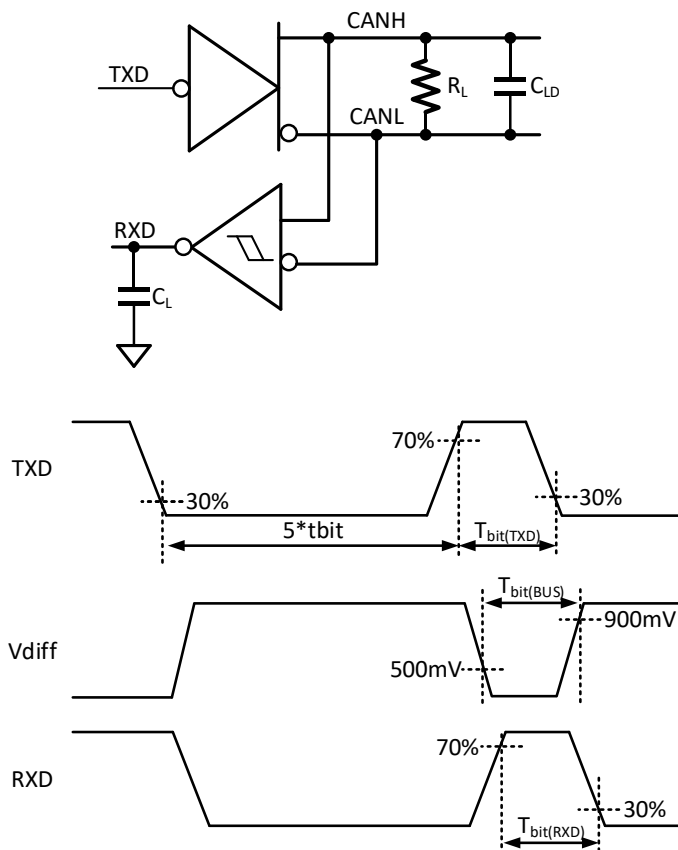


图 8-11 CAN FD 时序示意图

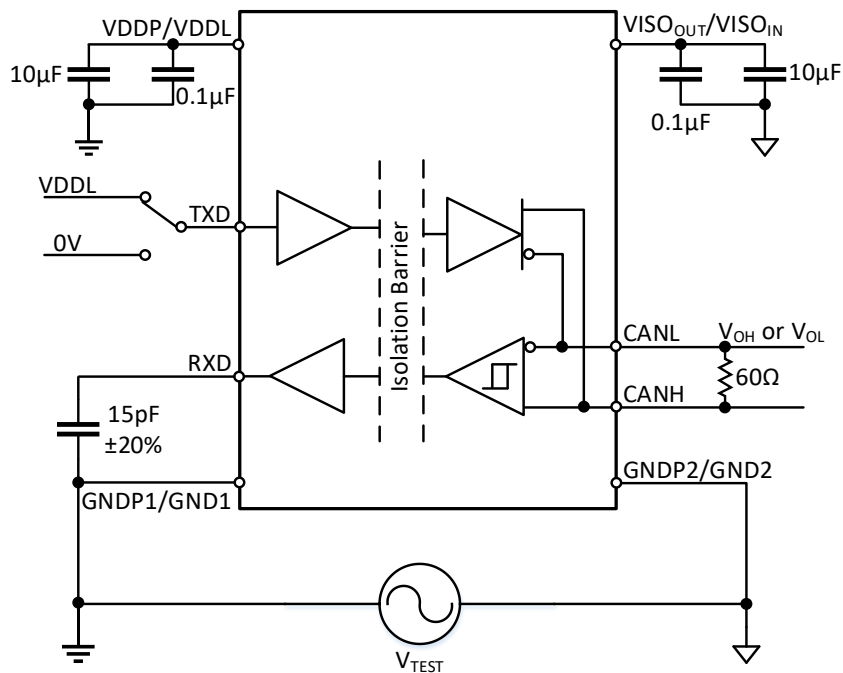


图 8-12 共模瞬态抑制比 (CMTI) 测试电路

9. 详细说明

9.1. 概述

CA-IS2062A 隔离型 CAN 收发器在总线侧与逻辑侧提供高达 $2.5\text{kV}_{\text{RMS}}$ 的电气隔离，该器件具有 $\pm 150\text{kV}/\mu\text{s}$ 的共模瞬态抑制比，允许高达 5Mbps 的数据跨过绝缘栅进行传输。CA-IS2062A 内部集成隔离式 DC-DC 转换器，为总线侧提供隔离的 5V 供电电压，省去了外部隔离电源，仅需少数几个去耦电容即可构成完备的隔离 CAN 接口。可靠的隔离特性和高速通信能力使得 CA-IS2062A 能够在恶劣的环境下实现可靠的数据传输，适用于工业自动化、楼宇自动化、光储充系统等广泛应用。CA-IS2062A 的接收器输入端允许 $\pm 24\text{V}$ 的共模输入，远超出 ISO 11898 规范定义的 -2V 至 $+7\text{V}$ 的范围；总线引脚 CANH 和 CANL 可承受高达 $\pm 42\text{V}$ 的故障电压，为系统提供有效的过压保护。此外，当 CANH/CANL 发生短路故障时，驱动器限流保护电路会将驱动器输出限流，而热关断保护电路则在检测到器件过热时，将驱动器输出强制设成高阻态，避免器件产生过大功耗导致热损坏。驱动器显性超时保护电路用于防止总线因为 TXD 一直拉低而导致总线闭锁，能够及时释放总线。

CA-IS2062A 采用 LGA16 超紧凑型封装，能够显著节省 PCB 布板空间，支持从 -40°C 至 125°C 的工业扩展温度范围。

9.2. 总线状态

CAN 总线具有两个状态：显性状态和隐性状态。显性状态下（“0”位，用于确定信息发送的优先级），CANH-CANL 之间的差分电压介于 1.5V 至 3V （高于 1V ），该状态对应于 TXD/RXD 的逻辑“0”；隐性状态下（“1”位，总线空闲状态），总线通过内部电路拉至 $\text{VISO}_{\text{IN}}/2$ ，CANH-CANL 之间的差分电压介于 -80mV 至 $+80\text{mV}$ ，或接近 0V （低于 0.4V ，取决于总线负载），该状态对应于 TXD/RXD 的逻辑“1”，如图 8-2 所示。

9.3. 器件保护功能

9.3.1. 信号隔离和电源隔离

CA-IS2062A 器件内部集成数字隔离器，采用基于开关键控（OOK）调制的电容隔离技术，在逻辑侧与总线侧提供高达 $2.5\text{kV}_{\text{RMS}}$ 的电气隔离，允许两侧电路工作在不同的电源域；内部 DC-DC 转换器则提供电源隔离，产生 5V 输出用作总线侧供电，进一步简化隔离接口设计。

9.3.2. 热关断保护

CA-IS2062A 内部集成热关断保护，当器件的结温超出热关断温度 TSD（ 180°C ，典型值）时，输出电压 VISO_{OUT} 关断，驱动器输出关闭。一旦结温降低到正常工作范围（ 165°C ，典型值），器件自动退出热关断状态， VISO_{OUT} 和驱动器输出均恢复到正常状态。

9.3.3. 限流保护

CA-IS2062A 器件的驱动器提供输出短路保护，一旦发生输出短路到电源或地故障时，驱动器将限制输出电流，此时有可能消耗较大的电源电流使器件结温升高，触发热关断功能，为输出短路提供了二次防护。一旦输出短路故障解除，驱动器将退出限流保护状态。

9.3.4. 驱动器显性超时保护

CA-IS2062A 的 CAN 驱动器具有显性超时保护功能，超时时间为 $t_{\text{TXD_DTO}}$ ，由此防止由于 CAN 控制器故障而将总线钳制在低电平（对应总线的显性状态）。当 TXD 保持低电平的时间超出 $t_{\text{TXD_DTO}}$ 时，器件关闭驱动器，将总线释放到隐性状态。当出现显性超时故障后，器件在 TXD 信号的上升沿处重新使能驱动器。

驱动器超时保护时间限制了 CA-IS2062A 的最小数据传输速率，按照 CAN 总线通信协议，允许在最差工作环境下连续发送 11 个“显性”位，据此可以估算出 CA-IS2062A 所允许的最低速率限定为： $11\text{bits} / t_{\text{TXD_DTO}} = 11 / 2.5\text{ms} = 4.4\text{kbps}$ 。

9.4. 器件功能模式

9.4.1. 驱动器

驱动器将来自 CAN 控制器的单端输入信号（TXD）转换成差分输出 CANH 和 CANL，真值表如表 9-1 所示。驱动器显性超时保护确保显性电平持续时间未超出 t_{TXD_DTO} 的前提下，驱动器处于正常工作状态。CANH 和 CANL 输出具有短路限流保护和热关断保护，能够限制器件的最大功耗防止热损坏。

表 9-1 驱动器真值表¹

VDDP 和 VDDL	输入	TXD 低电平时间	输出		总线状态
	TXD ²		CANH	CANL	
上电	Low	$< t_{TXD_DTO}$	H	L	显性
	Low	$> t_{TXD_DTO}$	VISO _{IN} /2	VISO _{IN} /2	隐性
	H 或开路	X	VISO _{IN} /2	VISO _{IN} /2	隐性
断电	X	X	Hi-Z	Hi-Z	Hi-Z
备注：					
1. X = 无关；H = 高电平；L = 低电平；Hi-Z = 高阻。					
2. TXD 引脚内部弱上拉至 VDDL。					

9.4.2. 接收器

接收器将总线的差分输入（CANH 和 CANL）转换成 CAN 控制器需要的单端信号 RXD，内部比较器检测总线差分电压 $V_{ID} = (V_{CANH} - V_{CANL})$ ，当 $V_{ID} \geq V_{IT+}$ 时，RXD 输出逻辑低电平；当 $V_{ID} \leq V_{IT-}$ ，RXD 输出逻辑高电平；当 CANH 和 CANL 短路、开路或者总线处于空闲状态时，RXD 输出高电平，真值表如表 9-2 所示。

表 9-2 接收器真值表

$V_{ID} = V_{CANH} - V_{CANL}$		总线状态	RXD
$V_{CM} = -20V$ 到 $20V$	$V_{CM} = -24V$ 到 $24V$		
$V_{ID} \geq 0.9V$	$V_{ID} \geq 1V$	显性	低电平
$0.5V < V_{ID} < 0.9V$	$0.4V < V_{ID} < 1V$	不确定	不确定
$V_{ID} \leq 0.5V$	$V_{ID} \leq 0.4V$	隐性	高电平
$V_{ID} \approx 0V$		开路、短路或者总线空闲	高电平

10. 应用信息

10.1. 应用概述

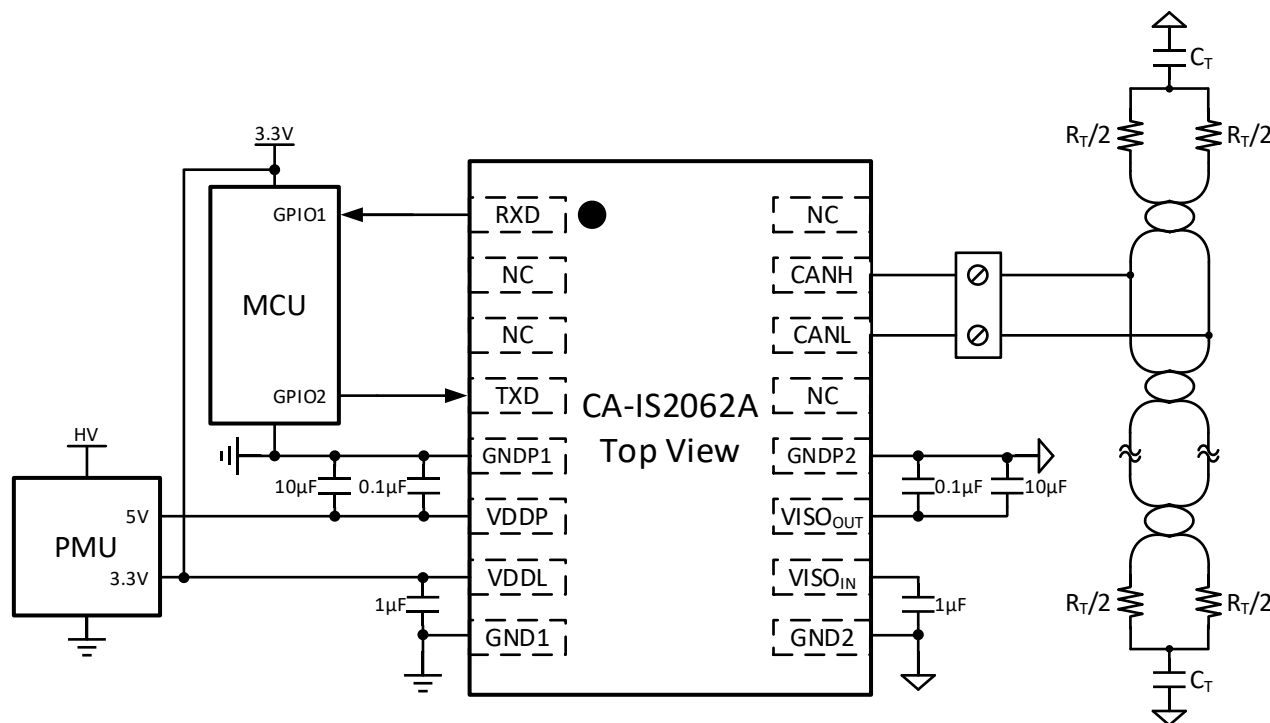


图 10-1 典型应用电路

CAN 接口由于其灵活的优先级管理和出色的仲裁能力而广泛用于工业领域，而多数工业系统高低压供电电源并存，隔离成为必要的选项，为低压侧工作的低压器件提供必要的电气保护。CA-IS2062A 是上述应用的理想选择，采用 LGA16 超紧凑型封装，能够显著节省 PCB 布板空间，同时提供电源隔离和信号隔离，仅需外部少数的几个去耦电容即可构成完整的 CAN 隔离接口，典型应用电路如图 10-1 所示。

在逻辑侧，VDDL 和 VDDP 可以分开，其中 VDDP 为 5V，为内部的 DC-DC 转换器提供输入电压从而产生总线侧的供电电压；VDDL 可以和低压的 CAN 控制器共电源，例如使用 3.3V 的电压（最低可以到 2.5V），这样配置可以省去传统应用中低压控制器和 CAN 收发器之间信号交互所需的电平移位器，节省物料清单。

CA-IS2062A 能够支持高达 5Mbps 的 CAN FD 数据传输速率，需要注意的是总线网络的最高速率还受限于总线负载、节点数、电缆长度以及匹配等因素。设计 CAN 总线网络时必须考虑信号在电缆上的损耗、寄生负载、延时、网络的不均衡性、地电位偏差以及信号完整性，因此在实际系统中的最高速率和最远传输距离常常低于理论值，在实际应用中可以根据实际情况适当降低 CAN FD 的数据传输速率。

CA-IS2062A 具有较高的输入阻抗，通过合理的设计网络布局，可以允许多达 110 个节点挂接在同一 CAN 总线上。

10.2. 多节点组网

在多节点 CAN 总线网络中，保持线路阻抗均匀和连续非常重要，由此需要提供适当的终端匹配。网络拓扑不能使用星形、树形或环形架构，在网络相距最远的两个端点之间，挂接任何一个节点都会产生一个“接头”，而高速信号在这些电缆“接头”上将产生信号反射，在总线上引入干扰。设计中需要使用尽可能短的电缆挂接每个节点（即控制图 10-2 中所示的分支长度 L_{stub} ），尤其是对于高速传输网络。CAN 总线的典型拓扑如图 10-2 所示，在总线的两个终端节点建议采用终端电阻（ R_T ）加共模电容（ C_T ）的方式进行匹配，其中 R_T 应该和线缆的特征阻抗匹配，典型值为 120Ω，共模电容 C_T 推荐值为 4.7nF，加在两个典型值为 60Ω 的终端电阻之间，可以滤除总线上的共模噪声，改善总线通信时的电磁辐射。

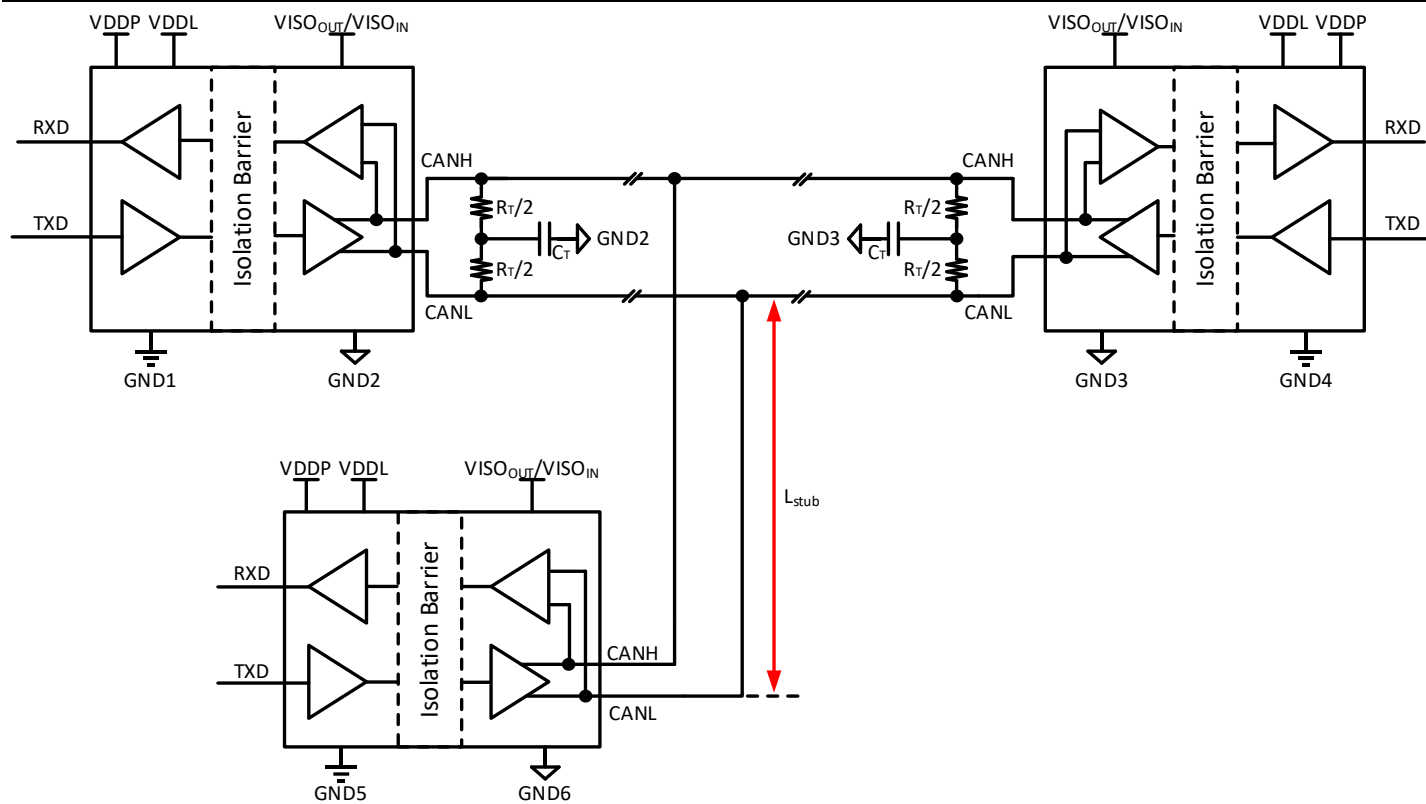


图 10-2 CAN 总线典型拓扑

10.3. PCB 布线指导

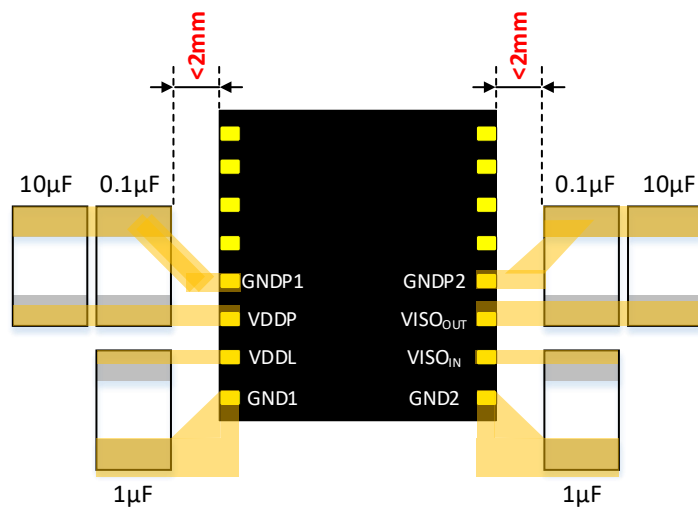


图 10-3 推荐电源布线

建议在隔离器下方保留一个远离地线和信号线的隔离净空区间，因为总线侧和逻辑侧之间的任何电气连接或金属连接都会降低隔离度。为确保器件在任何数据速率下可靠工作，建议在 $VDDP$ 与 $GNDP1$ 、 $VISO_{OUT}$ 与 $GNDP2$ 之间分别外接至少 $10\mu F$ 并联 $0.1\mu F$ 的去耦电容，在 $VDDL$ 与 $GND1$ 、 $VISO_{IN}$ 与 $GND2$ 之间分别外接 $1\mu F$ 的去耦电容，电容应紧靠器件相应的电源引脚放置，距离控制在 $2mm$ 以内。电容建议选用陶瓷电容，确保在器件工作温度范围内保持容值是足量的。

上述去耦电容和器件必须放在同一层 PCB，禁止将电容和器件放在不同层然后通过过孔相连。推荐 PCB 隔离电源部分走线如图 10-3 所示。

10.4. 注意事项

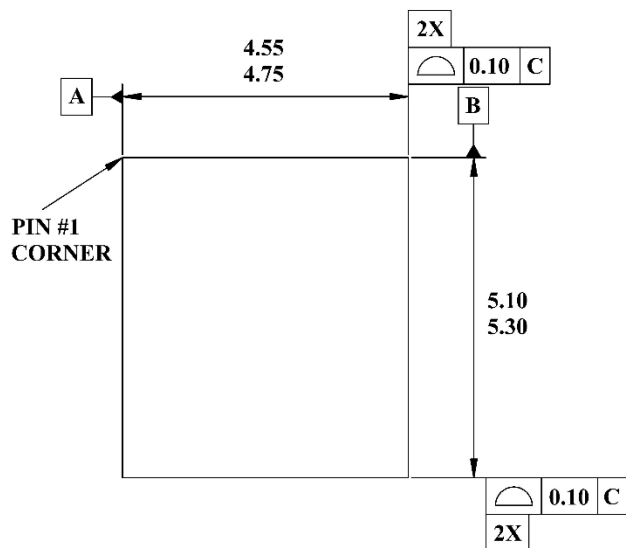
使用时需注意如下事项：

- $VDDP$ 和 $VDDL$ 须分别达到 $VDDP_{ULVO+}$ 和 $VDDL_{ULVO+}$ 以上， $VISO_{OUT}$ 才会建立输出电压；
- $VISO_{IN}$ 和 $VISO_{OUT}$ 须接在一起， $VISO_{OUT}$ 才会建立正常的输出电压，禁止将 $VISO_{OUT}$ 悬空。

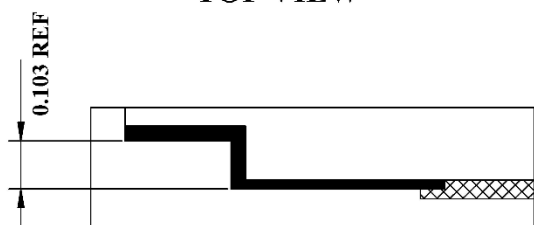
11. 封装信息

11.1. LGA16 外形尺寸

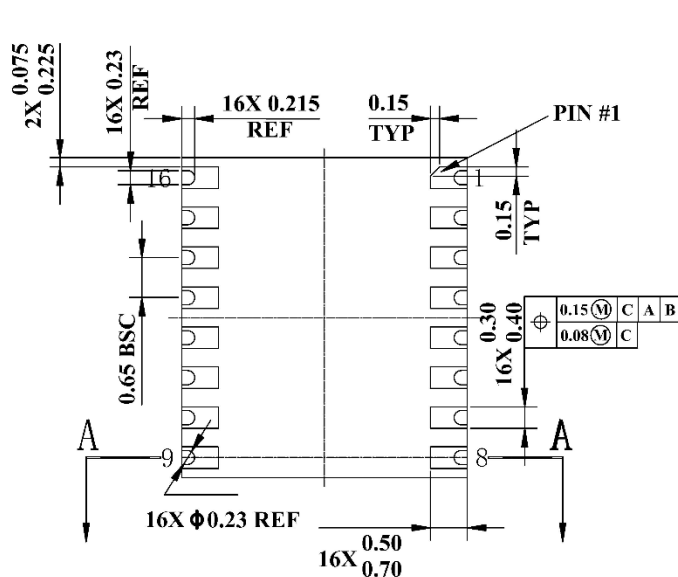
下图展示了 CA-IS2062A 的封装外形尺寸和推荐的焊盘布局。



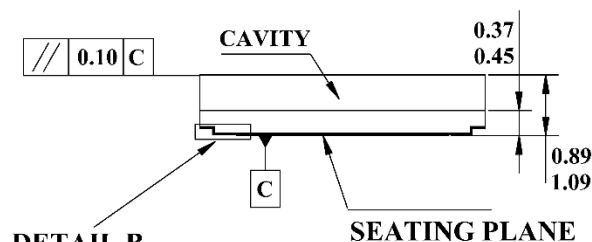
TOP VIEW



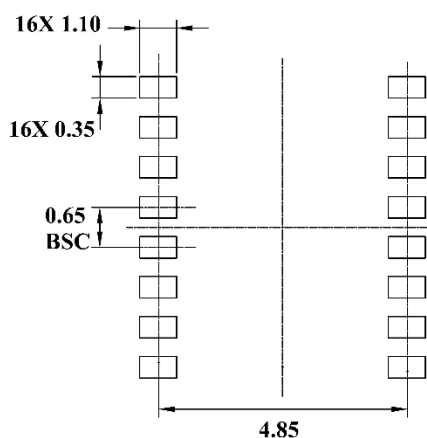
DETAIL B
80:1



BOTTOM VIEW



SECTION A-A



RECOMMEND LAND PATTERN

12. 焊接信息

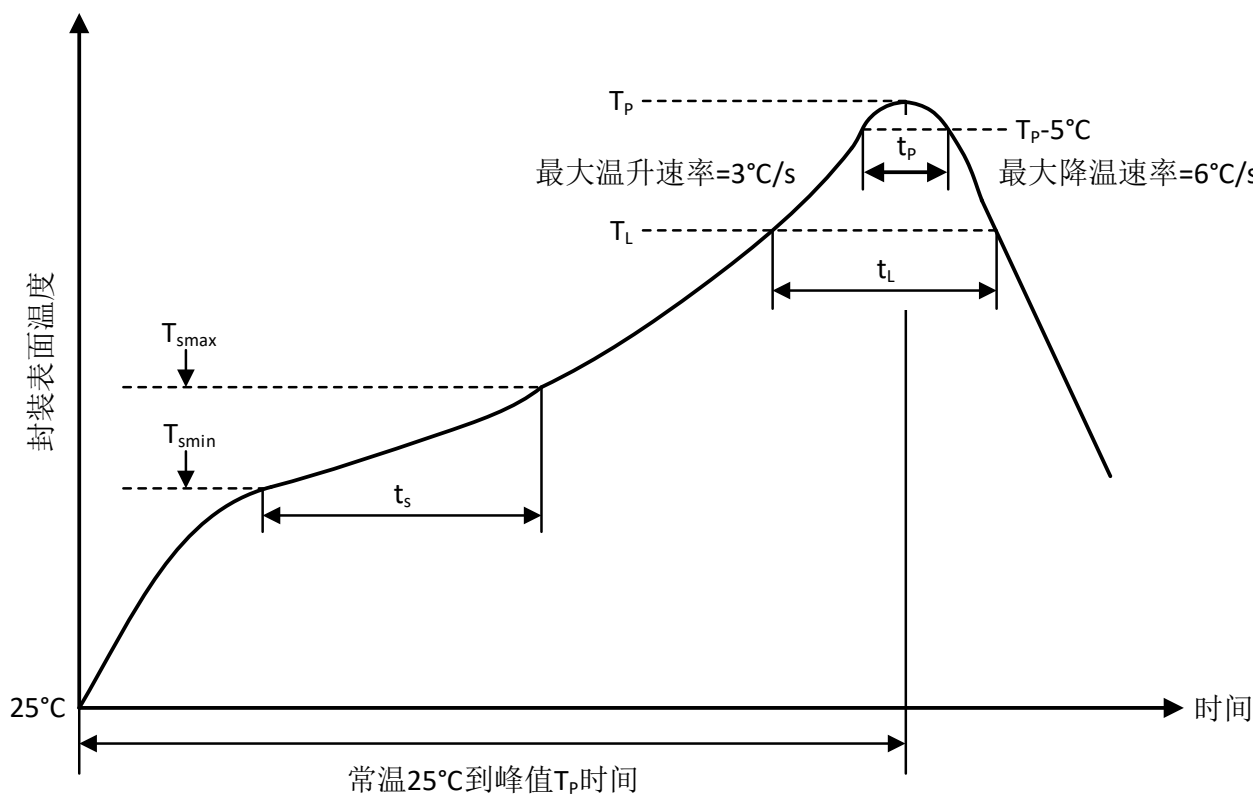


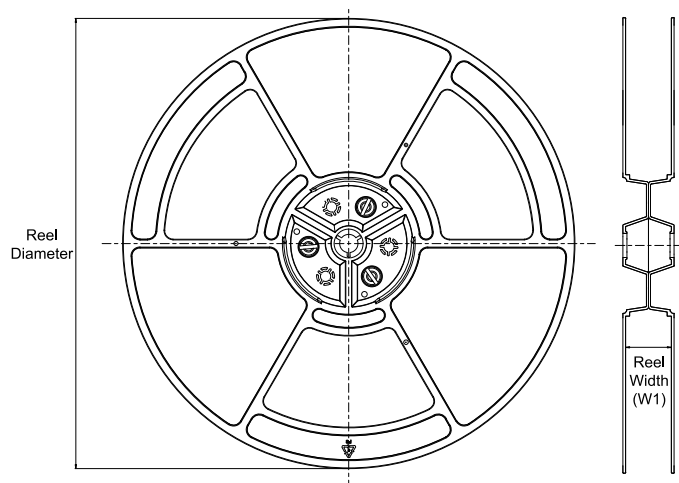
图 12-1 焊接温度曲线

表 12-1 焊接温度参数

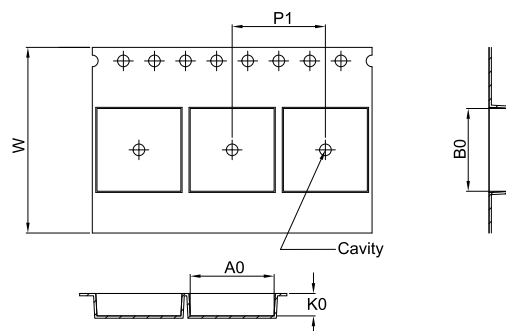
简要说明	无铅焊接
温升速率（ $T_L=217^{\circ}\text{C}$ 至峰值 T_P ）	最大 3°C/s
$T_{smin}=150^{\circ}\text{C}$ 到 $T_{smax}=200^{\circ}\text{C}$ 预热时间 t_s	60~120 秒
温度保持 217°C 以上时间 t_L	60~150 秒
峰值温度 T_P	260°C
小于峰值温度 5°C 以内时间 t_p	最长 30 秒
降温速率（峰值 T_P 至 $T_L=217^{\circ}\text{C}$ ）	最大 6°C/s
常温 25°C 到峰值温度 T_P 时间	最长 8 分钟

13. 卷帶信息

REEL DIMENSIONS

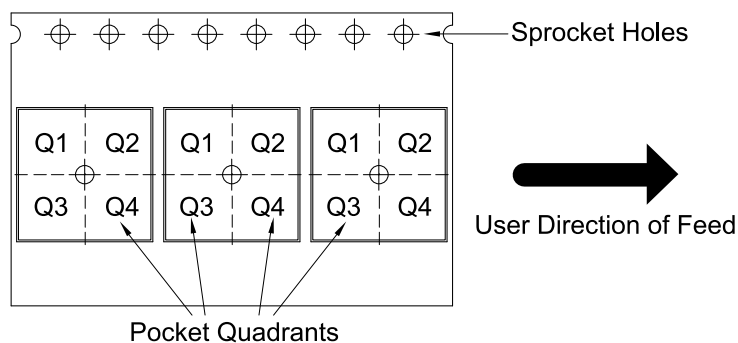


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CA-IS2062A	LGA16 4.65 x 5.2	A	16	3000	330	12.4	4.95	5.5	1.3	8.0	12.0	Q1

14. 重要声明

上述资料仅供参考使用，用于协助 Chipanalog 客户进行设计与研发。Chipanalog 有权在不事先通知的情况下，保留因技术革新而改变上述资料的权利。

Chipanalog 产品全部经过出厂测试。针对具体的实际应用，客户需负责自行评估，并确定是否适用。Chipanalog 对客户使用所述资源的授权仅限于开发所涉及 Chipanalog 产品的相关应用。除此之外不得复制或展示所述资源，如因使用所述资源而产生任何索赔、赔偿、成本、损失及债务等，Chipanalog 对此概不负责。

商标信息

Chipanalog Inc.®、Chipanalog®为 Chipanalog 的注册商标。



<http://www.chipanalog.com>