

CA-IF42088 集成有源电感的家庭总线系统（HBS）收发器

1. 产品特性

- 兼容家庭总线 Homebus（HBS）标准
- 高度集成化以减少物料和封装
 - 无需分立交流阻断电感
 - 紧凑的 4mm × 4mm QFN 封装
 - 内部集成 LDO，最大可支持 90mA 负载
- 可配置的灵活性设计
 - 接收器电压阈值可调
 - 传输信号摆率可调
 - 动态电缆终端阻抗提升高速应用信号完整性
 - 电缆终端阻抗开关时间可通过片外电阻调整
 - 9.6kbps 到 200kbps 传输速率
- 内部集成热关断保护（TSD）
- IEC 61000-4-2 ±15kV 接触放电和±20kV 空气放电保护
- 连同外部元器件可抗 IEC 61000-4-5 ±1kV 浪涌
- 工作温度范围：-40°C 至+105°C

2. 应用

- 暖通空调系统（HVAC）
- 数字标牌
- 远程监控与传感

- 电源线传输数据

3. 概述

CA-IF42088 是一款兼容家庭总线标准的半双工收发器，数据及电源共用一对双绞线以简化外围器件设计。该器件的总线引脚可经受系统级 ESD 事件，保护内部电路不受损坏。

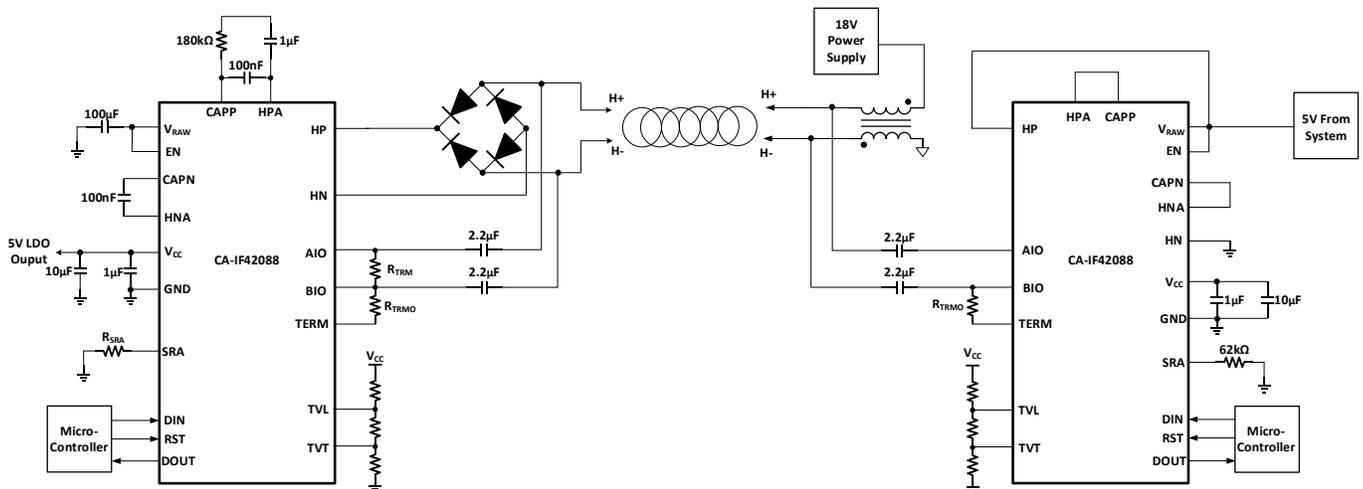
CA-IF42088 集成了片内有源电感从而实现了数据和电源同时传输的功能，无需分立交流阻断电感；同时还集成了最高可提供 90mA 负载能力的 LDO。CA-IF42088 支持 9.6kbps 至 200kbps 的信号传输速率；内部含有动态电缆匹配电阻以改善高速传输时的信号完整性，动态电阻调整时间由片外电阻调整；该器件还具有可调整的接收器阈值及可调整的传输信号摆率，适用于广泛的系统。

CA-IF42088 环境工作温度范围支持-40°C 到 105°C，并提供紧凑的 24 引脚 4mm × 4mm 的 QFN 封装。

表 3-1 器件信息

零件号	封装	封装尺寸 (标称值)
CA-IF42088	QFN24	4mm x 4mm

简化家庭总线系统



4. 订购指南

表 4-1 有效订购零件编号

型号	速率 (kbps)	是否集成片内有源电感	封装
CA-IF42088	9.6~200	是	QFN24

目录

1. 产品特性.....	1	10.2. V _{RAW} 电压输出	14
2. 应用	1	10.3. 内部电压调节器	14
3. 概述	1	10.4. 有源电感	14
4. 订购指南	2	10.5. 收发器工作原理	15
5. 修订记录.....	3	10.6. 动态电缆终端电阻匹配	16
6. 简化芯片内部结构图	4	10.7. 发射摆率调节	16
7. 引脚功能描述	5	10.8. 接收端阈值调节	16
8. 产品规格.....	7	10.9. RST 功能	16
8.1. 绝对最大额定值 ¹	7	10.10. 高通滤波器	17
8.2. ESD 额定值	7	11. 应用信息.....	18
8.3. 建议工作条件.....	7	11.1. 总线端口浪涌保护	18
8.4. 热量信息.....	7	11.2. PCB 布线考虑	18
8.5. 电气特性.....	8	12. 封装信息.....	22
8.6. 时序特性.....	9	12.1. QFN24 外形尺寸	22
8.7. 典型特性.....	10	13. 焊接信息.....	23
9. 参数测量信息	12	14. 卷带信息.....	24
10. 详细说明.....	14	15. 重要声明.....	25
10.1. 电源电压.....	14		

5. 修订记录

修订版本号	修订内容	修订日期	页码
Version 1.00	NA	2024.09.29	NA

6. 简化芯片内部结构图

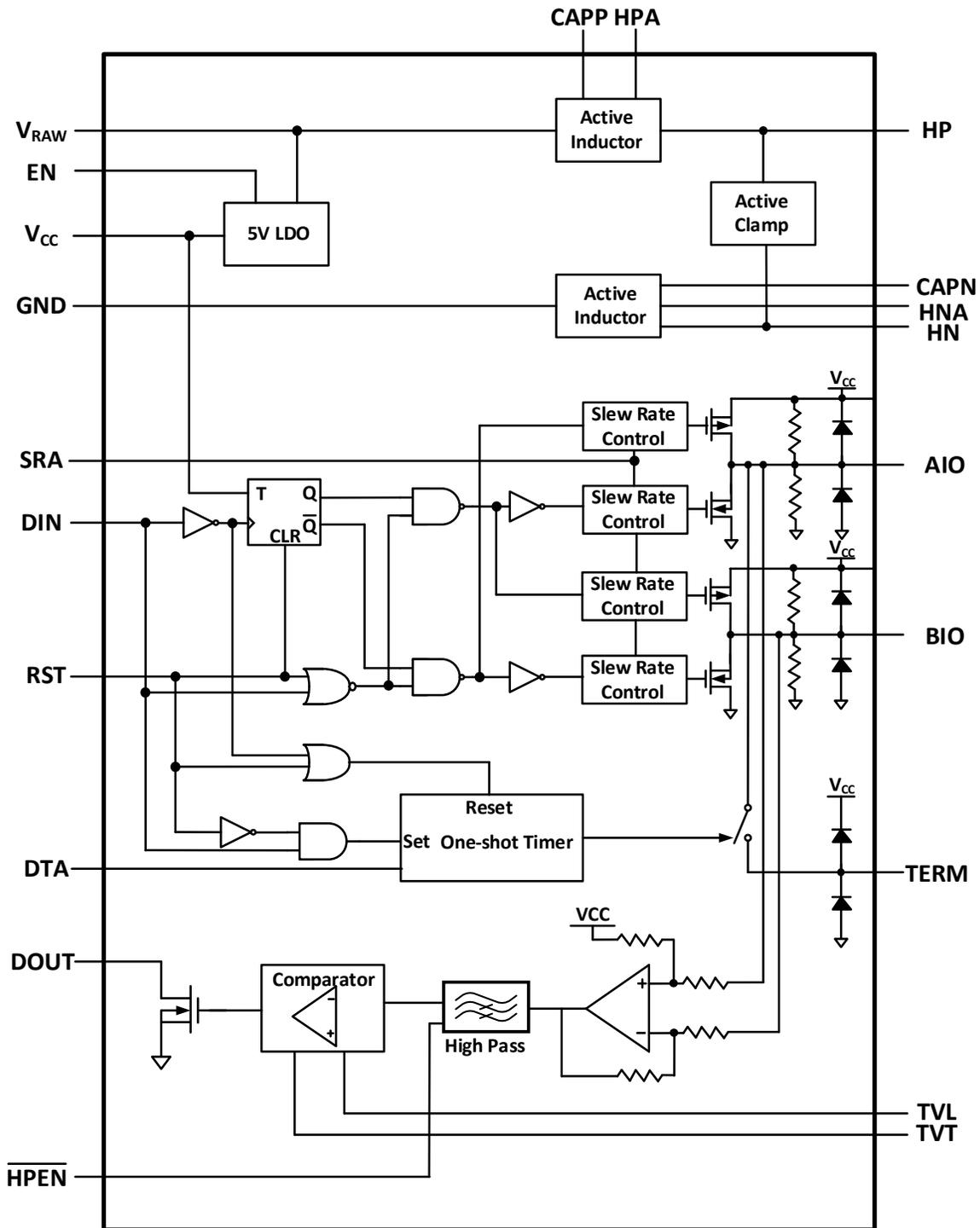


图 6-1 CA-IF42088 芯片内部结构框图

7. 引脚功能描述

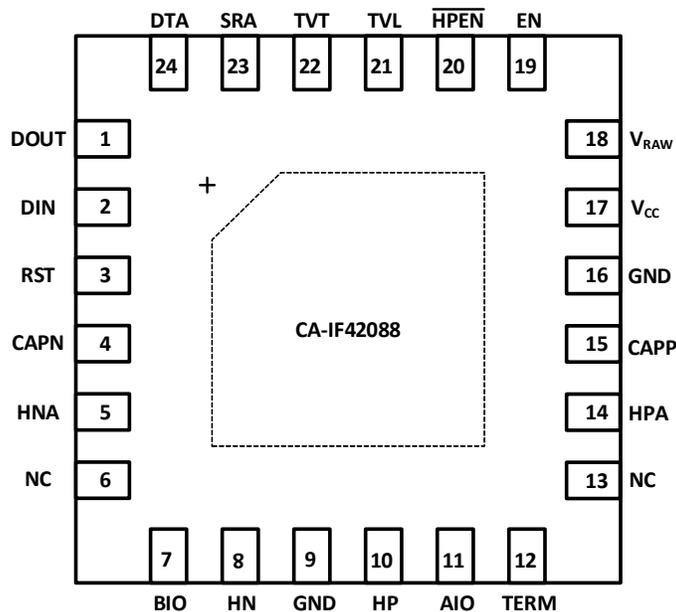


图 7-1 CA-IF42088 引脚图

表 7-1 CA-IF42088 引脚功能描述

引脚名称	引脚编号	类型	描述
DOUT	1	数字输出	开漏输出，外接上拉电阻到逻辑电源
DIN	2	数字输入	数据输入
RST	3	数字输入	总线复位控制输入，低电平时使能芯片 TX
CAPN	4	输入	总线 HN 端有源电感控制端口之一。芯片处于总线供电应用时，CAPN 及 HNA 之间电容值决定了 HN 端有源电感的等效感值；非总线供电时，CAPN 及 HNA 短接，有源电感被旁路
HNA	5	输入	总线 HN 端有源电感控制端口之一。芯片处于总线供电应用时，CAPN 及 HNA 之间电容值决定了 HN 端有源电感的等效感值；非总线供电时，CAPN 及 HNA 短接，有源电感被旁路
NC	6	--	无连接
BIO	7	输入输出	芯片收发数据差分端口之一，通过与家庭总线之间的耦合电容收发动态数据
HN	8	电源输入 家庭总线	总线电源负端，总线差分数据端口之一，非总线供电时连接至 GND 旁路内部有源电感
GND	9	地	芯片内部参考地，总线供电时 GND 相对于 HN 浮动，非总线供电时 GND 连接至 HN
HP	10	电源输入 家庭总线	总线电源正端，总线差分数据端口之一，非总线供电时连接至 V _{RAW} 旁路内部有源电感
AIO	11	输入输出	芯片收发数据差分端口之一，通过与家庭总线之间的耦合电容收发动态数据
TERM	12	输出	收发器差分端口 AIO 及 BIO 之间动态电阻调整控制端口，在 TERM 和 BIO 之间接入一个电阻以调节电缆的终端阻抗匹配
NC	13	--	无连接
HPA	14	输入	总线 HP 端有源电感控制端口之一。芯片处于总线供电应用时，CAPP 及 HPA 之间电容值决定了 HP 端有源电感的等效感值；非总线供电时，CAPP 及 HPA 短接，有源电感被旁路
CAPP	15	输入	总线 HP 端有源电感控制端口之一。芯片处于总线供电应用时，CAPP 及 HPA 之间电容值决定了 HP 端有源电感的等效感值；非总线供电时，CAPP 及 HPA 短接，有源电感被旁路
GND	16	地	芯片内部参考地，总线供电时 GND 相对于 HN 浮动，非总线供电时 GND 连接至 HN
V _{cc}	17	电源输出	内部集成 LDO 电源输出端口。使用 1 μ F（最小值）的电容连接该端口到 GND，尽可能靠近器件。可为外部负载提供最大 90mA 的电流能力

V _{RAW}	18	电源输出	有源电感功率输出。使用一个 100μF（最小值）的电容将该端口旁路至 GND，来驱动小于 70mA 的负载。使用一个 200μF（最小值）的电容将该端口旁路至 GND，来驱动超过 70mA 的负载
EN	19	输入	LDO 使能输入，将该端口连接到 V _{RAW} 来使能内部 LDO。该端口连接至 GND 关闭内部 LDO
HPEN	20	输入	接收器高通滤波器使能端口。将该端口连接 GND 来使能接收器的高通滤波，将该端口连接到 V _{CC} 来关闭内部的高通滤波。不要将该端口悬空。
TVL	21	输入	接收器前沿数据阈值
TVT	22	输入	接收器后沿数据阈值
SRA	23	输入	TX 输出信号摆率调节端口。将 SRA 通过一个电阻连接到 GND 来调节 AIO 和 BIO 的发射边沿斜率。
DTA	24	输入	总线电缆动态电阻使能时间调节，外接 10kΩ 至 500kΩ 电阻到地。悬空时，动态电阻使能时间= 34μs。
EP	--	--	裸露焊盘，连接到 GND。

8. 产品规格

8.1. 绝对最大额定值¹

参数	最小值	最大值	单位
HP 到 GND	-0.3	+28	V
HN 到 GND	-6.0	+6.0	V
HP 到 HN	-0.3	+28	V
HPA 到 CAPP, CAPN 到 HNA	-0.3	+6.0	V
V _{RAW} , EN 到 GND	-0.3	+28	V
V _{CC} 到 GND	-0.3	+6.0	V
AIO, BIO, TERM, SRA 到 GND	-0.3	V _{CC} + 0.3	V
DIN, DOUT, TVL, TVT, RST, HPEN 到 GND	-0.3	+6.0	V
V _{CC} , AIO, BIO, TERM 端口连续电流	-100	+100	mA
HP, HN, V _{RAW} , GND 端口连续电流	-350	+350	mA
CAPP, CAPN 端口连续电流	-10	+10	mA
其他管脚连续电流	-50	+50	mA
正常工作温度范围	-40	+105	°C
结温	-40	+150	°C
存储温度范围	-40	+150	°C
焊接温度		+260	°C

备注:

- 等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断产品能否正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

8.2. ESD 额定值

参数		数值	单位
V _{ESD} 静电放电	人体模型 (HBM), 根据 ANSI/ESDA/JEDEC JS-001, 所有引脚	±4	kV
	器件充电模型 (CDM), 根据 JEDEC 规范 JESD22-C101, 所有引脚	±2	kV
	空气放电 (Air-gap Discharge), 根据 IEC 61000-4-2	±20	kV
	接触放电 (Contact Discharge), 根据 IEC 61000-4-2	±15	kV

8.3. 建议工作条件

参数	参数	最小值	典型值	最大值	单位
V _{HP} - V _{HN}	总线供电电压	9		24	V
V _{TVL}	接收器前沿阈值		0.5		V
V _{TVT}	接收器前沿阈值		1		V
R _{SRA}	摆率调节电阻		120		kΩ
T _A	工作环境温度	-40	25	105	°C
T _J	结温	-40		150	°C

8.4. 热量信息

热量参数	QFN24	单位
R _{θJA} 芯片结到环境的热阻	48	°C/W

8.5. 电气特性

在正常工作温度范围内（除非另有说明）。所有典型值均在 25°C 的情况下进行。

参数		测试条件	最小值	典型值	最大值	单位
电源端 (HP, HN, V_{RAW}, V_{CC})						
V _{HP} - V _{HN}	总线取电电源电压	直流输入电压 (不含叠加 HBS 数据信号)	9		24	V
V _{RAWO}	总线取电 V _{RAW} 输出电压	V _{HP} - V _{HN} = 9V, I _{RAW} = 0mA	7.1	7.5		V
		V _{HP} - V _{HN} = 9V, I _{RAW} = 300mA	6.0	6.9		V
V _{RAWI}	V _{RAW} 供电电源电压	施加于 V _{RAW} 的外部电压	4.6		24	V
V _{CC}	V _{CC} 输出电压	I _{LOAD} = 90mA, V _{RAW} ≥ 6V	4.5	5.0	5.5	V
I _{HP} , I _{HN}	总线取电电源静态电流	RST = V _{CC} , I _{CC} = 0mA, V _{HP} - V _{HN} = 9V		3	5	mA
I _{RAW}	V _{RAW} 供电电源静态电流	RST = V _{CC} , HP = CAPP = V _{RAW} , HN = CAPN = GND		2.5	4	mA
	V _{RAW} 供电电源动态电流	HP = CAPP = V _{RAW} , VRST = HN = CAPN = GND, DIN 输入 57.6kbps, R _{LOAD} = 100Ω		28		
I _{VCCMAX}	总线取电 V _{CC} 最大负载电流	V _{HP} - V _{HN} ≥ 9V			90	mA
	V _{RAW} 供电 V _{CC} 最大负载电流	V _{RAW} ≥ 6V			90	mA
I _{VRAWMAX}	V _{RAW} 最大负载电流	V _{HP} - V _{HN} ≥ 9V, 不包含叠加 HBS 数据信号			300	mA
		V _{HP} - V _{HN} ≥ 9V, 包含叠加 57.6kbps HBS 数据信号			300	mA
发射端 (AIO, BIO, TERM)						
V _{TOH}	输出高电平	V _{RAW} ≥ 4.6V, AIO 及 BIO 上拉能力	V _{CC} -0.6	4.8		V
V _{TOL}	输出低电平	V _{RAW} ≥ 4.6V, AIO 及 BIO 下拉能力		0.3	0.6	V
R _{TERM}	终端开关导通电阻	TERM 到 AIO 的电阻	2	5	10	Ω
R _{IN}	AIO, BIO 发射输入电阻	AIO, BIO 悬空时的输入电阻, DIN = V _{CC}	7	9	13	kΩ
V _{AIO} / V _{BIO}	偏置电压匹配比例	AIO, BIO 悬空, DIN = V _{CC}	-1		+1	%
接收端 (TVL, TVT)						
V _{LEAD}	接收端前沿阈值	V _{TVL} = 1.0V, HPEN = V _{CC}	0.85	1	1.15	V
V _{TRAIL}	接收端后沿阈值	V _{TVT} = 0.5V, HPEN = V _{CC}	0.35	0.5	0.65	V
I _{THLEAK}	TVL, TVT 输入漏电流	TVL 及 TVT 与电阻串断开, V _{TVL} = V _{TVT} = 2.5V	-1		+1	μA
数字 I/O						
V _{IH}	输入逻辑高电平		1.4			V
V _{IL}	输入逻辑低电平				0.4	V
I _{LEAK}	输入端		-1		+1	μA
V _{OL}	开漏逻辑低电平	I _{SINK} = 2mA			0.3	V
I _{ODL}	开漏逻辑漏电流	DOUT 开路状态, 测量漏电流			1	μA

8.6. 时序特性

在正常工作温度范围内（除非另有说明）。所有典型值均在 25°C 的情况下进行。

参数		测试条件	最小值	典型值	最大值	单位
发射端						
t_{RLD}	输出前沿上升时间	$R_{SRA} = 120k\Omega$, $R_{LOAD} = 200\Omega$, 见图 9-1	0.8	1.4	2.0	μs
t_{FLD}	输出前沿下降时间		0.8	1.4	2.0	μs
t_{RTR}	输出后沿上升时间		0.8	1.4	2.0	μs
t_{FTR}	输出后沿下降时间		0.8	1.4	2.0	μs
t_{TPROP}	传输延迟			1		μs
t_{SYM}	传输输出对称性			-0.4	0	+0.4
t_{TERM}	终端开关延迟	$R_{SRA} = 120k\Omega$, $R_{LOAD} = 200\Omega$, 见图 9-2		0.3	0.5	μs
t_{TRMON}	终端导通时间	$R_{SRA} = 120k\Omega$, $R_{LOAD} = 200\Omega$, DTA 悬空	19	34	63	μs
t_{TRMON_min}	最小终端导通时间	$R_{SRA} = 120k\Omega$, $R_{LOAD} = 200\Omega$, DTA 连接 10k Ω 电阻		10		μs
t_{TRMON_max}	最大终端导通时间	$R_{SRA} = 120k\Omega$, $R_{LOAD} = 200\Omega$, DTA 连接 500k Ω 电阻		450		μs
接收端						
t_{RPROP}	接收端延迟时间	$\overline{HPEN} = V_{CC}$, 见图 9-3		0.4	1	μs
t_{HP}	接收端高通滤波器时间	$RST = V_{CC}$, $\overline{HPEN} = GND$		1200		μs

8.7. 典型特性

除非另有说明，所有典型值均在 25°C 的情况下测得。

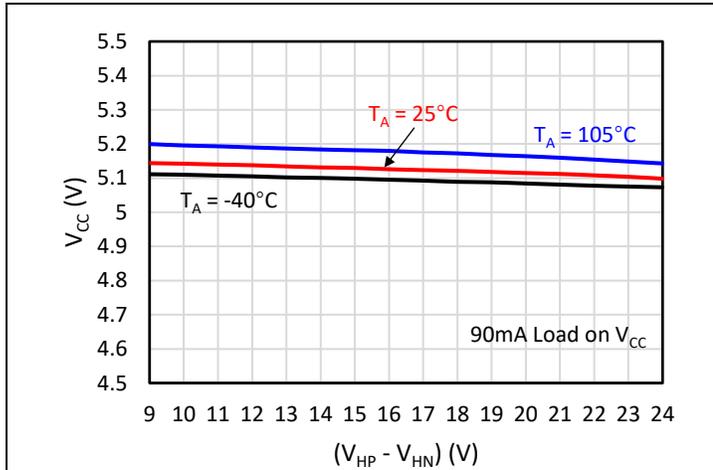


图 8-1 V_{CC} vs. (V_{HP} - V_{HN}) @ V_{CC} 端口 90mA 负载电流

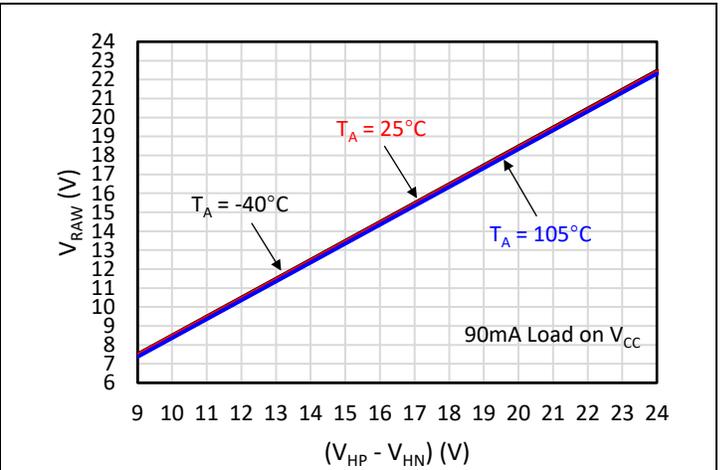


图 8-2 V_{RAW} vs. (V_{HP} - V_{HN}) @ V_{CC} 端口 90mA 负载电流

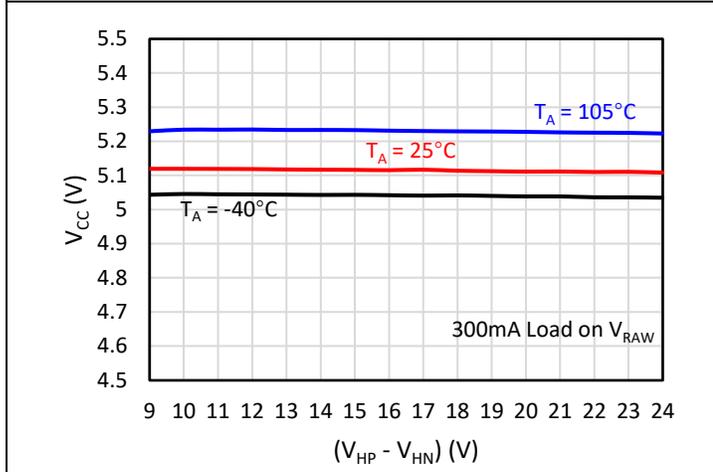


图 8-3 V_{CC} vs. (V_{HP} - V_{HN}) @ V_{RAW} 端口 300mA 负载电流

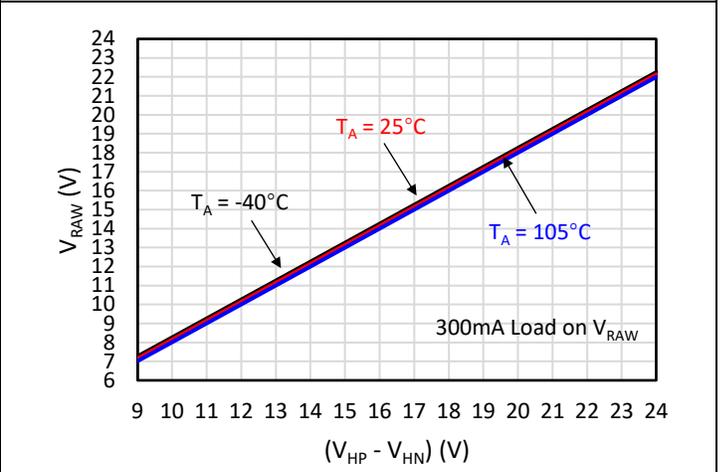


图 8-4 V_{RAW} vs. (V_{HP} - V_{HN}) @ V_{RAW} 端口 300mA 负载电流

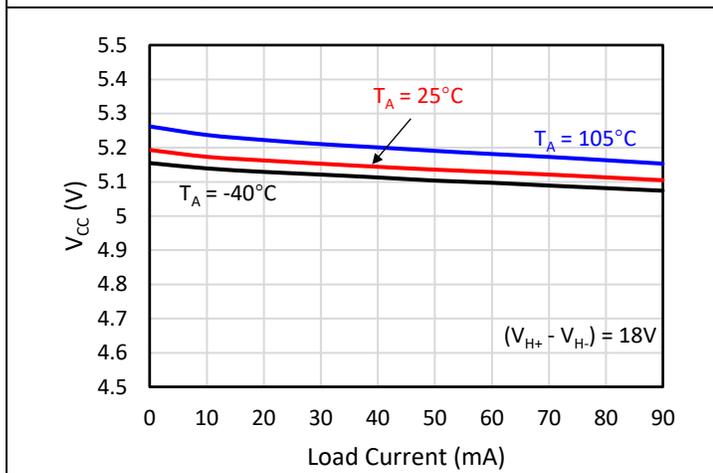


图 8-5 V_{CC} vs. V_{CC} 端口负载电流

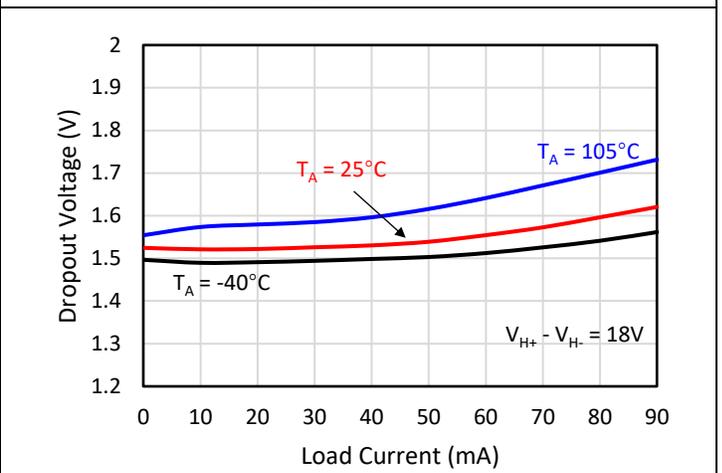
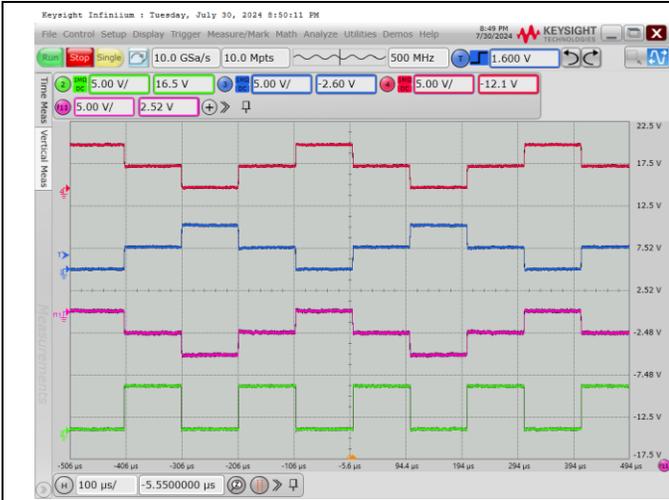
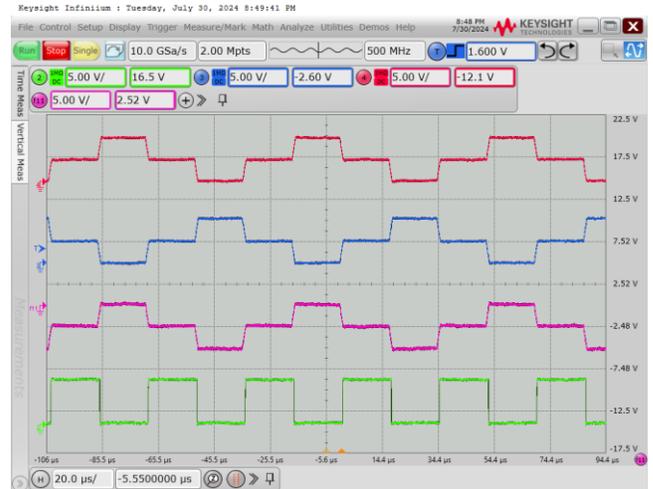


图 8-6 (V_{HP} - V_{HN}) - V_{RAW} vs. V_{CC} 端口负载电流



红色：AIO；蓝色：BIO；粉色：AIO-BIO；绿色：DOUT

图 8-7 典型波形 @ $V_{DIN} = 5V$, $f_{DIN} = 9.6\text{kbps}$, $R_{SRA} = 120\text{k}\Omega$



红色：AIO；蓝色：BIO；粉色：AIO-BIO；绿色：DOUT

图 8-8 典型波形 @ $V_{DIN} = 5V$, $f_{DIN} = 57.6\text{kbps}$, $R_{SRA} = 120\text{k}\Omega$

9. 参数测量信息

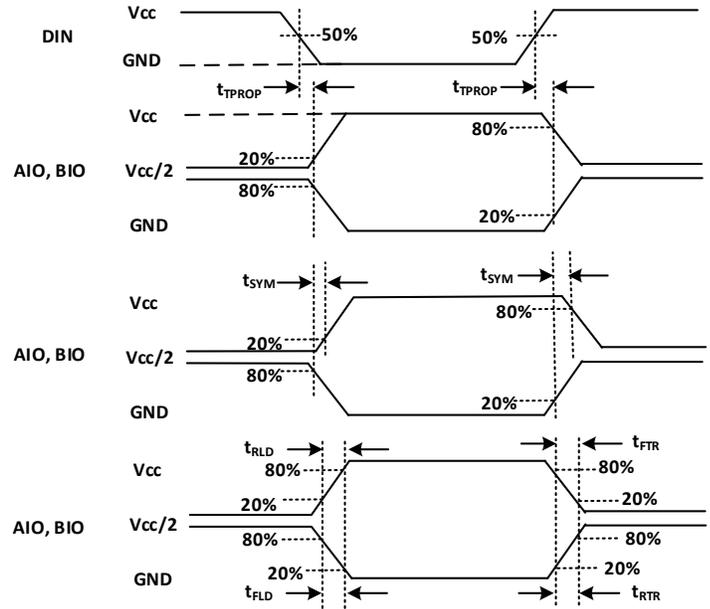
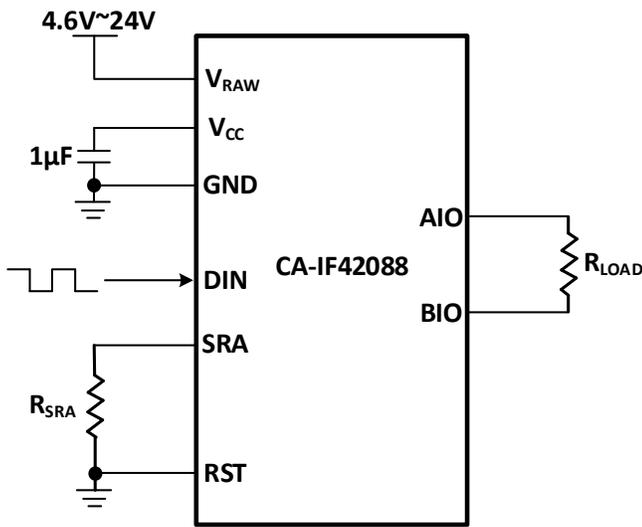


图 9-1 发射通道时序示意图

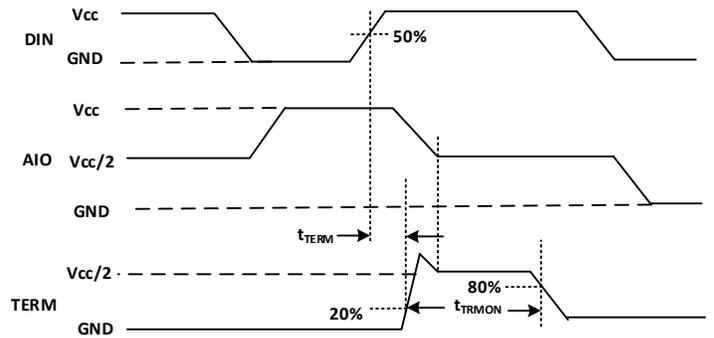
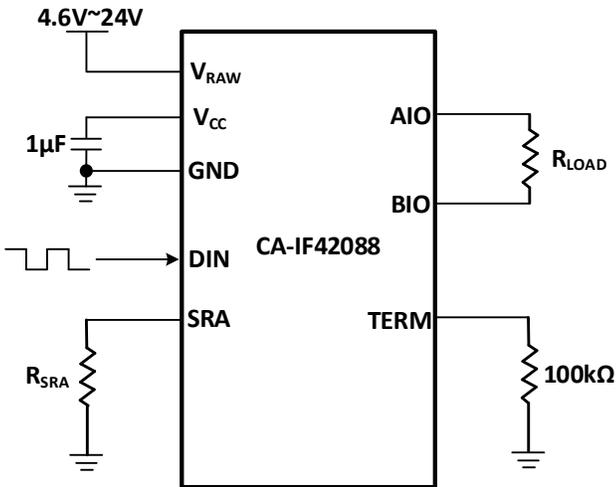


图 9-2 接收端阻抗匹配开关延迟及导通时间

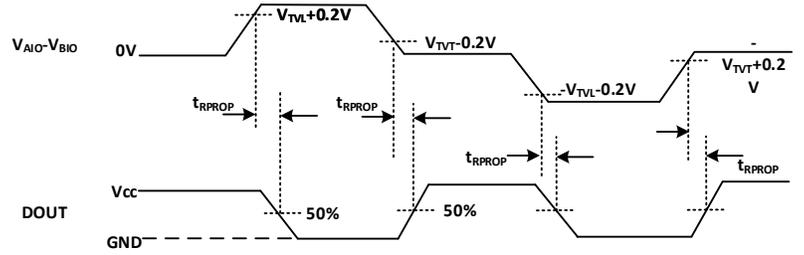
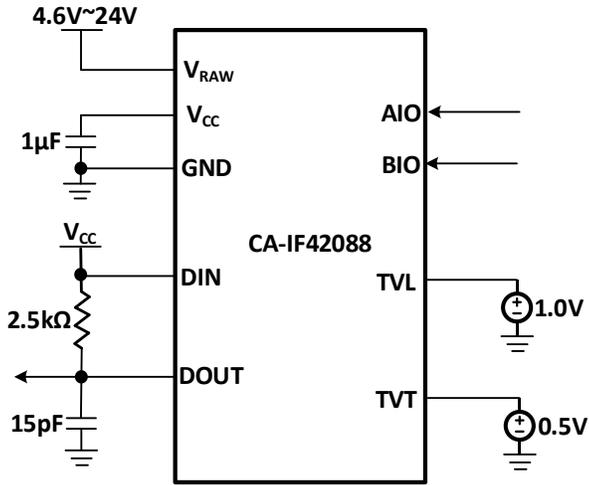


图 9-3 接收端延迟示意图

10. 详细说明

CA-IF42088 是一款符合家庭总线标准（HBS）的全集成收发机，其电源和数据共用一对双绞线。CA-IF42088 可为总线供电型应用提供最高 200kbps 的数据传输。CA-IF42088 内部集成了有源电感，无需分立交流阻断电感。

CA-IF42088 通过内部集成的 5V 稳压器可驱动外部系统，负载最大可支持 90mA；还包含动态电缆匹配电阻、可调的接收端阈值及滞回和可调的发射端摆率等特性以改善复杂应用时的信号完整性等。

10.1. 电源电压

在家庭总线标准中，电源线和数据线共用一对双绞线。在总线取电的应用中，CA-IF42088 由家庭总线供电。在此配置中，CA-IF42088 无需外部的交流阻断电感，而是通过内部集成的有源电感将总线数据与电源分离。电源通过家庭总线电缆传输给 V_{RAW} ，来为 CA-IF42088 供电并驱动外部系统负载。

对于非总线取电的应用，CA-IF42088 由 V_{RAW} 提供的系统电压供电，在此配置中，需要一个外部交流阻断电感将数据叠加到家庭总线上。通过 CAPN 连接 HNA，HN 连接 GND，CAPP 连接 HPA，HP 连接 V_{RAW} 将内部集成的有源电感旁路。

10.2. V_{RAW} 电压输出

V_{RAW} 是内部集成有源电感的输出。集成的有源电感可为 V_{RAW} 端口的外部负载提供高达 300mA（最大）的电流。使用 100 μ F（最小）的电容连接 V_{RAW} 至 GND，来驱动小于 70mA 的外部负载。使用 200 μ F（最小）的电容连接 V_{RAW} 至 GND 来驱动大于 70mA 的外部负载。要驱动更大的负载或获得稳定的输出，可将 DC-DC 转换器或 LDO 连接到 V_{RAW} 。

10.3. 内部电压调节器

CA-IF42088 内置有 5V 的线性稳压器，由 V_{RAW} 供电，能够驱动高达 90mA 的外部负载。连接 EN 与 V_{RAW} 以使 V_{CC} 的 5V 输出使能。连接 EN 与 GND 以禁用线性稳压器。如果 V_{RAW} 连接了外部的 LDO 或 DC-DC 转换器，不建议使用 V_{CC} 给外部负载供电。

10.4. 有源电感

表 10-1 电容值与最大瞬态负载电流

C_{ACT} (nF)	最大瞬态负载电流	单位
100	300	mA
200	240	mA
300	180	mA
400	150	mA
500	120	mA

CA-IF42088 集成了有源电感，以消除在总线上同时传输数据及电源的应用中对外部交流阻断电感（隔交流数据通直流电源）的需求。集成有源电感的等效值（ L_{ACT} ）由连接在 CAPP 和 HPA 之间以及 CAPN 与 HNA 之间的两个电容（ C_{ACT} ）决定。使用下面的近似公式可计算出集成有源电感的典型值：

$$L_{ACT} = \frac{C_{ACT}}{6 \times 10^{-7}} \times \left(\frac{1}{10 \times \sqrt{I_{LOAD}}} - \frac{1}{3 + 25 \times I_{LOAD}} \right)$$

其中 L_{ACT} 单位是亨利， C_{ACT} 的单位是法拉， I_{LOAD} 的单位是安培。

在 57.6kbps 应用中， C_{ACT} 的推荐值是 100nF。

与 C_{ACT} 并联在 CAPP 与 HPA 之间串联一个 180k Ω 的电阻和一个 1 μ F 的电容，为集成有源电感和 V_{RAW} 的旁路电容形成的 LC 网络提供阻尼，如图 10-1 所示。该 LC 网络还限制了启动时 V_{RAW} 及 GND 电容上的浪涌电流。

在家庭总线应用中，芯片的负载电流来源于总线，负载电流与芯片集成的有源电感及外部交流阻断电感串联，当 V_{RAW} 及 GND 之间负载电流存在瞬态波动时，会导致 V_{RAW} 的输出电压波动。对于不同应用中的最大瞬态负载电流，需要应用不同的 C_{ACT} 值（即调整内部集成电感的等效电感值）来避免 V_{RAW} 的电压波动过大。

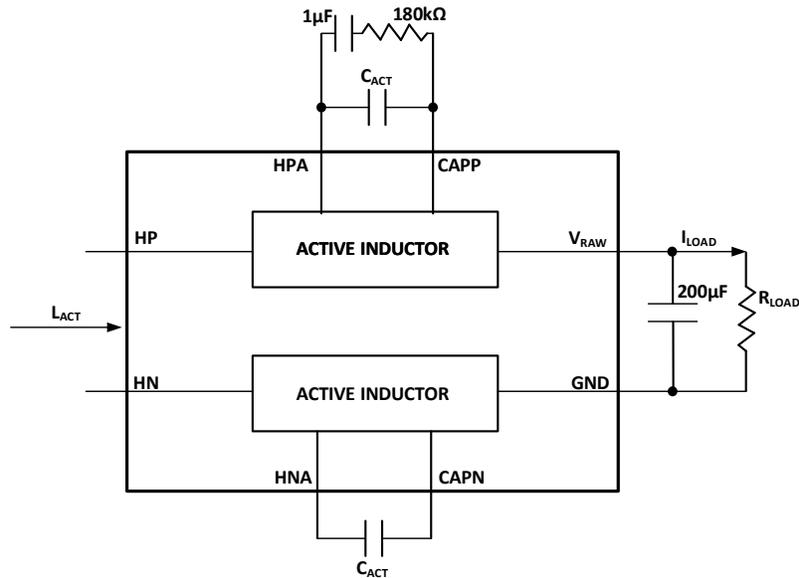


图 10-1 集成有源电感电路

10.5. 收发器工作原理

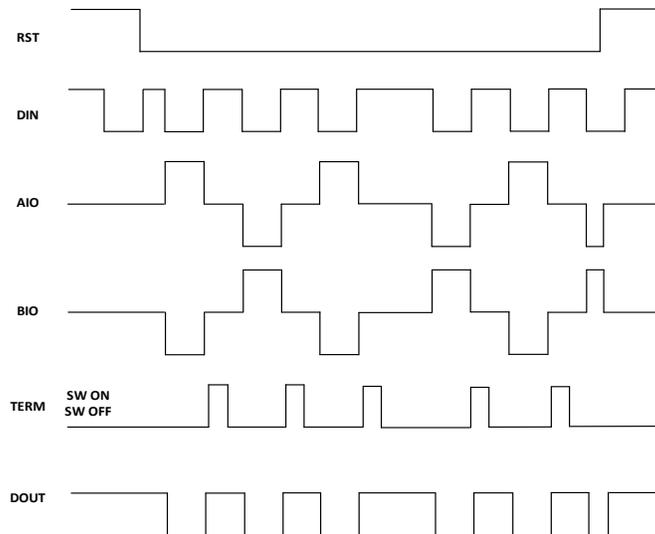


图 10-2 发射端工作示意图

CA-IF42088 内部集成半双工收发器，其总线接收器常开，发送机由逻辑接口 RST 控制。当 RST 接 GND 时使能发送机，RST 接 V_{CC} 时发送机为高阻态。DIN 及 DOUT 为 MCU 侧信号，AIO，BIO，TERM 接到家庭总线上。

编码：当 RST 接 V_{CC} 时，无论 DIN 为高或低，AIO 及 BIO 均为高阻态（AIO 及 BIO 电位均为 $V_{CC}/2$ ）；RST 接 GND 时，若 DIN 为高，AIO 及 BIO 为高阻态，若 DIN 为低，则 AIO 及 BIO 交替翻转（AMI 编码，保证 DIN 传输高或低时总线 DC 电位保持不变），如图 10-2 所示。

解码: 当 $V_{AIO} - V_{BIO}$ 的前沿越过 V_{TVL} 或者 $-V_{TVL}$ 时, DOUT 置低; 当 $V_{AIO} - V_{BIO}$ 的后沿越过 V_{TVT} 或者 $-V_{TVT}$ 时, DOUT 呈高阻态;

为了改善信号的完整性, 当发射驱动变为高阻态之后, CA-IF42088 通过一个内部开关将 TERM 连接到 AIO, 持续 $34\mu\text{s}$ (典型值)。

10.6. 动态电缆终端电阻匹配

CA-IF42088 支持最高 200kbps 的家庭总线数据传输。当工作在高速率时候, 总线阻抗和电缆终端电阻的失配会影响信号的完整性。CA-IF42088 具有动态的终端电阻以改善长电缆传输下的信号完整性。当驱动端呈高阻态时, 内部的开关会连接 AIO 端和 TERM 端, 此时 AIO 及 BIO 之间通过 TERM 电阻连接起来。当 DIN 置高或者 RST 置高时, 连接 AIO 端和 TERM 端的内部开关会在保持闭合 $34\mu\text{s}$ (典型值, 当 CA-IF42088 的 DTA 管脚悬空时) 后关断。连接在 TERM 和 BIO 之间的动态终端电阻值取决于具体的应用, 在典型应用中, 其值推荐在 50Ω 和 240Ω 之间。

此外, CA-IF42088 提供外部电阻以调节动态电缆终端电阻的开关延迟时间。CA-IF42088 的 DTA 端外接 $10\text{k}\Omega$ 至 $500\text{k}\Omega$ 电阻时, 动态终端电阻有效时间为: $t_{DTA} = R_{DTA} / 1\text{k}\Omega (\mu\text{s})$, 即 t_{DTA} 在 $10\mu\text{s}$ 至 $500\mu\text{s}$ 之间。

当传输速率较低时, 可以将 CA-IF42088 的 DTA 外接电阻值增加, 以延长终端电阻有效时间 t_{DTA} , 可以有效吸收总线在重载下的残余能量, 确保信号的传输完整性。如传输速率在 9.6kbps 时, DTA 外接电阻 R_{DTA} 取值应在 $120\text{k}\Omega \sim 200\text{k}\Omega$ 。

10.7. 发射摆率调节

SRA 和 GND 之间的电阻 R_{SRA} 控制发射信号在 AIO 和 BIO 端的摆率。其上升、下降时间同 R_{SRA} 成正比, 由如下公式得出:

$$T_{\text{rise}}/T_{\text{fall}} = 17 (\text{pF}) \times R_{\text{SRA}} (\Omega)$$

在多数应用中, R_{SRA} 的建议值为 $62\text{k}\Omega$, 这样输出端会有 $1\mu\text{s}$ 的上升和下降时间, R_{SRA} 的取值应在 $33\text{k}\Omega$ 和 $470\text{k}\Omega$ 之间。

10.8. 接收端阈值调节

接收端的阈值取决于 TVL 和 TVT 端的电压值。在 TVL 端的电压值设置了总线信号 ($V_{AIO} - V_{BIO}$) 的前沿, 在 TVT 端的电压值设置了总线信号 ($V_{AIO} - V_{BIO}$) 的后沿, 需要确保 $V_{TVL} > V_{TVT}$ 。

当 $V_{AIO} - V_{BIO}$ 越过 V_{TVL} 或者 $-V_{TVL}$ 时候, DOUT 置低。当 $V_{AIO} - V_{BIO}$ 越过 V_{TVT} 或者 $-V_{TVT}$ 时候, DOUT 呈高阻态, 见图 10-3。在逻辑电源和 DOUT 之间连接一个上拉电阻。

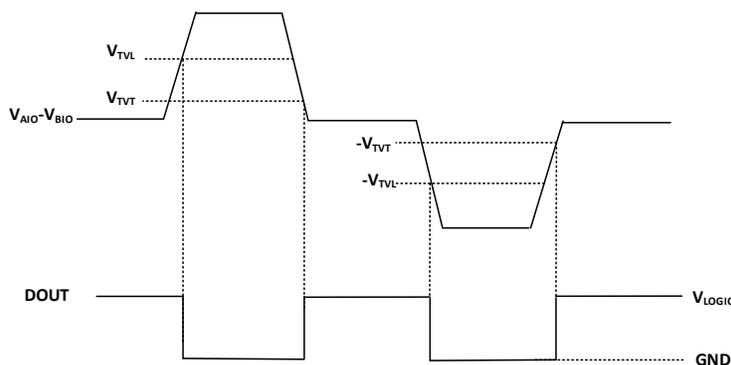


图 10-3 接收端阈值示意图

10.9. RST 功能

CA-IF42088 具有一个总线复位输入, 将 RST 置低来使能发射端, 将 RST 置高来关闭发射端。RST 也控制着内部动态电缆终端匹配电阻。在驱动输出呈高阻态后, 要确保将 RST 置低至少 $34\mu\text{s}$ (典型值) 以使内部开关闭合。

10.10. 高通滤波器

CA-IF42088 内部接收器包含一个高通滤波器以滤除在 AIO 和 BIO 处的低频电压波动。将 $\overline{\text{HPEN}}$ 连接到 GND，以启动接收器输入端内部的高通滤波器。将 $\overline{\text{HPEN}}$ 连接到 VCC，则关闭高通滤波器。确保 $\overline{\text{HPEN}}$ 总是处于连接状态，不建议悬空。

11. 应用信息

11.1. 总线端口浪涌保护

为应对浪涌，总线端口 AIO、BIO、HP、HN 和 TERM 必须通过外部的器件保护起来，典型应用详见图 11-2 和图 11-3。

AIO、BIO 和 TERM 端口的浪涌保护：将不超过 5.8V 耐压的 TVS 二极管连接到 AIO 和 GND 以及 BIO 和 GND 之间。在 AIO 和 BIO 与每个 TVS 二极管之间接入一个 4.7Ω 的限流电阻，以限制浪涌瞬变期间流入 AIO/BIO 的电流。根据浪涌瞬变极性，残余电流会经由 AIO/BIO 端口流入内部的 ESD 钳位二极管到 VCC 或者 GND。将一个 $1\mu\text{F}$ （最小）电容尽量靠近 VCC 端口并且另一端连接 GND，建议在 VCC 和 GND 之间再接入一个最小 $10\mu\text{F}$ 的大电容，有助于吸收浪涌瞬态的电流和抑制 VCC 端的电压过冲。

HP 和 HN 端口的浪涌保护：HP 和 HN 之间接入一个不超过 24V 的 TVS 二极管，同时 TVS 二极管与 HP 之间串联一个 1Ω 的电阻，使外部 TVS 二极管和内部钳位电路共同承担浪涌电流的冲击，如图 11-1 所示。

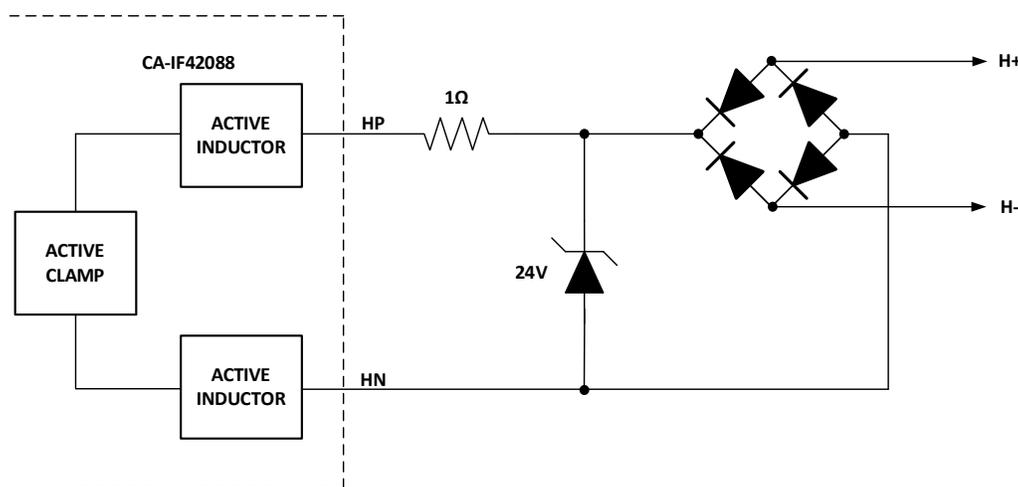


图 11-1 HP 和 HN 浪涌保护

11.2. PCB 布线考虑

尽管在 H+ 和 H- 总线上不要求匹配，还是要将它们尽量地靠近。为了减少信号线上的寄生电容，不要将 H+ 和 H- 的走线以及连接他们的器件跨过接地平面。

为了确保足够的保护，应用时将保护二极管的接地端直接连接到地平面上。使用星型连接所有的接地线，并使得它们尽量靠近接地管脚（PIN9），尽量将外部保护 TVS 二极管及其连接桥靠近家庭总线的输入端口。

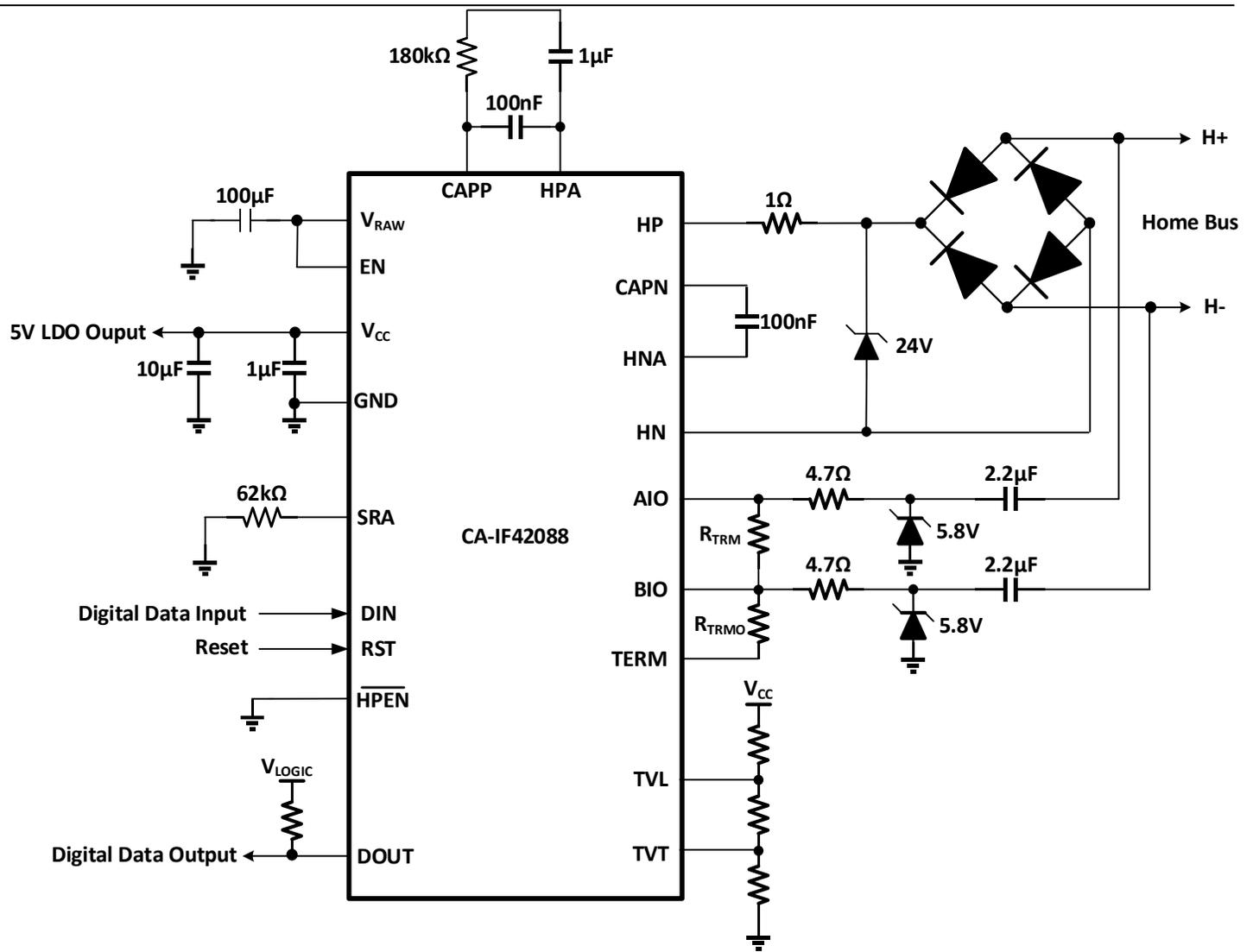


图 11-2 内置 LDO 输出的低功耗典型应用图 (57.6kbps)

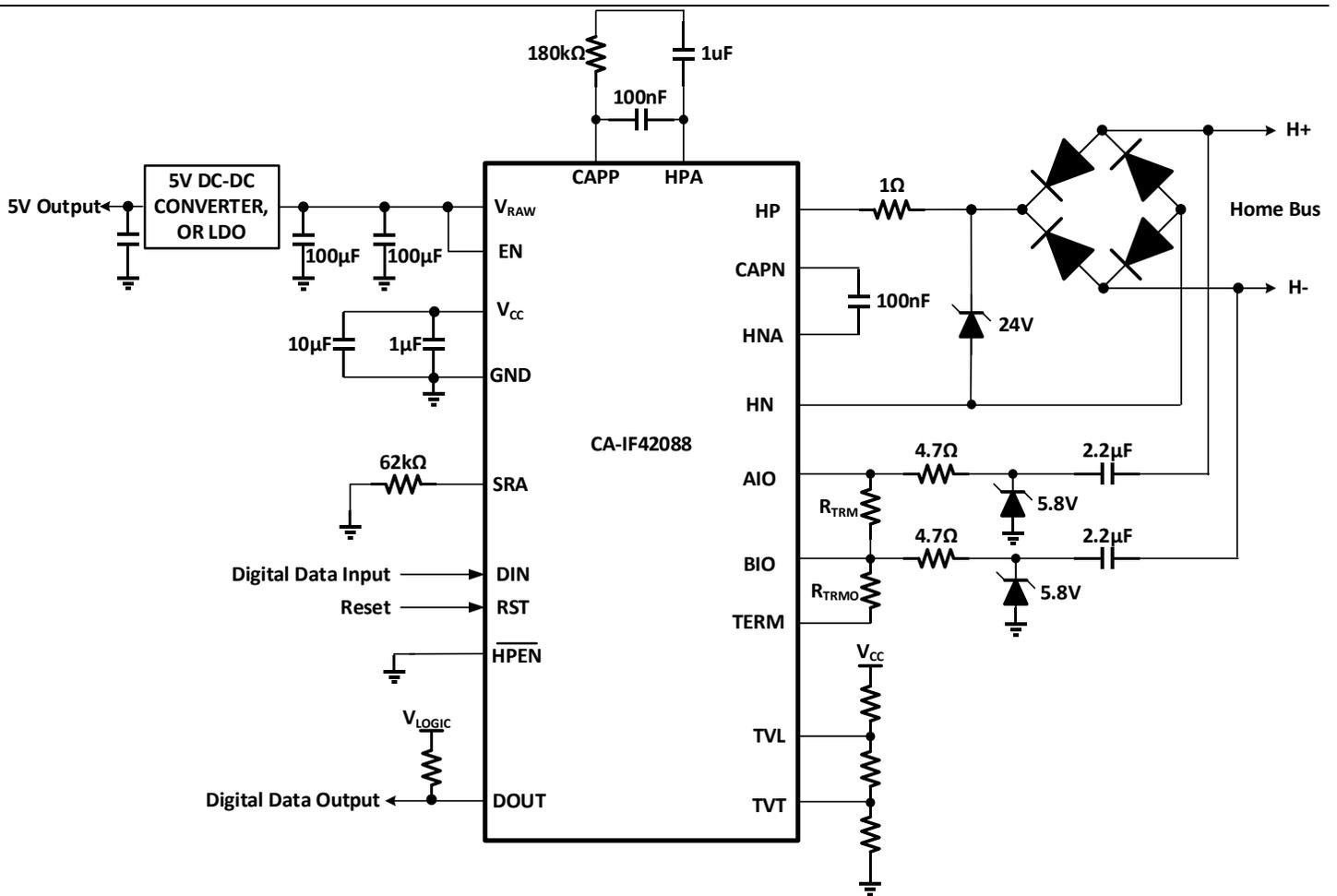


图 11-3 外置 DC-DC 转换器输出的中等功耗典型应用图 (57.6kbps)

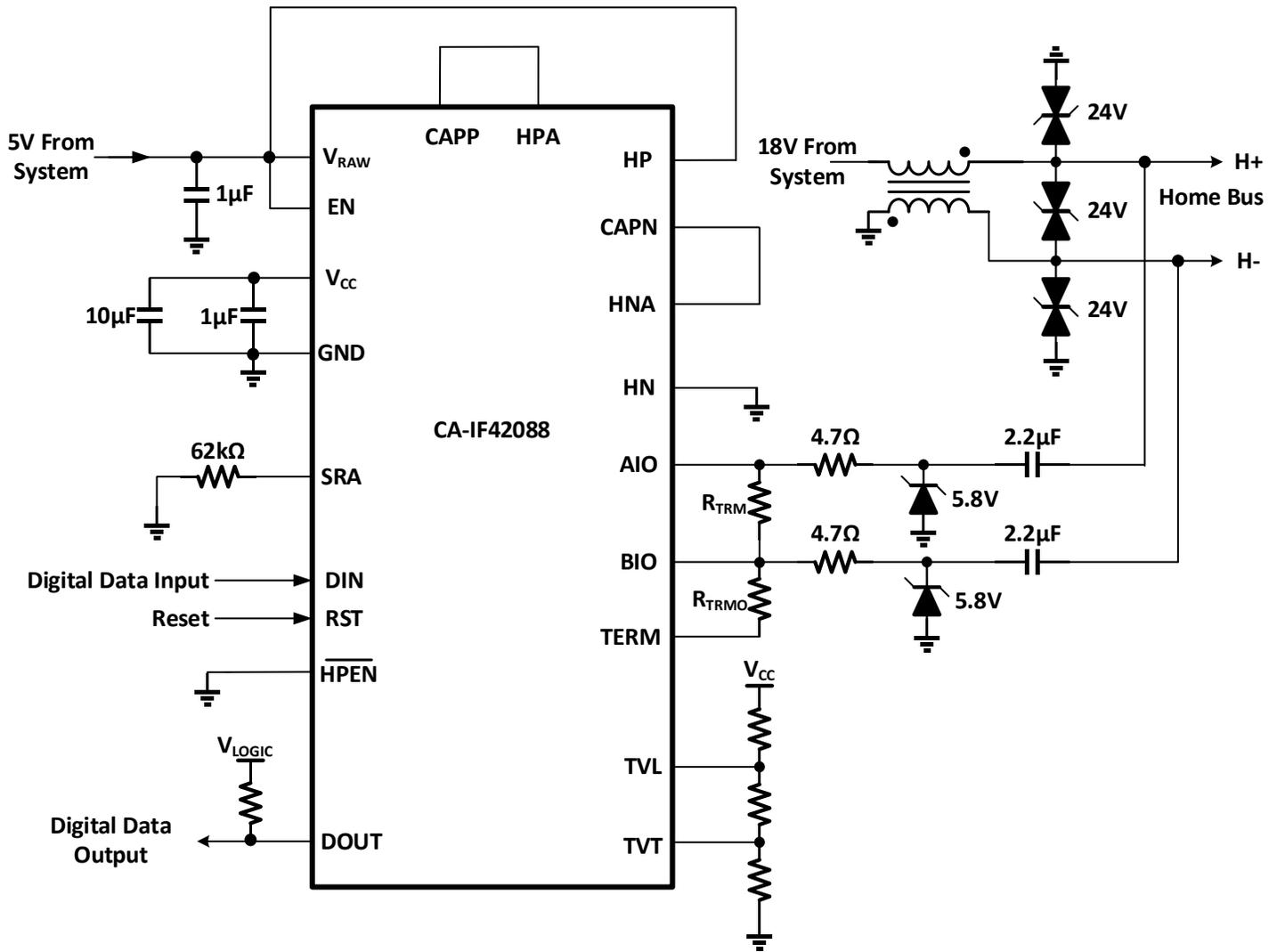
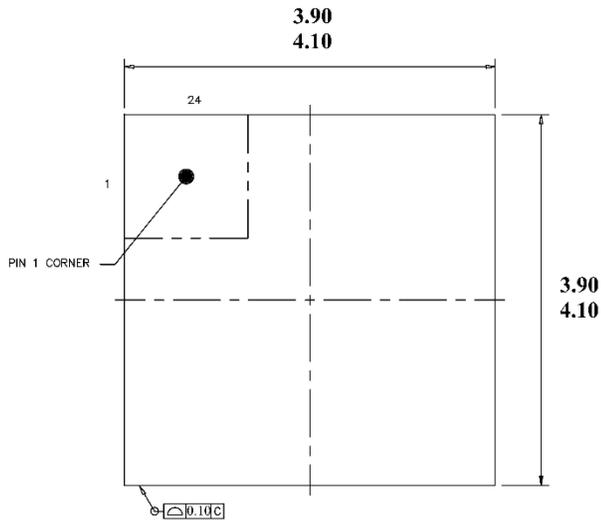


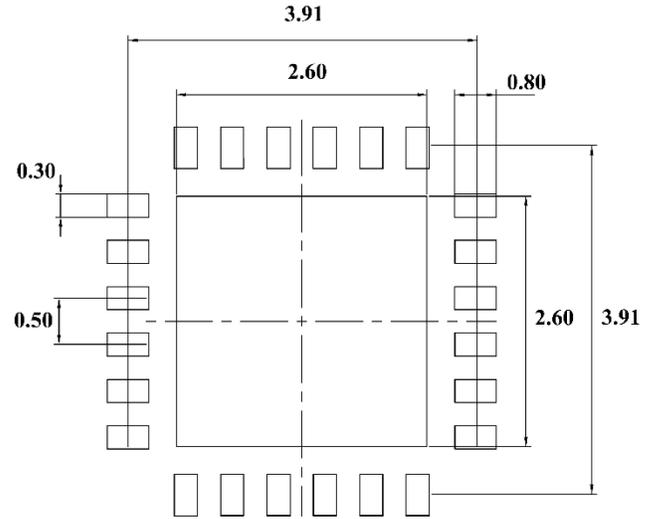
图 11-4 CA-IF42088 在供电侧的典型应用图 (57.6kbps)

12. 封装信息

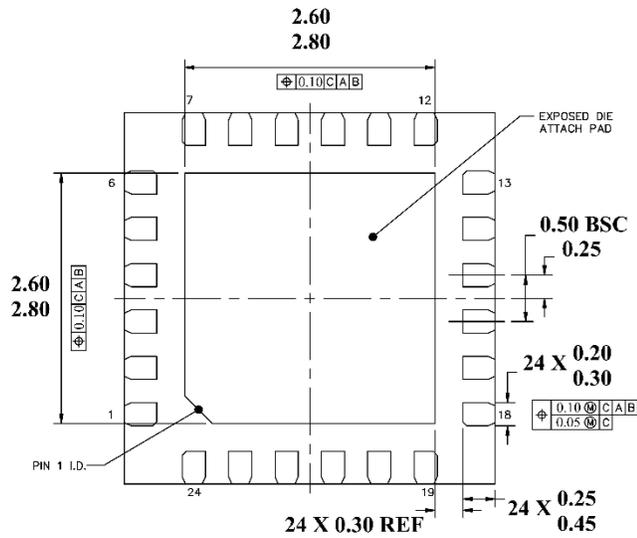
12.1. QFN24 外形尺寸



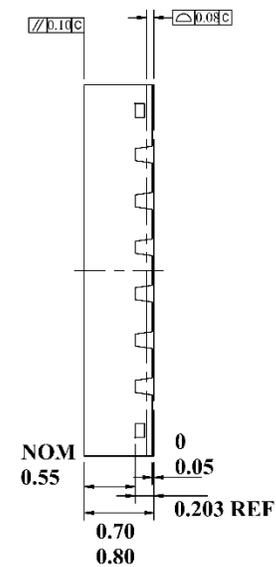
TOP VIEW



RECOMMENDED LAND PATTERN



BOTTOM VIEW



SIDE VIEW

13. 焊接信息

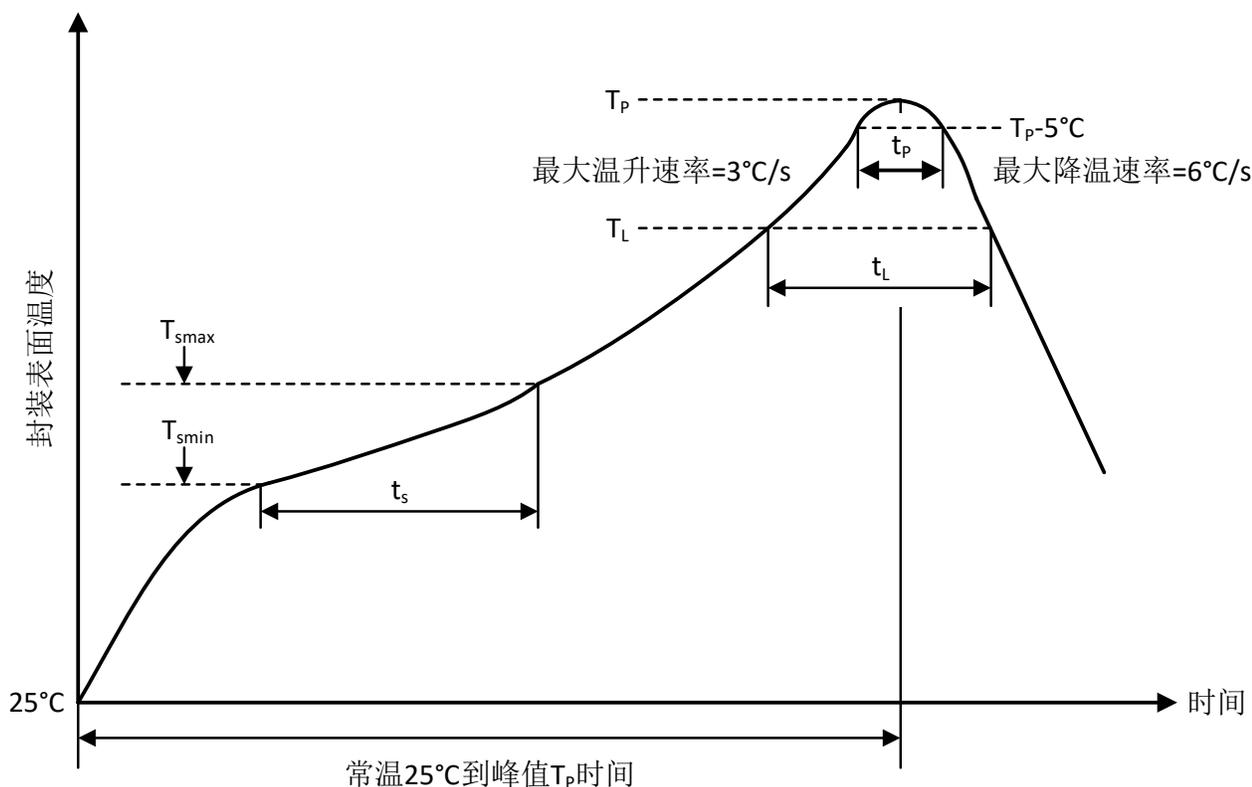


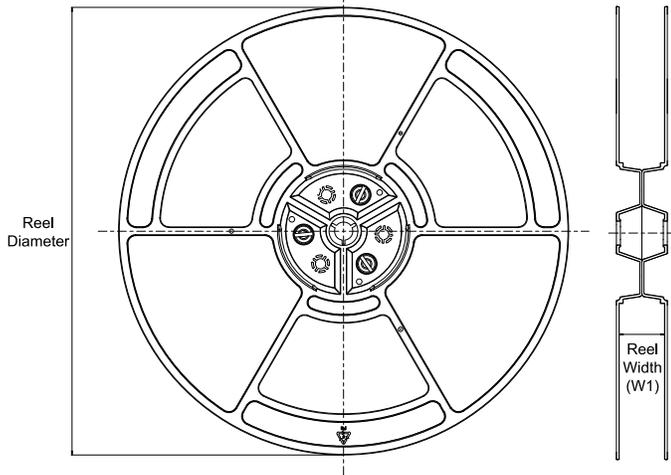
图 13-1 焊接温度曲线

表 13-1 焊接温度参数

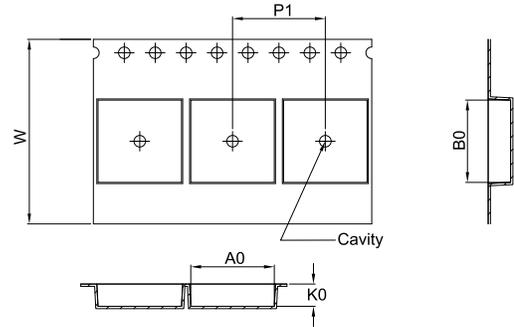
简要说明	无铅焊接
温升速率 (T _L =217°C 至峰值 T _p)	最大 3°C/s
T _{smin} =150°C 到 T _{smax} =200°C 预热时间 t _s	60~120 秒
温度保持 217°C 以上时间 t _L	60~150 秒
峰值温度 T _p	260°C
小于峰值温度 5°C 以内时间 t _p	最长 30 秒
降温速率 (峰值 T _p 至 T _L =217°C)	最大 6°C/s
常温 25°C 到峰值温度 T _p 时间	最长 8 分钟

14. 卷带信息

REEL DIMENSIONS

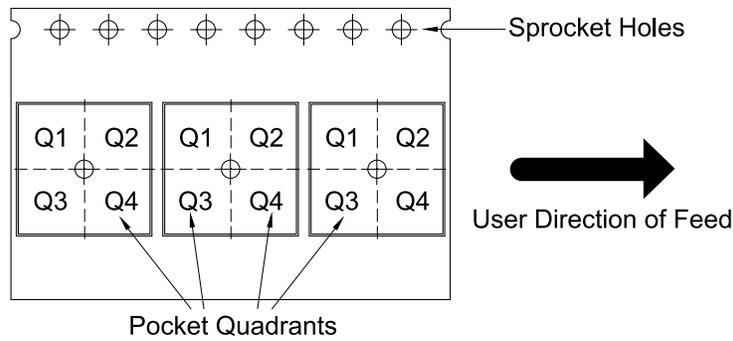


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CA-IF42088	QFN	F	24	3000	330	12.4	4.3	4.3	1.1	8.0	12.0	Q1

15. 重要声明

上述资料仅供参考使用，用于协助 Chipanalog 客户进行设计与研发。Chipanalog 有权在不事先通知的情况下，保留因技术革新而改变上述资料的权利。

Chipanalog 产品全部经过出厂测试。针对具体的实际应用，客户需负责自行评估，并确定是否适用。Chipanalog 对客户使用所述资源的授权仅限于开发所涉及 Chipanalog 产品的相关应用。除此之外不得复制或展示所述资源，如因使用所述资源而产生任何索赔、赔偿、成本、损失及债务等，Chipanalog 对此概不负责。

商标信息

Chipanalog Inc.®、Chipanalog®为 Chipanalog 的注册商标。



<http://www.chipanalog.com>