

CA-IF4023 AISG 开关键控同轴调制解调收发器

1. 产品特性

- 接收器具有较宽的输入动态范围：
 - -15dBm 至 +5dBm
- 可调节发送器输出功率以补偿外部损耗：
 - 5.4dBm 至 12dBm
- 发射输出符合 AISG 3.0 辐射标准要求
- 针对塔台设备提供总线仲裁自动方向控制
- 支持所有 AISG 信号速率：9.6kbps、38.4kbps、115.2kbps
- 集成中心频率为 2.176MHz 的有源带通滤波器
- 模拟供电电压范围：3V 至 5.5V
- 逻辑供电电压范围：1.6V 至 5.5V
- 低功耗待机模式
- 3mm × 3mm 16 引脚四方扁平无引线 (QFN) 封装
- 工作温度范围：-40°C ~ 125°C

2. 应用

- 基站
- 塔顶放大器 (TMA)
- 通用调制解调器接口

3. 概述

CA-IF4023 是一款全集成 AISG 收发器，符合天线接口标准组织(AISG)的 v3.0 规范。器件内部集成发送器、接收器和有源滤波器，与分立方案相比，大幅缩减开发成本及系统尺寸。

CA-IF4023 接收器具有 20dB 的输入动态范围，其内部有源窄带带通滤波器的中心频率为 2.176MHz，即使在干扰环境下，接收器仍然有能力检测并解调出有用信号。

CA-IF4023 发送器同样集成了中心频率为 2.176MHz 的窄带有源带通滤波器，保证输出频谱满足 AISG 3.0 标准要求，可通过片外电阻调节输出功率，调节范围为 5.4dBm 至 12dBm，以补偿信号在同轴电缆及外部电路上的功率损失。

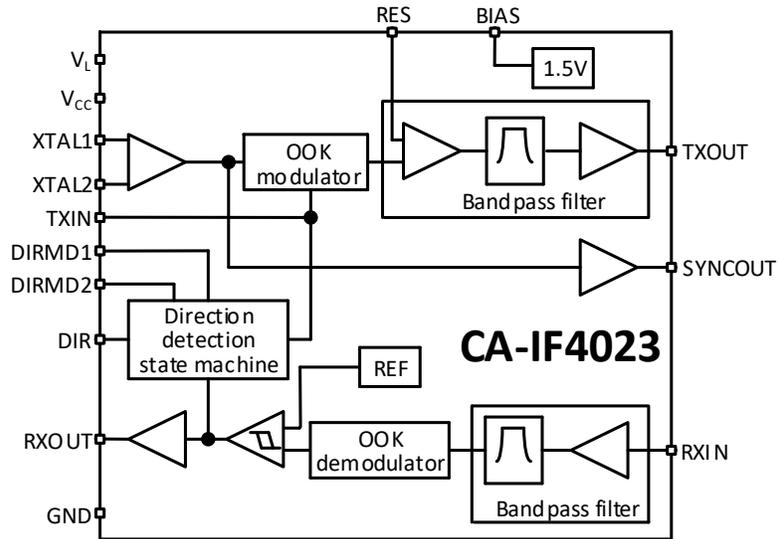
CA-IF4023 具有自动定向功能，为 RS-485 总线接口提供便利的仲裁方向控制。内部谐振电路可直接连接片外晶振或其它标准时钟源输入。

CA-IF4023 采用 3mm × 3mm、16 引脚 QFN 封装，工作在 -40°C 至 +125°C 温度范围。

器件信息

型号	封装	封装尺寸(标称值)
CA-IF4023	QFN16	3mm × 3mm

简化功能框图



4. 订购信息

表 4-1. 有效订购型号

型号	封装	引脚数	包装数量	工作温度范围
CA-IF4023	QFN16	16	3000	-40°C ~ 125°C

目录

1.	产品特性.....	1	7.5.7.	时间特性	7
2.	应用	1	7.6.	典型工作特性曲线与波形	8
3.	概述	1	8.	参数测量信息	12
4.	订购信息.....	2	9.	详细说明.....	14
5.	修订历史.....	3	9.1.	工作原理	14
6.	引脚功能描述	4	9.2.	工作模式	14
7.	产品规格.....	5	10.	应用信息.....	16
7.1.	绝对最大额定值 ¹	5	10.1.	发射频谱	16
7.2.	ESD 额定值.....	5	10.2.	接收器输入范围和阈值	16
7.3.	建议工作条件	5	10.3.	输出功率	16
7.4.	热参数	5	10.4.	外部时钟	17
7.5.	电气特性	6	10.5.	供电电源	17
7.5.1.	直流特性	6	11.	封装信息.....	19
7.5.2.	逻辑输入和输出	6	12.	焊接信息.....	20
7.5.3.	XTAL 输入和 SYNCOUT 输出.....	6	13.	卷带信息.....	21
7.5.4.	接收器滤波特性	6	14.	重要声明	22
7.5.5.	接收器特性	6			
7.5.6.	发送器特性	7			

5. 修订历史

修订版本号	修订内容	修订页码	修订日期
Version A	N/A	N/A	2020-10-29
Version 1.00	N/A	N/A	2022-04-21
Version 1.01	更新封装信息和卷带信息	19,21	2022-11-08

6. 引脚功能描述

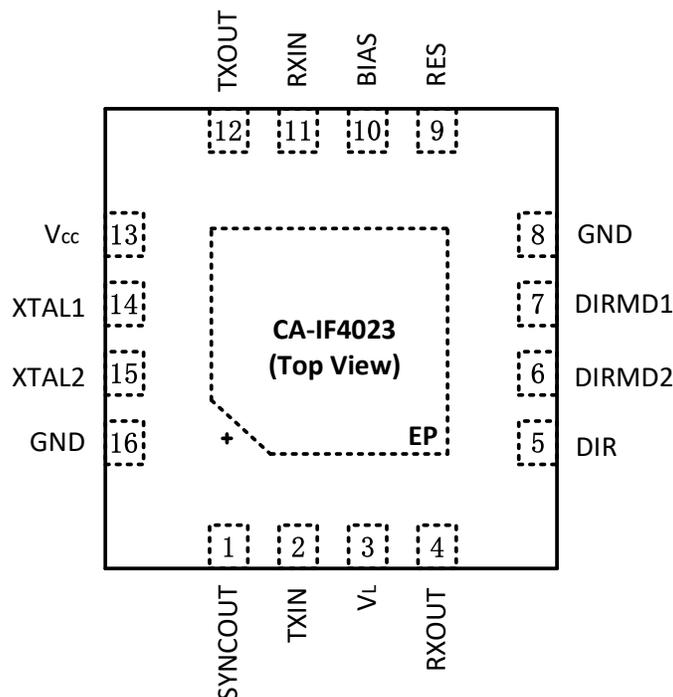


图 6-1. CA-IF4023 引脚排列

表 6-1. CA-IF4023 引脚功能描述

引脚名称	引脚编号	类型	描述
SYNCOUT	1	输出	同步时钟输出，开漏输出，通过 XTAL1 和 XTAL2 时钟输入同步其它器件，使用时建议外接 1kΩ 上拉电阻到电源 V _{CC} 。
TXIN	2	输入	发送器数字信号输入端口。
V _L	3	电源	逻辑电源输入，电压范围：1.6V 至 5.5V。
RXOUT	4	输出	接收器数字信号输出。
DIR	5	输出	信号方向指示逻辑输出，在 RXIN 检测到接收信号码流时置为高电平。
DIRMD2	6	输入	DIRSET1 和 DIRSET2 用于设置信号速率： DIRMD[2:1]: [L, L] = 9.6kbps; [L, H] = 38.4kbps; [H, L] = 115.2kbps; [H, H] = 待机模式
DIRMD1	7	输入	
GND	8, 16	地	地
RES	9	输入	发送器输出功率调节端口，该引脚输入电压由 BIAS 和 GND 之间的分压电阻设置。
BIAS	10	输出	偏置电压输出，外接分压电阻到 RES 引脚，用于设置发射功率。建议在该引脚外接 1μF 去耦电容。
RXIN	11	输入	接收器输入。
TXOUT	12	输出	发送器输出。
V _{CC}	13	电源	模拟电源输入，电压范围：3.0V 至 5.5V。
XTAL1	14	输入	外接晶振输入端口，若 XTAL1 直接连接外部振荡器或锁相环的输出时钟，则将 XTAL2 接地。
XTAL2	15	输入	
EP	—	—	底部散热焊盘，建议接地。

7. 产品规格

7.1. 绝对最大额定值¹

参数		最小值	最大值	单位
V _{CC} , V _L	电源电压	-0.3	6.0	V
V _{IO}	模拟端口对地电压 RXIN, TXOUT, XTAL1, XTAL2, SYNCOUT, RES, BIAS	-0.3	V _{CC} + 0.3	V
V _{IO}	逻辑端口对地电压 TXIN, RXOUT, DIR, DIRMD1, DIRMD2	-0.3	V _L + 0.3	V
I _O	逻辑端口输出电流	-20	20	mA
I _O	TXOUT 端口输出电流	内部限流		
I _O	SYNCOUT 端口输出电流	内部限流		
T _J	结温		150	°C
T _{STG}	存储温度范围	-65	150	°C

注:

1. 工作条件达到或超出上述绝对最大额定值可能会导致器件永久性损坏。这里给出的是器件额定值, 并非工作条件, 不能据此推断产品能否正常工作。器件长期在超出最大额定值条件下工作会影响产品的可靠性, 甚至导致产品损坏。

7.2. ESD 额定值

		数值	单位
V _{ESD} 静电放电	人体模型 (HBM), 根据 ANSI/ESDA/JEDEC JS-001 ¹ , RXIN 或 TXOUT 对 GND	±8000	V
	人体模型 (HBM), 根据 ANSI/ESDA/JEDEC JS-001, 其它所有引脚	±2000	
	组件充电模式(CDM), 根据 JESD22-C101, 所有引脚	±1000	

注:

JEDEC 文件 JEP155 规定 500V HBM 可通过标准 ESD 控制过程实现安全生产。

7.3. 建议工作条件

参数		最小值	典型值	最大值	单位
V _{CC}	模拟供电电压	3	5	5.5	V
V _L	逻辑供电电压	1.6	3.3	5.5	V
V _{IN}	RXIN 输入信号幅度			1.12	V _{pp}
1/t _{UI}	信号速率	9.6		115.2	kbps
V _{IH}	高电平输入阈值	TXIN, DIRMD1, DIRMD2		V _L	V
		XTAL1, XTAL2	0.7 x V _{CC}	V _{CC}	
V _{IL}	低电平输入阈值	TXIN, DIRMD1, DIRMD2	0	0.3 x V _L	V
		XTAL1, XTAL2	0	0.3 x V _{CC}	
R1	BIAS 和 RES 端口间电阻		4.1		kΩ
R2	RES 和 GND 端口间电阻		10		kΩ
R _{SYNC}	SYNCOUT 上拉电阻		1		kΩ
V _{RES}	RES 端口电压	0.7		1.5	V
f _{OSC}	振荡频率	-30ppm	8.704	30ppm	MHz
C _C	RXIN 端口与线缆间的隔直电容		100		nF
C _{BIAS}	BIAS 端口与 GND 间的去耦电容		1		μF
T _A	环境温度	-40		125	°C
T _J	结温			150	°C

7.4. 热参数

热阻参数		QFN16	单位
R _{θJA}	IC 结至环境的热阻	51.6	°C/W
R _{θJC(top)}	IC 结到壳(顶部)热阻	69.5	°C/W
R _{θJB}	IC 结到板热阻	24.2	°C/W
R _{θJC(bottom)}	IC 结到壳(底部)热阻	26.1	°C/W

7.5. 电气特性

7.5.1. 直流特性

所有参数在建议工作条件下测试，环境温度 $T_A = -40^{\circ}\text{C} - 125^{\circ}\text{C}$ (除非另有说明)。

参数	测试条件	最小值	典型值	最大值	单位	
I_{CC} 模拟电源电流	TXIN = L (调制态)		30.5	44	mA	
	TXIN = H (静默态)		30	43	mA	
	TXIN = 115.2kbps, 50%占空比	DIRMD1 = L DIRMD2 = H		30.3	44	mA
	DIRMD1 = DIRMD2 = H (待机模式)		13.5	25	mA	
I_L 逻辑电源电流	TXIN = H, RXIN = 直流输入			50	μA	
PSRR_RX ¹ 接收器电源抑制比	$V_{TXIN} = V_L$	45			dB	
PSRR_TX ² 接收器电源抑制比	$V_{TXIN} = 0$	45			dB	
T_{JSD_RISE} 上升热关断温度			180		$^{\circ}\text{C}$	
T_{JSD_FALL} 下降热关断温度			150		$^{\circ}\text{C}$	
T_{JSD_HYS} 热关断温度迟滞窗口			30		$^{\circ}\text{C}$	
注:						
1. 定义为在直流处的 $\Delta V_{RXIN}/\Delta V_{CC}$ 。						
2. 定义为在直流处的 $\Delta V_{TXOUT}/\Delta V_{CC}$ 。						

7.5.2. 逻辑输入和输出

参数	测试条件	最小值	典型值	最大值	单位
V_{OH} 高电平逻辑输入(RXOUT, DIR)	输出拉电流 3.3mA	$0.9 \times V_L$			V
V_{OL} 低电平逻辑输入(RXOUT, DIR)	输出灌电流 3.3mA			$0.1 \times V_L$	V
I_{IH} 高电平逻辑输入电流(TXIN)	$V_{TXIN} = V_L$			1	μA
I_{IL} 低电平逻辑输入电流(TXIN)	$V_{TXIN} = 0V$	-1			μA
I_{IH} 输入电流@高电平(DIRMD1/2)	$V_{DIRMD1/2} = V_L$			50	μA
I_{IL} 输入电流@低电平(DIRMD1/2)	$V_{DIRMD1/2} = 0V$	-1			μA

7.5.3. XTAL 输入和 SYNCOUT 输出

参数	测试条件	最小值	典型值	最大值	单位
I_{XTAL_IH} 输入电流@高电平	$V_{XTAL} = V_{CC}$			10	μA
I_{XTAL_IL} 输入电流@低电平	$V_{XTAL} = 0V$	-1			μA
V_{SYNC_OL} 低电平输出电压	输出灌电流 3.3mA			0.4	V

7.5.4. 接收器滤波特性

参数	测试条件	最小值	典型值	最大值	单位
f_{PB} 接收器通带频率	$V_{RXIN} = 1.12V_{P-P}$	1.1		4.17	MHz
f_{REJ} 接收器干扰抑制频率	2.176MHz 载波幅度为 112.4mV _{P-P} , 带外杂散信号幅度为 800mV _{P-P}	1.1		4.17	MHz
t_{noise_filter} 接收器去抖时间	DIRMD1/2 设置为 9.6kbps 速率		4		μs
	DIRMD1/2 设置为 >9.6kbps 速率		2		μs

7.5.5. 接收器特性

参数	测试条件	最小值	典型值	最大值	单位
V_{IT} 接收器输入阈值	$f_{RXIN} = 2.176\text{MHz}$	-18	-15	-12	dBm
		79.6	112.4	158.8	mV _{P-P}
Z_{IN} 接收器输入阻抗	$f = f_0$	11	18		k Ω

7.5.6. 发送器特性

参数	测试条件		最小值	典型值	最大值	单位
V _{OUT} TXOUT 输出电压幅度	V _{RES} = 1.5V(最大)		10.5	12		dBm
			2.12	2.52		V _{P-P}
	V _{RES} = 0.7V (最小)			5.38	6.28	dBm
				1.17	1.3	V _{P-P}
f ₀ TXOUT 输出频率			2.176			MHz
Δf ₀ ¹ TXOUT 输出频率变化					±100	ppm
P _{OZ} 关断时输出泄漏功率	TXIN = V _L	TXOUT 输出端			1	mV _{P-P}
		线缆端			-60	dBm
输出频谱 ²			符合 AISG 频谱模板要求(3GPP TS 37.461 规范), 见图 10-1			
Z _O TXOUT 输出阻抗	直流				0.03	Ω
	f _{SW} = 10MHz				3.5	
I _{SC} TXOUT 输出短路电流	短路至 GND 或 V _{CC}				±200	mA

注:

- 输出频率变化主要取决于片外晶振频率的变化。
- 在 RXIN 和 GND 之间接 470pF 电容, 频率超过 150MHz 以上的测试结果由测试仪器的设置决定。

7.5.7. 时间特性

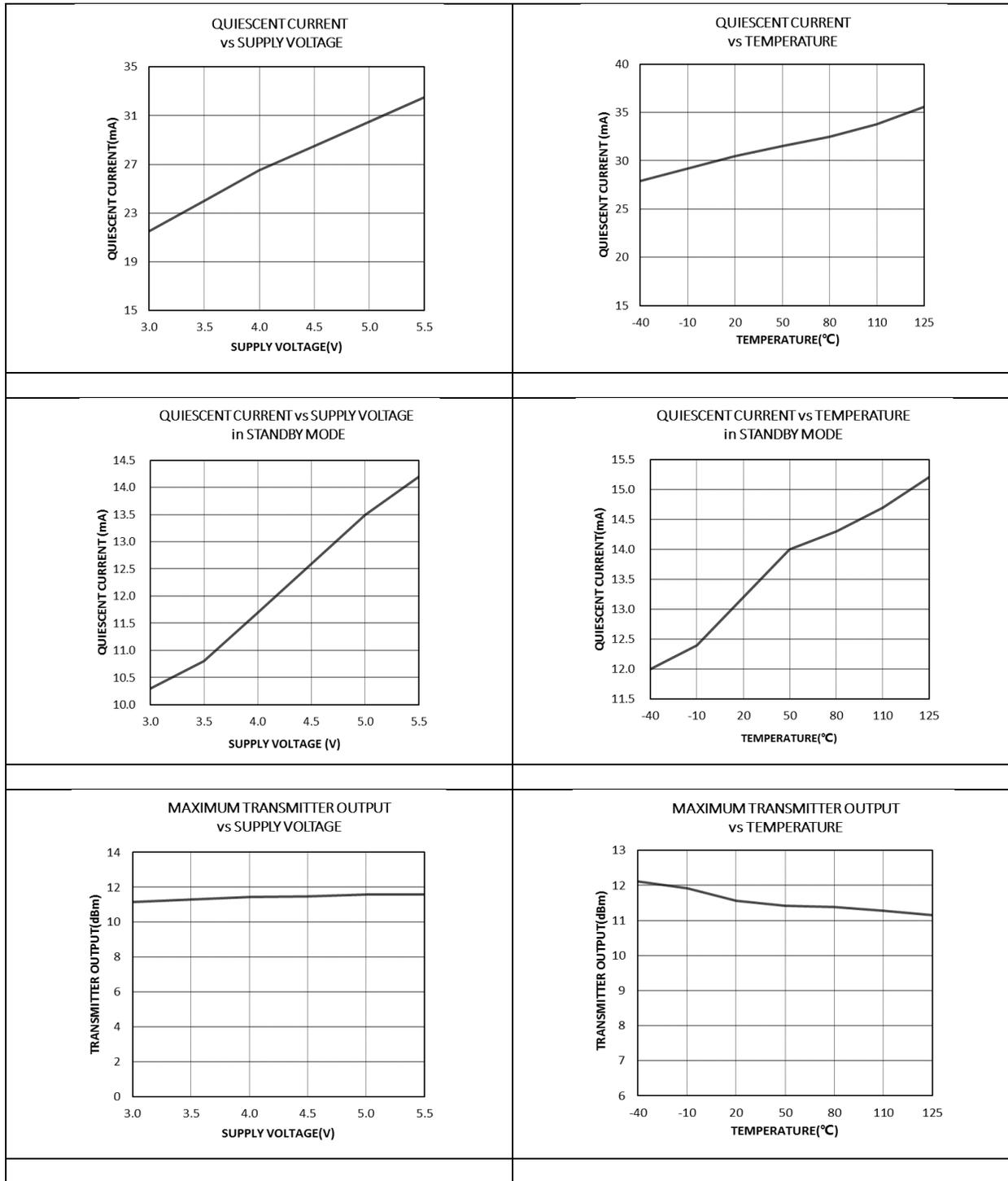
参数	测试条件		最小值	典型值	最大值	单位
t _{RX} 接收器传输延时	RXIN 到 RXOUT, DIRMD1 = DIRMD2 = 0V			7	10	μs
	RXIN 到 RXOUT, DIRMD1 = V _L , DIRMD2 = 0V (38.4kbps), 或 DIRMD1 = 0V, DIRMD2 = V _L (115.2kbps)			5	10	
t _R , t _F 接收器输出上升下降时间	t _R : 10%至 90%; t _F : 90%至 10%; R _L = 1kΩ, C _L = 10pF			8	20	ns
t _{TX} 发送器传输延时	TXIN 到 TXOUT				3	μs
t _{DIR_SKEW} ¹ DIR 相对 RXOUT 的延时			270	670		ns
t _{DIR} DIR 为高电平时长	DIRMD1 = DIRMD2 = 0V (9.6kbps)				1667	μs
	DIRMD1 = V _L , DIRMD2 = 0V (38.4kbps)				417	
	DIRMD1 = 0V, DIRMD2 = V _L (115.2kbps)				137	
ΔDC 接收器输出信号占空比变化	RXIN 输入 50%占空比、载频为 2.176MHz 的 OOK 调制信号。 ²	RXIN = 0dBm			±10	%
		RXIN = -10dBm			±10	

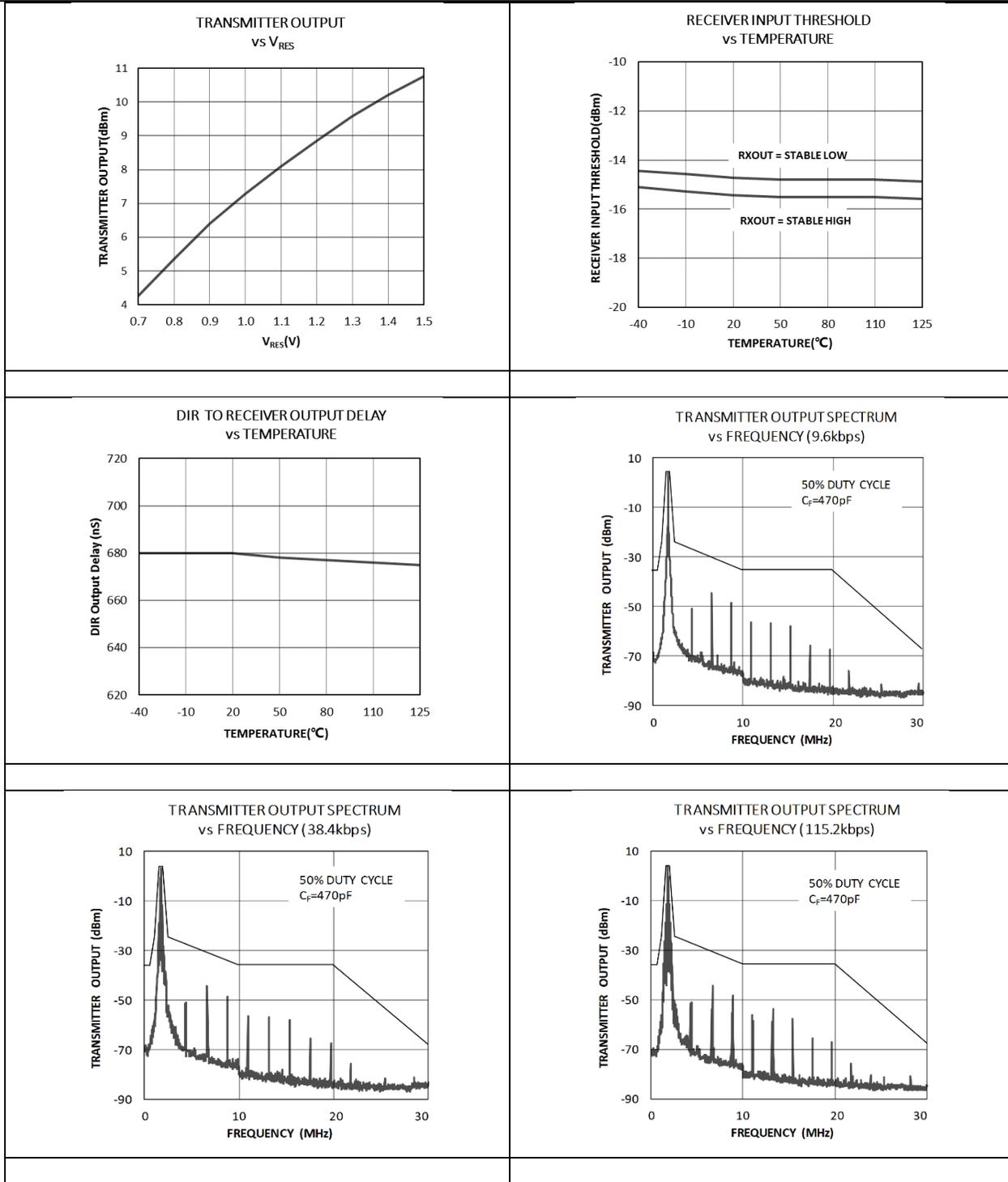
注:

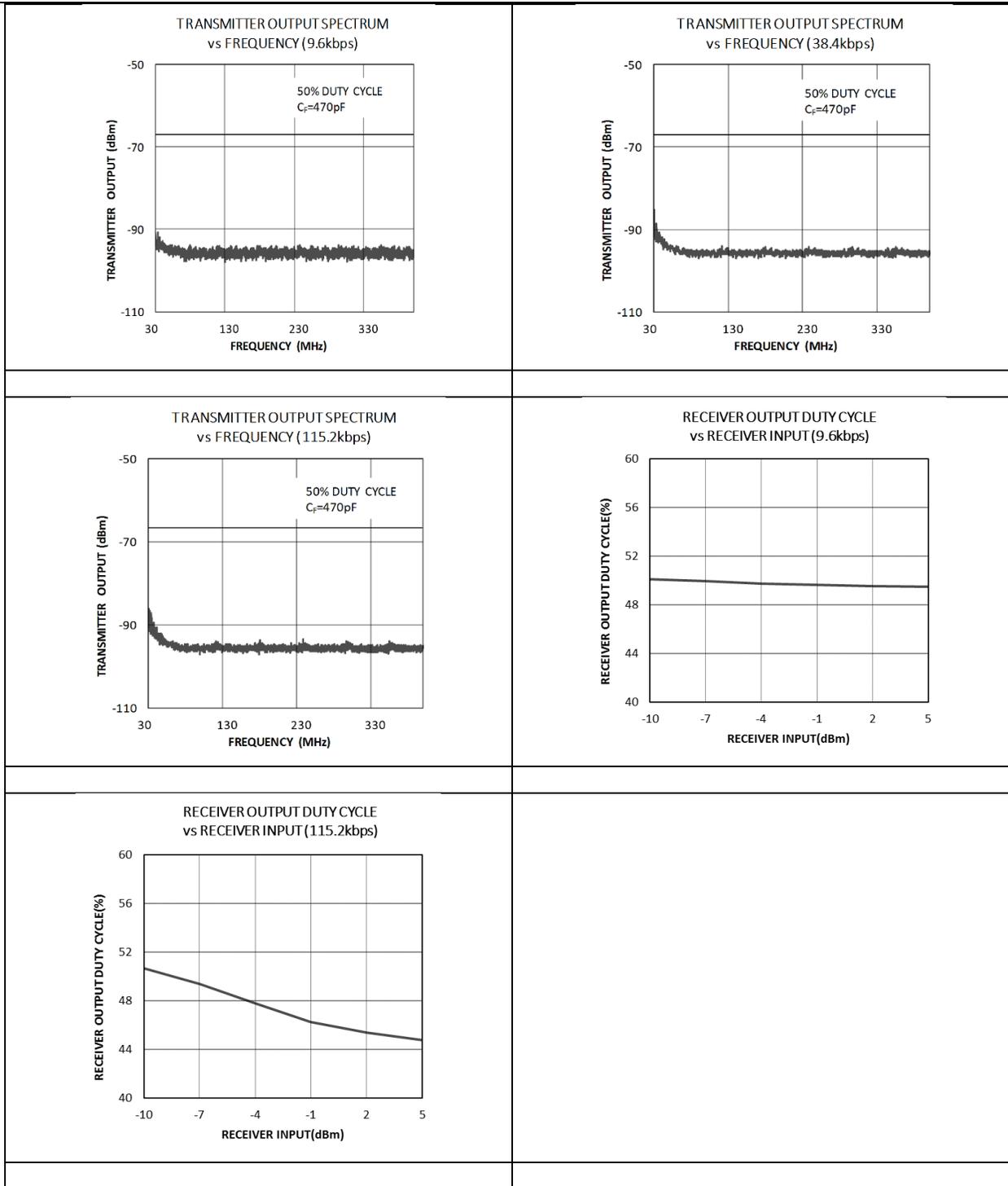
- 见图 8-2。
- ±2μs 的包络上升下降时间。

7.6. 典型工作特性曲线与波形

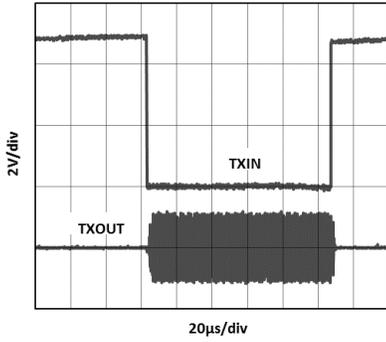
所有参数在建议工作条件下测试，环境温度 $T_A = -40^{\circ}\text{C} - 125^{\circ}\text{C}$ (除非另有说明)。



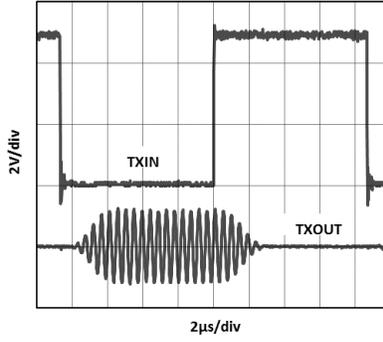




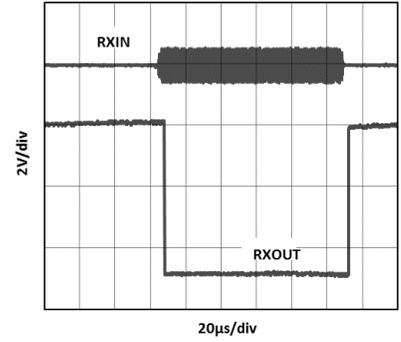
TRANSMITTER PROPAGATION DELAY
AT 9.6kbps



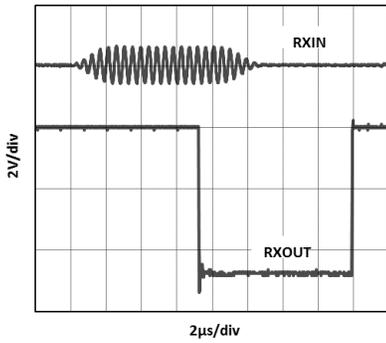
TRANSMITTER PROPAGATION DELAY
AT 115.2kbps



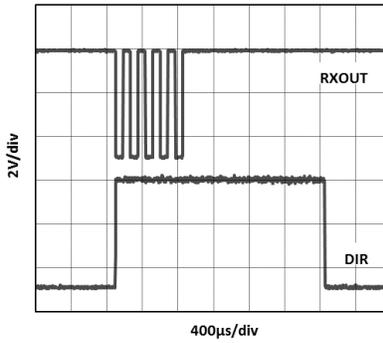
RECEIVER PROPAGATION DELAY
AT 9.6kbps



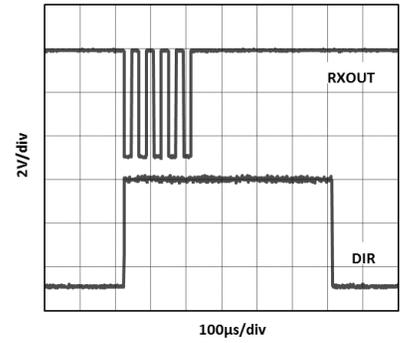
RECEIVER PROPAGATION DELAY
AT 115.2kbps



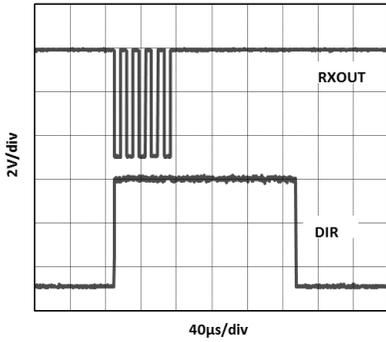
RECEIVER OUTPUT TO DIR
AT 9.6kbps



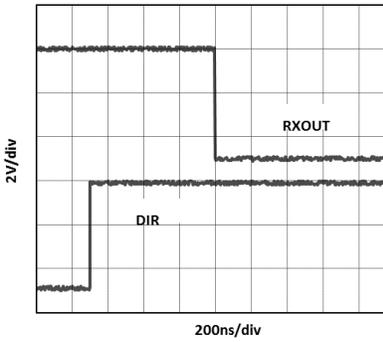
RECEIVER OUTPUT TO DIR
AT 38.4kbps



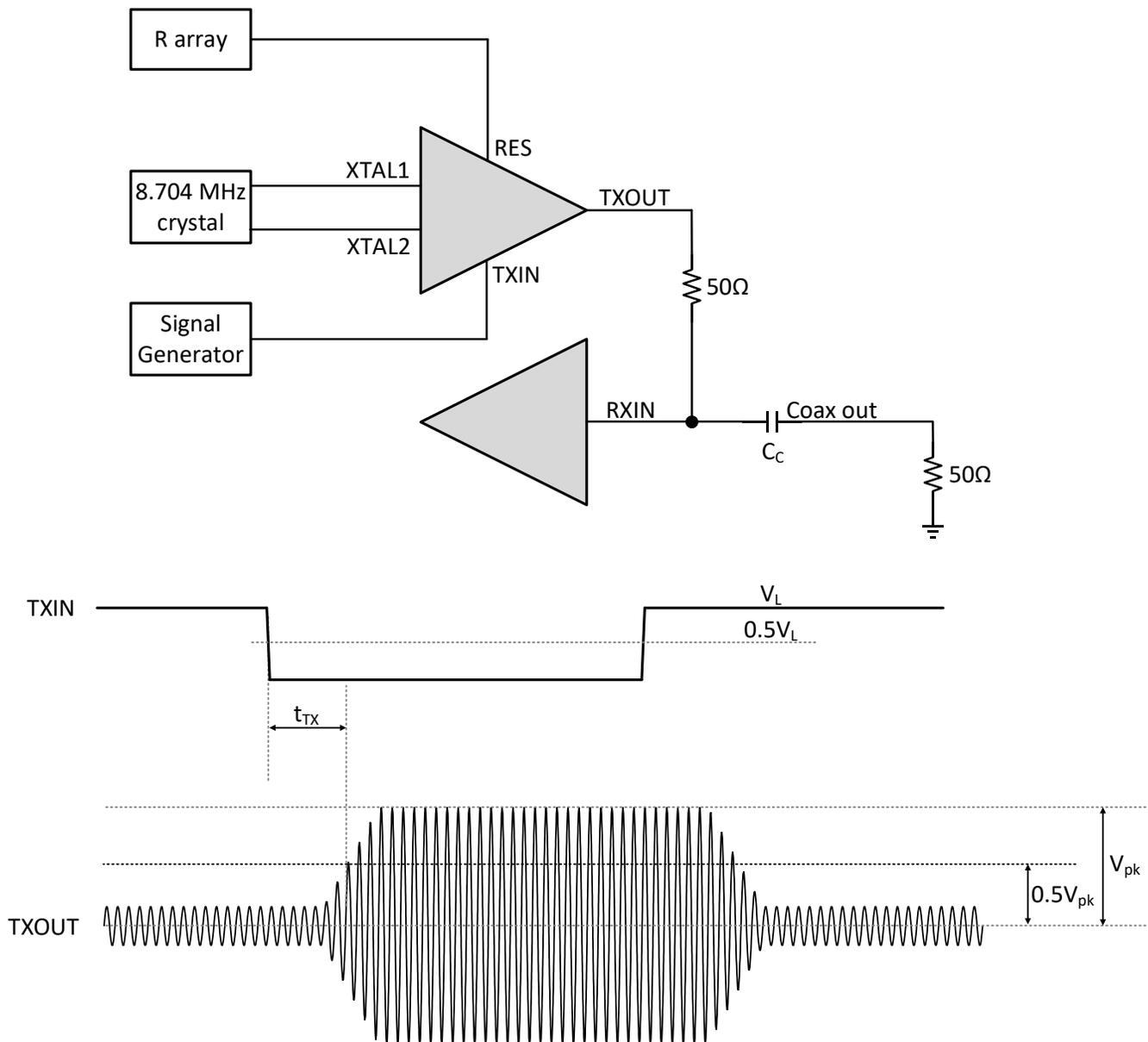
RECEIVER OUTPUT TO DIR
AT 115.2kbps



DIR TO RECEIVER OUTPUT



8. 参数测量信息



注:

1. 信号发生器产生的数字信号为 50% 占空比、上升/下降时间小于 6ns，输出高、低电平分别为 3.3V 和 0V。
2. C_c 取值建议为 100nF。
3. 电阻阵列取值描述见 10.3 小节。
4. 8.704MHz 的晶振或其它片外时钟源的使用说明见 10.4 小节。

图 8-1 发射链路传输延时和输出信号幅度测试电路与波形

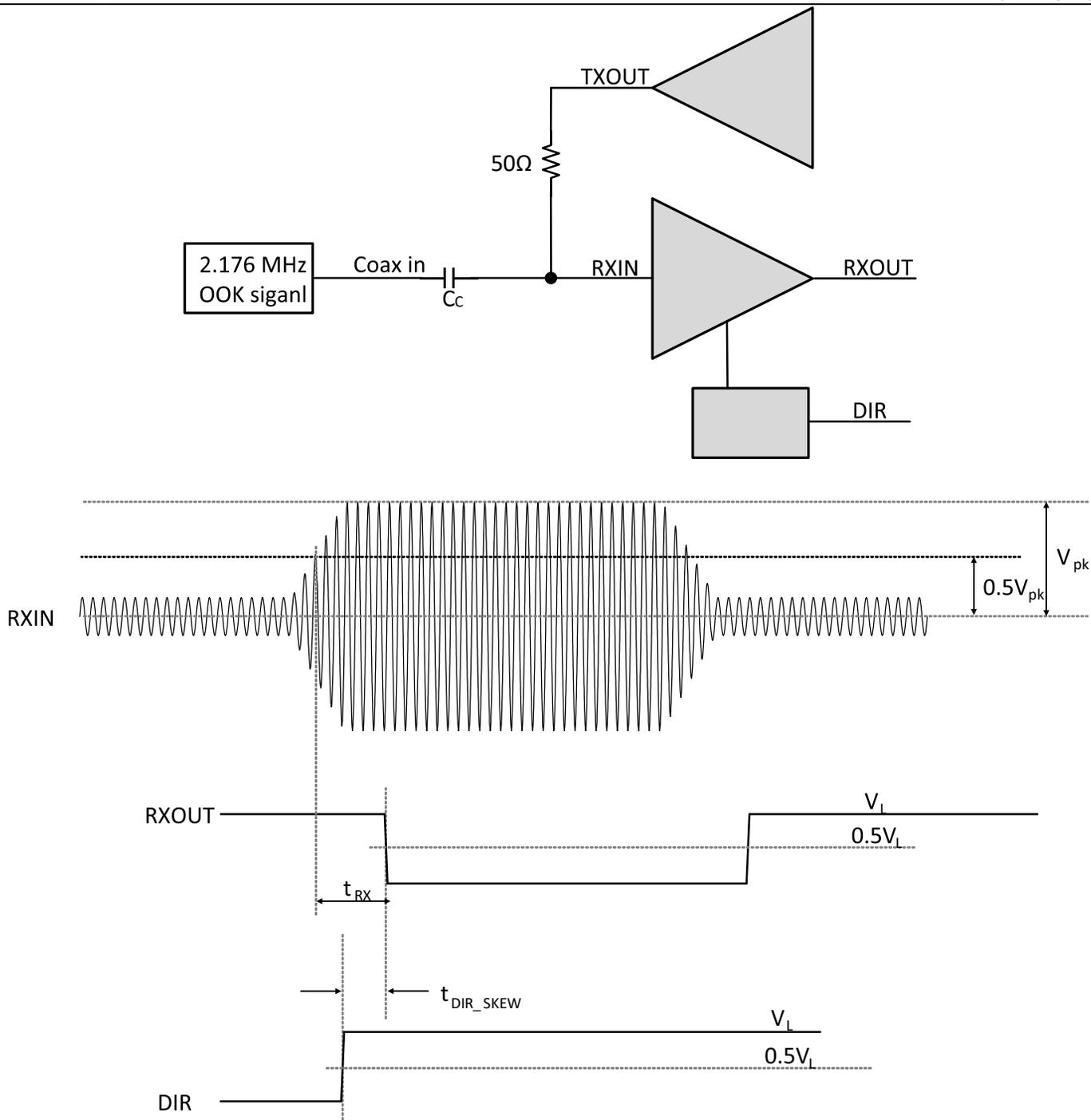


图 8-2 接收链路传输延时和 DIR 方向指示信号测试电路与波形

9. 详细说明

9.1. 工作原理

AISG 定义了基站与塔台设备之间的通信协议，采用载波为 2.176MHz 正弦波的开关键控(OOK)调制。主机(基站侧)与从机(塔台放大器 TMA)之间采用双向、半双工通信。可从基站发送指令，控制塔台天线(RET)的倾角；也可以监测塔台设备(RET、TMA)的工作状况。CA-IF4023 是一款全集成 AISG 收发器，用于信号调制与解调，支持基站与塔台侧通信，完全符合 AISG v3.0 标准，数据速率可达 115.2kbps。

CA-IF4023 发射链路包括 OOK 调制器；中心频率为 2.176MHz 的带通滤波器用于抑制干扰与辐射，确保满足 AISG 频谱模板的限制；输出放大器提供功率可调的输出信号，输出功率通过片外分压电阻调节，以补偿外部电路和同轴线缆导致的功率损失，可调功率范围为+5.4dBm 到+12dBm(对应于-0.6dBm 到+6dBm 的线缆输出端功率)。外部 8.704MHz 的晶振从 XTAL1 和 XTAL2 端口输入，由内部分频器产生 OOK 调制载波信号；也可以使用外部 8.704MHz 的时钟信号，从 XTAL1 引脚直接输入，此时应将 XTAL2 引脚接地。

CA-IF4023 接收链路包括一个中心频率为 2.176MHz 的窄带带通滤波器、OOK 解调器、用于恢复数字信号的比较器和输出驱动器，内部滤波电路确保在有干扰的情况下正确地检测并解调出有用信号。接收链路阈值的典型值为-15dBm，符合 AISG 标准规范。

9.2. 工作模式

CA-IF4023 提供一个方向指示输出(DIR)，用于指示数据码流的方向，帮助 RS-485 网络快捷方便地进行总线判决，节省控制器资源。如图 10-3 所示塔顶应用中，基站主机确定数据码流的传输方向，塔台设备作为从机对收到的信息进行解码，并响应主机指令。图中给出了 CA-IF4023 在塔台端的电路连接，图中 RS-485 收发器可以选择 CA-IF4805 等川土的高可靠性 RS-485 系列产品。DIR 用于控制 RS-485 的发送器使能 DE 和接收器使能/RE。当来自基站的信号从 RXIN 传送到 RXOUT 时，DIR 置高，使能发送器，使 RS-485 收发器驱动总线并按照 AISG 通信协议要求，在 16 个位周期后释放总线；反之，当检测到信号从 TXIN 传送到 TXOUT，或者 TXIN 与 RXIN 均无有效信号时，DIR 将被置低；若在 RXIN 和 TXIN 输入端均出现有效信号，芯片内部的方向检测状态机将判决收到信号顺序，若接收链路信号先到状态机，则 CA-IF4023 进入接收模式，屏蔽发射链路；反之，CA-IF4023 进入发射模式，屏蔽接收链路。在实际使用时应合理安排信号传输时序，避免进入此类冲突状态。一旦在 RXOUT 或 TXIN 检测到有效信号，器件将停留在发送状态或接收状态 16 个位周期(DIR 超时周期)。

图 9-1 和图 9-2 显示了 DIR 状态机的工作时序，基于出现在同轴电缆输入接口的有效信号触发方向控制信号 DIR 输出。非待机模式下，器件工作状态如下：

- 1) 当 RXIN 和 TXIN 引脚均未检测到信号时，芯片进入默认的空闲(IDLE)状态，此时 DIR 置低，RXOUT 置高，TXOUT 进入静默态；
- 2) 当内部状态机检测到信号从 RXIN 传输到 RXOUT 时，器件进入接收模式，此时 DIR 置高，RXOUT 响应 RXIN 的有效输入信号，在 RXOUT 引脚产生对应的解调信号。发送通道则阻断信号传输，TXOUT 置于静默。在 RXOUT 最后一个停止位(高电平位)后，DIR 继续保持 16 个位周期的高电平，然后终止接收模式，DIR 置低，器件进入空闲状态，如图 9-1 所示；
- 3) 当内部状态机检测到信号从 TXIN 传输到 TXOUT 时，器件进入发送模式，DIR 置低，TXOUT 响应 TXIN 输入信号，当 TXIN 为低电平时，在 TXOUT 端产生 2.176MHz 载波输出；当 TXIN 为高电平时，则保持空闲输出。发送模式下，RXOUT 保持高电平，不响应 RXIN 的任何输入信号。在 TXIN 最后一次置于高电平后，DIR 继续保持 16 个位周期的低电平，然后终止发送模式，进入空闲状态，如图 9-2 所示。

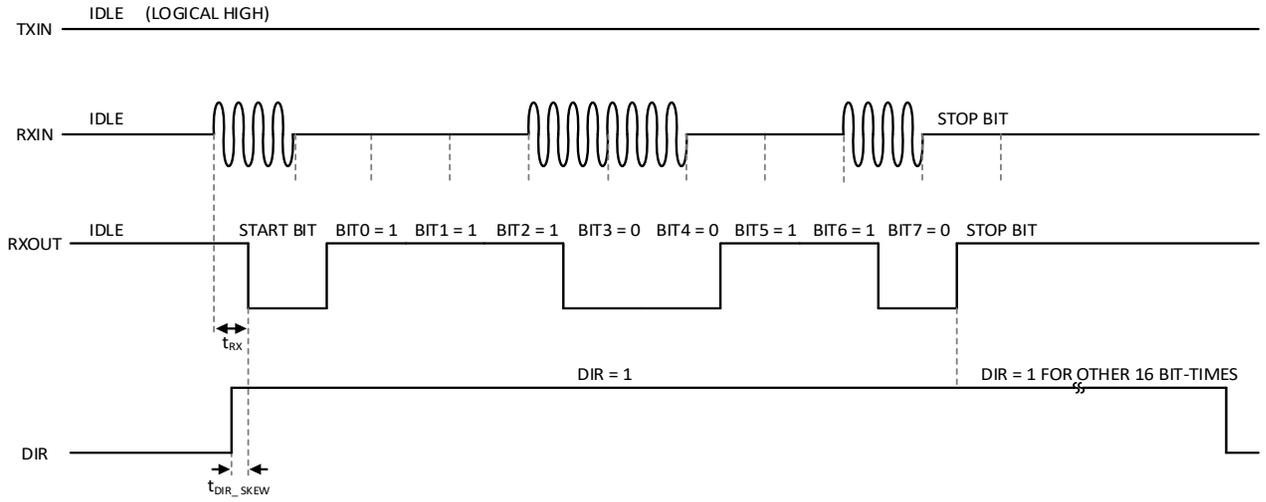


图 9-1 RXIN 到 RXOUT 通信信号传输时序图

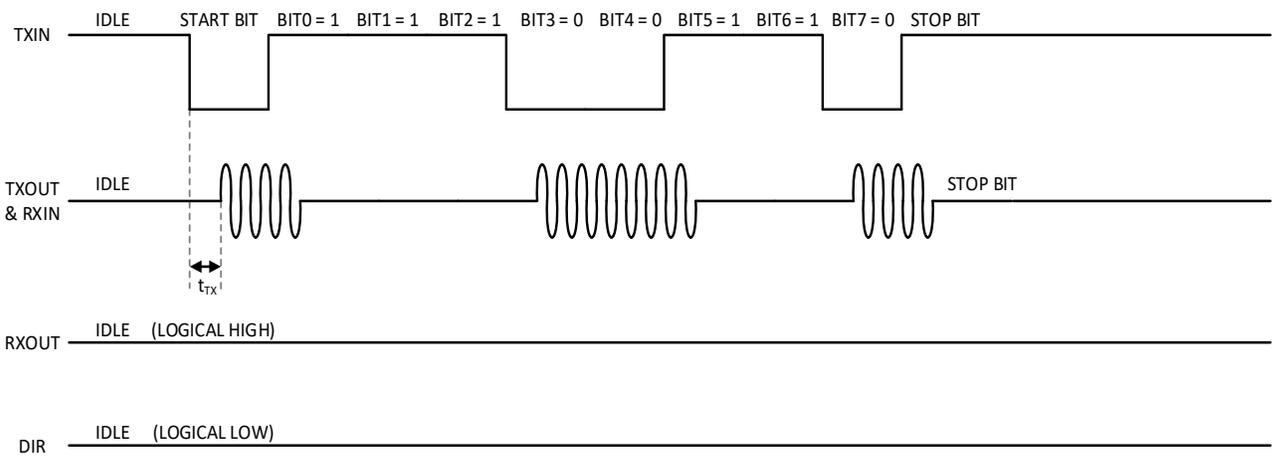


图 9-2 TXIN 到 TXOUT 通信信号传输时序图

DIRMD1和DIRMD2用于设置不同信号速率下的位(BIT)时间，如表 9-1所示，引脚状态应依据信号传输速率设置。当DIRMD1和DIRMD2均为逻辑高电平时，器件进入待机模式，发送器和接收器均被禁止工作，此时RXOUT置高，不解调RXIN的任何输入信号；TXOUT引脚为空闲输出，而DIR置低，整个芯片的供电电流降至最低。

表 9-1 位周期设置

DIRMD2 ¹	DIRMD1 ¹	AISG 速率 (kbps)	位时间 (μs)
0	0	9.6	104.16
0	1	38.4	26.04
1	0	115.2	8.68
1	1	待机 ²	待机 ²

- 注:
- DIRMD1 和 DIRMD2 引脚在芯片内部通过电阻下拉到 GND。
 - 待机模式下 RXOUT 置高，TXOUT 静默态，不响应任何输入信号。

10. 应用信息

AISG 开关键控(OOK)调制解调接口用于支持基站与塔台天线间的指令、控制信号、诊断信息传输,

图 10-2 和图 10-3 给出了 CA-IF4023 在基站侧和塔台侧的系统连接示意图, 在基站侧, FPGA 将信号发送给 CA-IF4023 或接收来自 CA-IF4023 的信号, CA-IF4023 则实现信号的调制与解调; 在塔台侧, AISG 收发器用于实现电缆 OOK 信号与 RS-485 数字逻辑信号的转换。CA-IF4023 的方向输出(DIR)则用于驱动 RS-485 收发器的发送与接收使能。

10.1. 发射频谱

AISG 标准定义了最大频谱辐射的限定范围, 任何 OOK 调制信号必须满足这一限制条件, 图 10-1 显示了 AISG 标准规定的 OOK 调制信号频谱限制模板。实际应用中, 如

图 10-2 和图 10-3 所示, 在 RXIN 端口和 GND 之间连接一个 470pF 电容, 用于滤除 25MHz 以上的谐波, 以更好地满足对辐射频谱的限制要求。在 TXOUT 和 RXIN 之间接 50Ω 电阻, 对于信号从 TXIN 传输到 TXOUT 而言, 50Ω 电阻相当于 TXOUT 和线缆之间串联端接; 而对于 RXIN 接收信号而言, 50Ω 电阻相当于并联端接。为了更好地抑制电源干扰, TXOUT 的直流工作点偏置在 1.5V 左右, 同时, 为了避免 TXOUT 的直流工作点受线缆侧的影响, 通过 100nF 隔直电容连接到线缆。

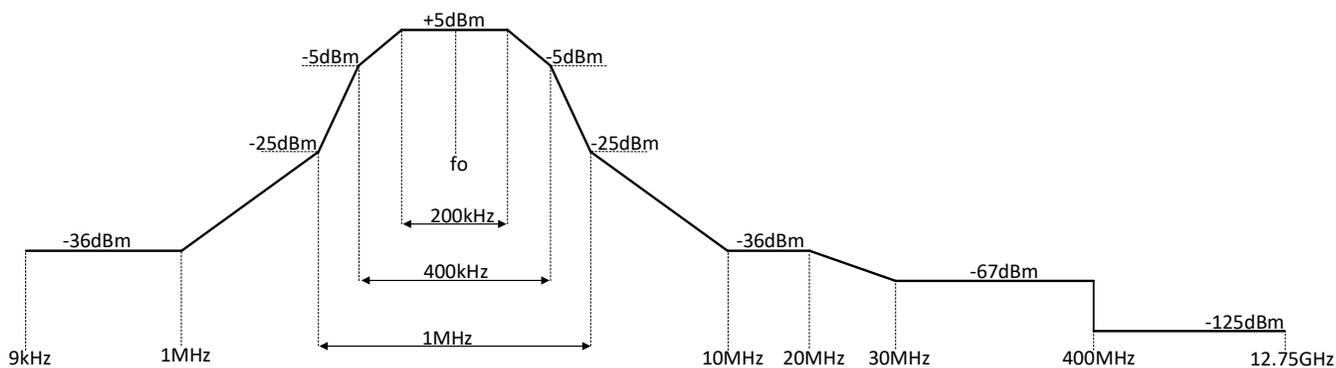


图 10-1 符合 AISG TS 37.461 标准的 50%占空比 OOK 调制信号发射频谱

10.2. 接收器输入范围和阈值

CA-IF4023 接收链路的最大输入信号为 1.12V_{p-p}, 折算到 50Ω 负载, 接收功率为 5dBm。内部解调阈值为-15dBm (112.4mV_{p-p}) ± 3dB, 这规定了芯片内部能够完成正确解调的最小输入信号幅度, 符合 AISG 标准。为避免接收器饱和, 任何功率高于 5dBm 的相邻载波频率必须低于 1.1MHz 或者高于 4.17MHz。

10.3. 输出功率

CA-IF4023 发射链路的输出功率可以通过片外电阻调节, 如

图 10-2 和图 10-3 所示, 电阻 R1 连接在 BIAS 和 RES 之间, 电阻 R2 连接在 RES 和 GND 之间, 建议在 BIAS 和 GND 之间接一个 1μF 的去耦电容。TXOUT 的输出电压幅度和 R1、R2 之间的关系为:

$$V_{TXOUT}(V_{p-p}) = 2.52V_{p-p} \times R2 / (R1 + R2)$$

其中 R2/(R1 + R2)可在 0.467 和 1 之间变化, 对应于 0.7V 至 1.5V 的 RES 引脚电压。当 R1 = 0Ω 时(RES 直接连接 BIAS), TXOUT 输出最大幅度为 2.52V_{p-p}, 假设电缆采用 50Ω 端接, 外部滤波器在 2.176MHz 没有衰减, 2.52V_{p-p} 输出电压对应于电缆上+6dBm 的馈送功率; 如果按照 AISG 标准要求, 向电缆馈送+3dBm 的输出功率, 则选择 R1 = 4.1kΩ, R2 = 10kΩ, 从而在 TXOUT 引脚产生 1.78 V_{p-p} 输出。

10.4. 外部时钟

CA-IF4023 需要一个外部晶振提供 8.704MHz 时钟(2.176MHz 载频的 4 倍频)，晶振频率稳定度需要满足 AISG 标准规定的±100ppm。建议需用±30ppm 的 8.704MHz 晶振，如

图 10-2 和图 10-3 所示，在 XTAL1 和 XTAL2 分别连接一个 40pF(±10%)的电容到 GND。多片 CA-IF4023 可通过 SYNCOUT 同步共用一个外部晶振，其中一个器件作为主机，在 SYNCOUT 引脚产生 8.704MHz 的时钟信号，用于同步其它作为从机的器件。配置为从机的器件，XTAL2 引脚应接 GND，而 XTAL1 引脚连接主机器件产生的同步时钟，作为输入时钟信号源。SYNCOUT 引脚通过 1kΩ 电阻上拉至 V_{CC}。若基站端作为主设备，塔台端作为从设备，则将基站端 CA-IF4023 的 SYNCOUT 时钟信号源通过一个 10kΩ 串联电阻连接至塔台端 CA-IF4023 的 XTAL1 输入引脚，XTAL2 接地。

10.5. 供电电源

CA-IF4023 具有两个供电引脚：模拟电路供电引脚 V_{CC} 和逻辑电路供电引脚 V_L。V_{CC} 工作在 3.0V 至 5.5V，而 V_L 可接受 1.6 V 至 5.5 V 的供电电压范围，方便连接不同逻辑电平的接口。两个电源引脚均需要连接至少 0.1μF 的去耦电容，电容器应紧靠相应的电源引脚放置。

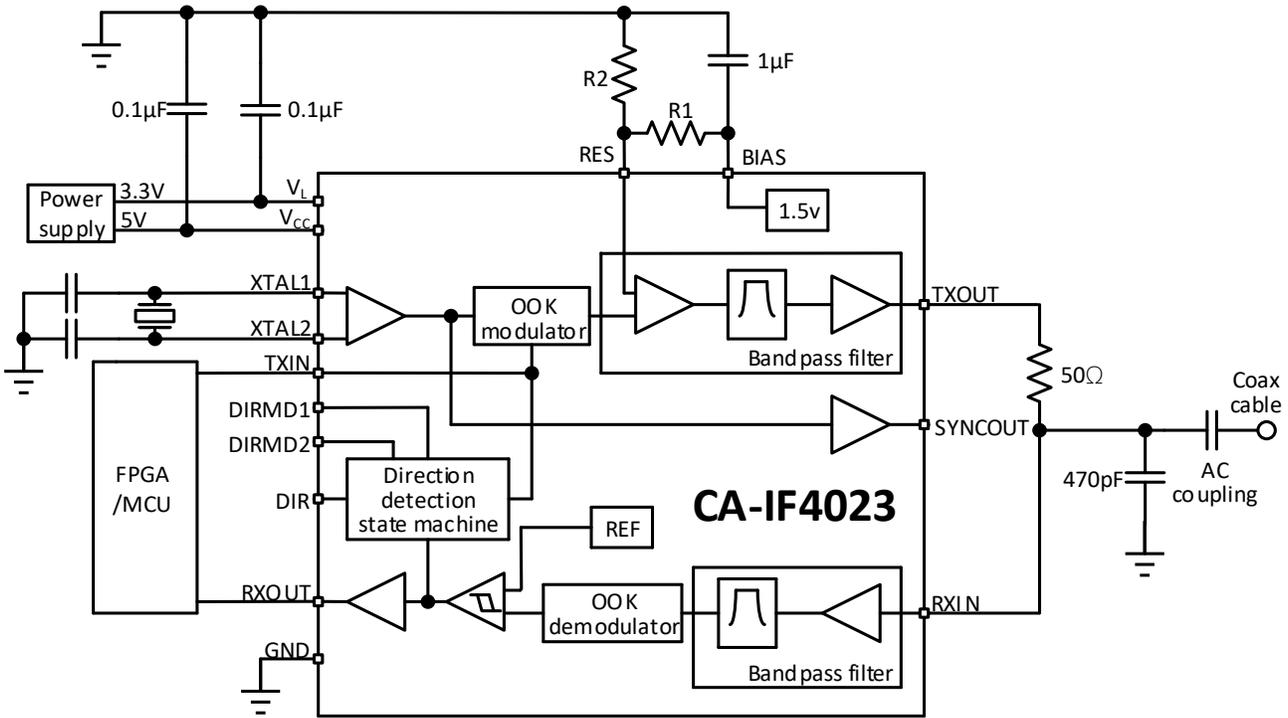


图 10-2 CA-IF4023 基站端典型应用电路

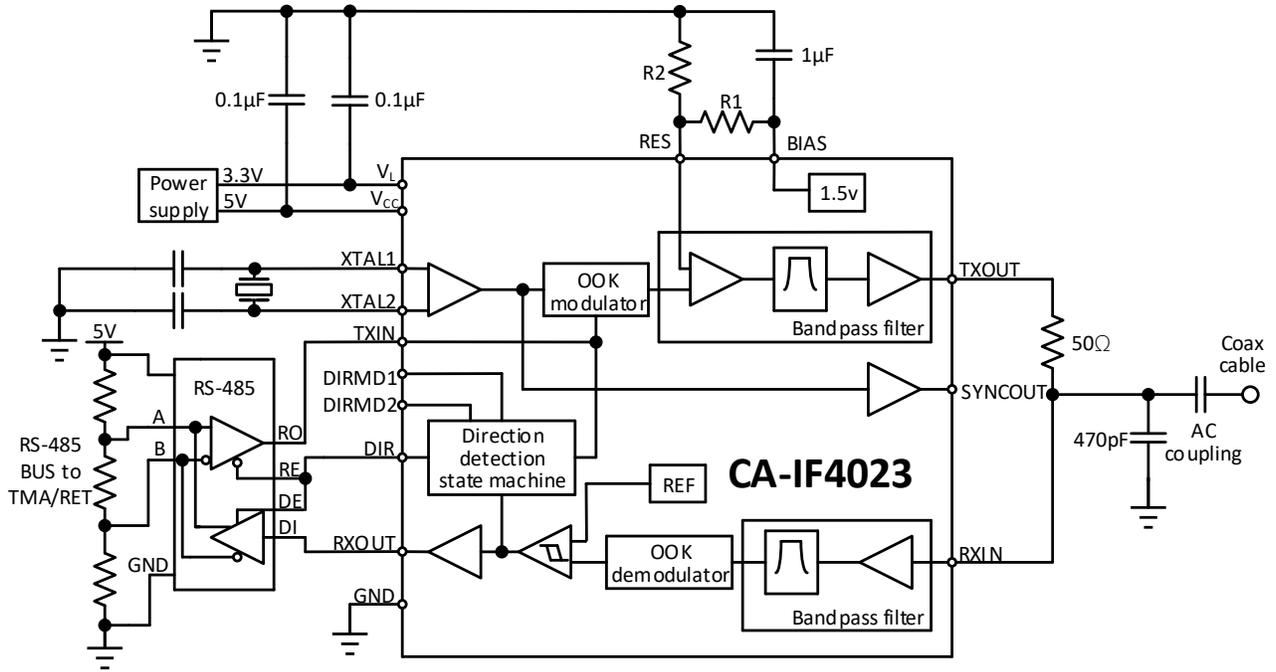
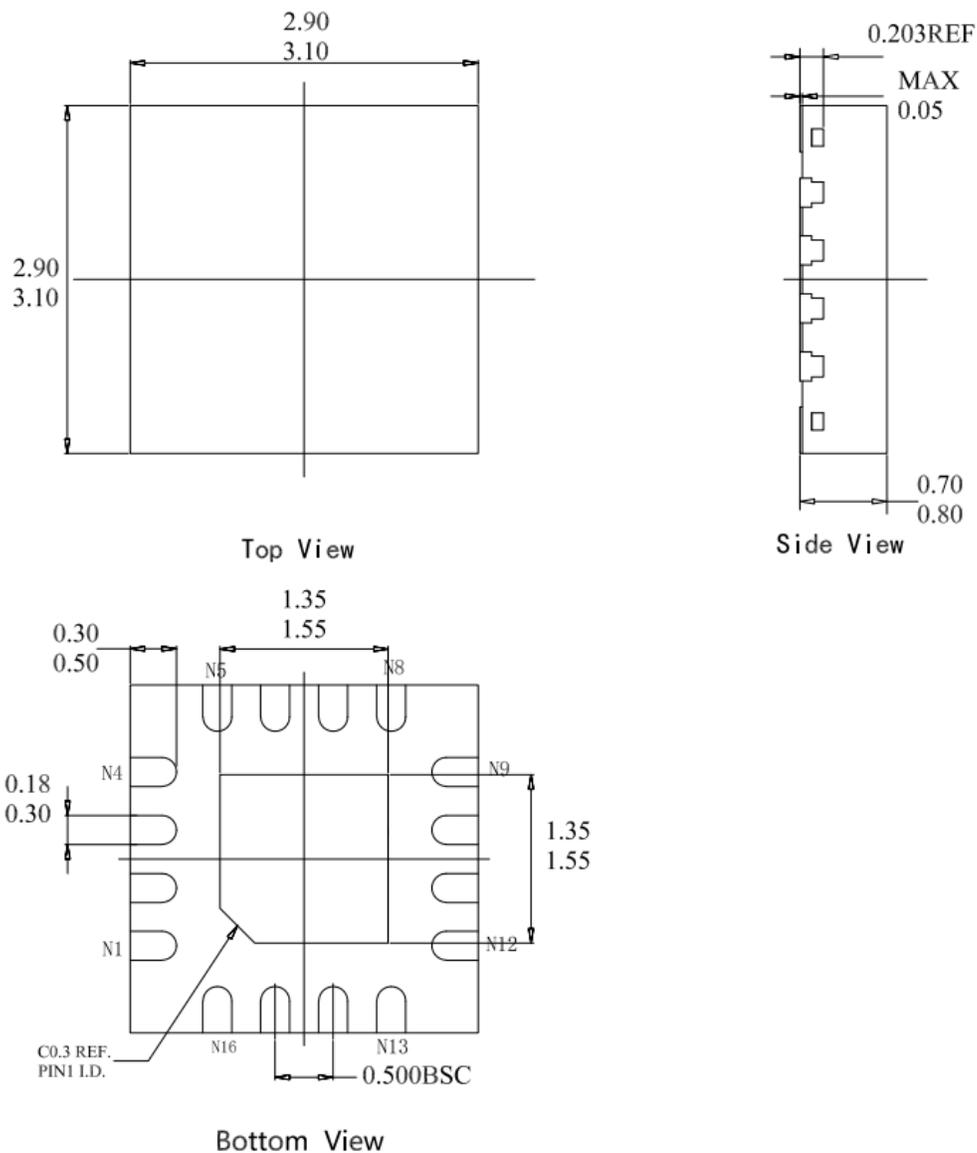


图 10-3 CA-IF4023 塔台端典型应用电路

11. 封装信息

QFN16 外形尺寸



注:
1. 图中所有数值单位为毫米。

图 11-1 QFN16 封装尺寸图

12. 焊接信息

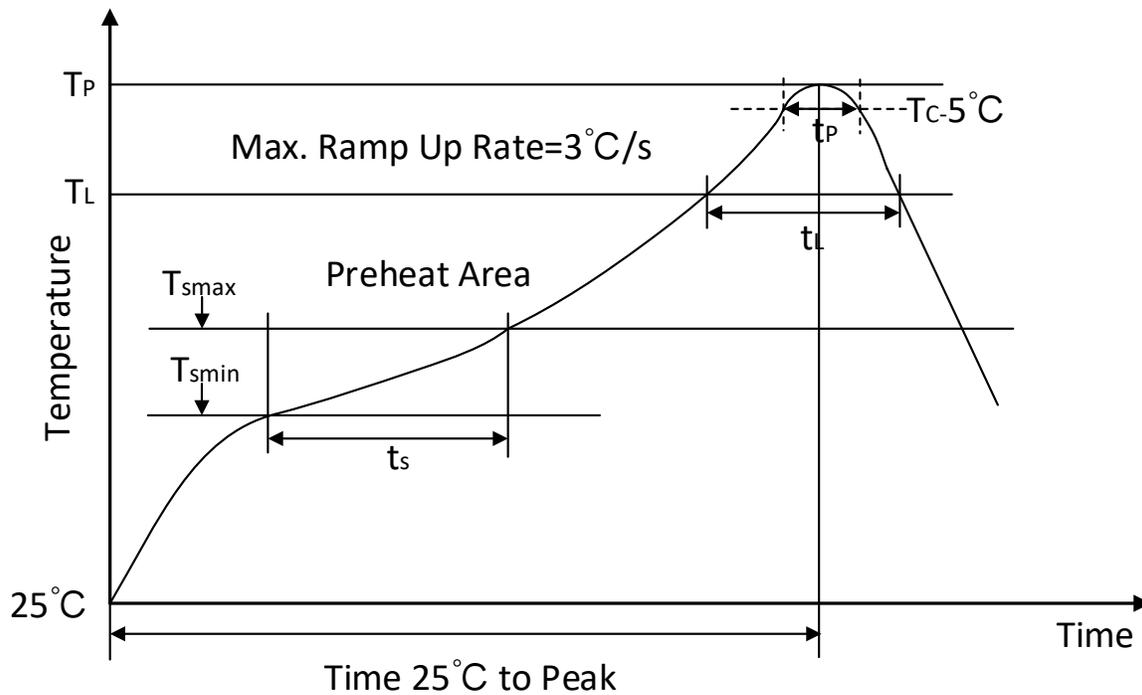


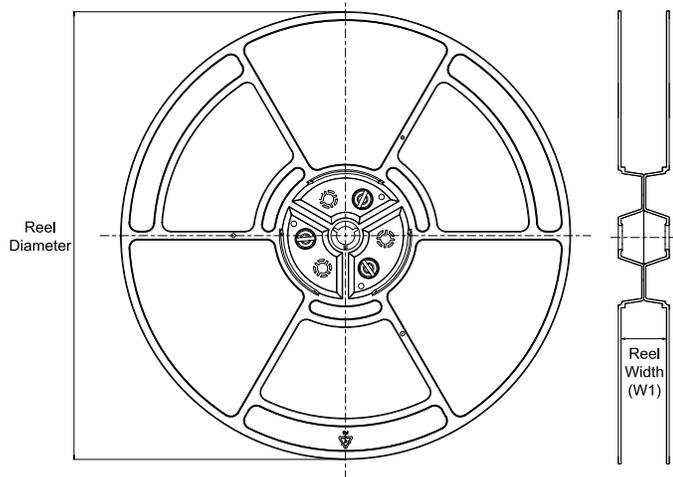
图 12- 1 焊接温度曲线

表 12- 1 焊接温度参数

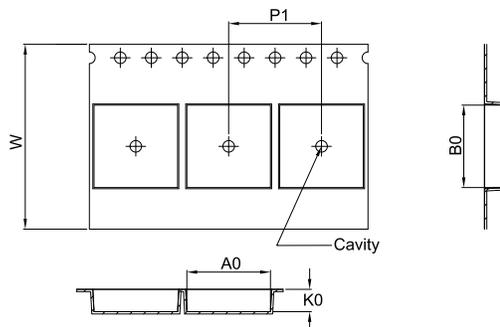
Profile Feature	Pb-Free Assembly
Average ramp-up rate(217 °C to Peak)	3°C/second max
Time of Preheat temp(from 150 °C to 200 °C)	60-120 second
Time to be maintained above 217 °C	60-150 second
Peak temperature	260 +5/-0 °C
Time within 5 °C of actual peak temp	30 second
Ramp-down rate	6 °C/second max.
Time from 25°C to peak temp	8 minutes m

13. 卷带信息

REEL DIMENSIONS

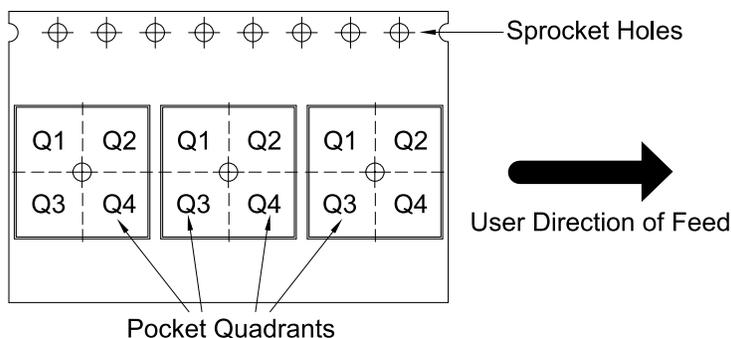


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CA-IF4023	QFN16	F	16	3000	330	12.4	3.35	3.35	1.13	8.0	12.0	Q1

14. 重要声明

上述资料仅供参考使用，用于协助 Chipanalog 客户进行设计与研发。Chipanalog 有权在不事先通知的情况下，保留因技术革新而改变上述资料的权利。

Chipanalog 产品全部经过出厂测试。针对具体的实际应用，客户需负责自行评估，并确定是否适用。Chipanalog 对客户使用所述资源的授权仅限于开发所涉及 Chipanalog 产品的相关应用，除此之外不得复制或展示所述资源，如因使用所述资源而产生任何索赔、赔偿、成本、损失及债务等，Chipanalog 对此概不负责。

商标信息

Chipanalog Inc.®、Chipanalog®为 Chipanalog 的注册商标。



<http://www.chipanalog.com>