

CA-IS2062A 集成隔离 DC-DC 的隔离 CAN 收发器辐射抑制参考设计

目录

- 1. 概述..... 2
- 2. 与辐射相关的芯片工作机制及抑制措施..... 3
 - 2.1. 芯片功能概述..... 3
 - 2.2. 合理放置去耦电容..... 3
 - 2.3. 在原副边之间放置 Y 电容..... 4
 - 2.4. 放置磁珠/共模电感/差模电感..... 4
 - 2.5. 构建边缘防护..... 4
- 3. EMI 方案描述..... 5
 - 3.1. EMI 测试结果总结..... 5
 - 3.2. 参考方案（两层板）..... 5
 - 3.2.1. PCB 参考图及布局建议..... 5
 - 3.2.2. 电路原理图及推荐器件配置..... 7
 - 3.2.3. EMI 测试结果..... 8
- 修订历史..... 10
- 重要声明..... 10

1. 概述

本文针对川土微电子隔离 CAN 芯片 CA-IS2062A，介绍其在应用中的辐射 EMI 抑制方法，测试板基于 2 层 PCB 测试板。测试标准为 EN55032(CISPR32) Class-B，频率范围 30MHz-1GHz。抑制辐射 EMI 的措施也可参考 AN001：

[隔离电源的辐射抑制设计参考.pdf \(chipanalog.com\)](#)

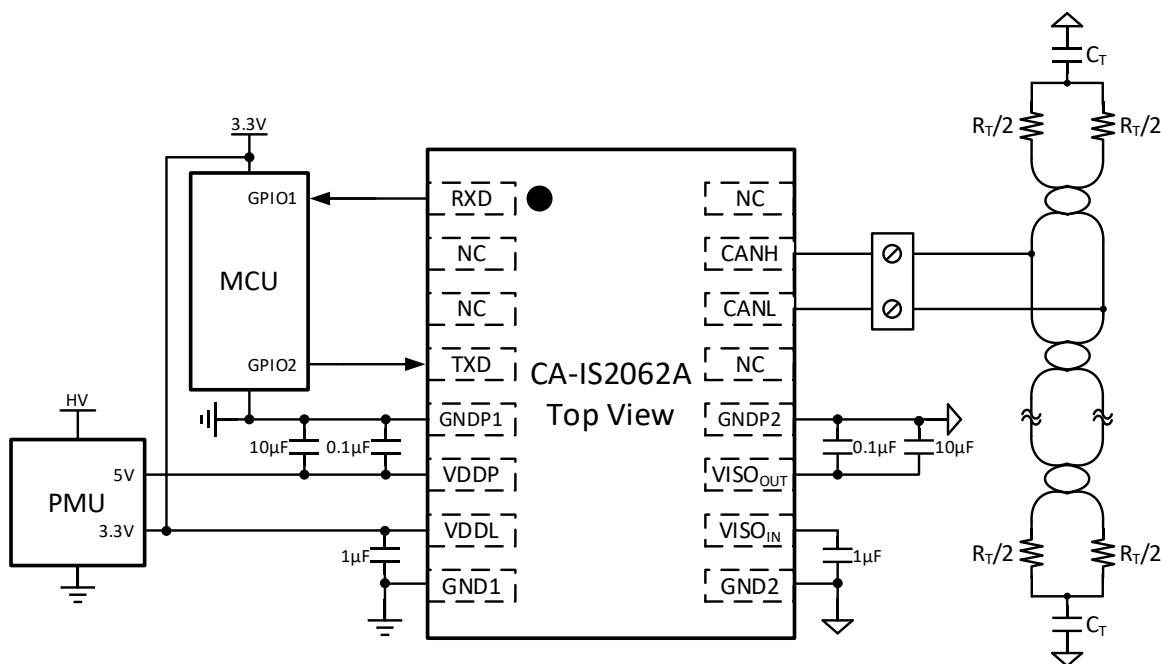
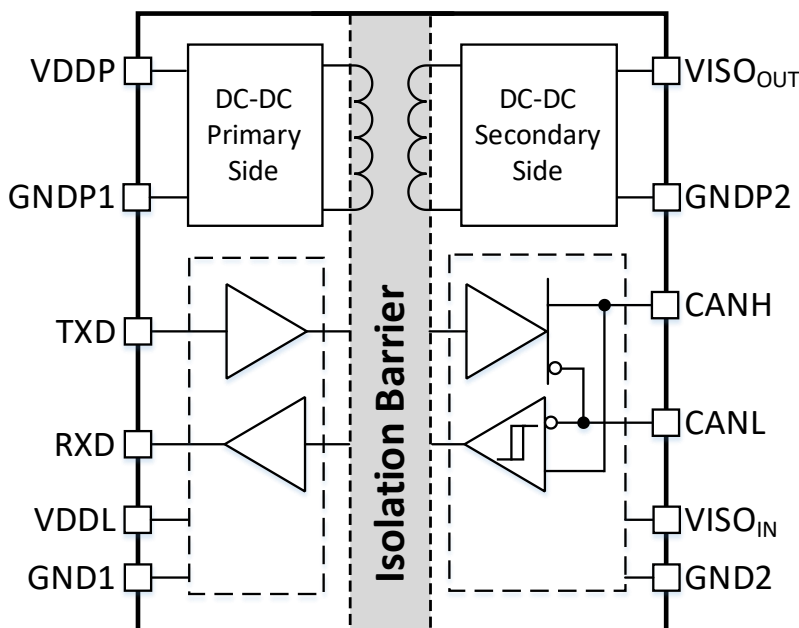


图 1-1 典型应用框图

2. 与辐射相关的芯片工作机制及抑制措施

2.1. 芯片功能概述

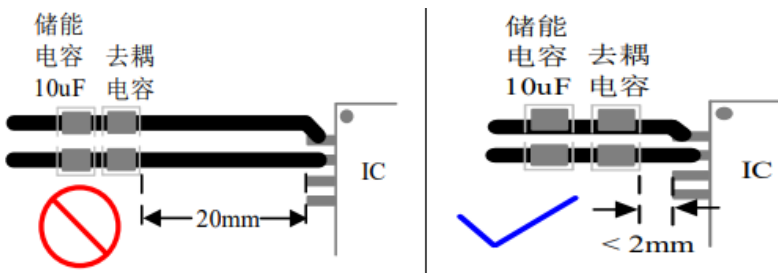
CA-IS2062A 的 PIN 脚定义如下：



CA-IS2062A 是采用 LGA16 小型封装、集成片上变压器即集成隔离 DC-DC 电源的隔离 CAN 芯片。片上变压器的高频开关引起的高 di/dt , dv/dt 是辐射的主要来源，此外还有原副边寄生参数导致的共模噪声。芯片的原边 VDDL 可以由外部电源单独给 CAN 模块供电，如果由 VDDP 供电，可以在两个 PIN 脚之间串接磁珠滤除噪声。以下为解决辐射 EMI 问题的具体建议。

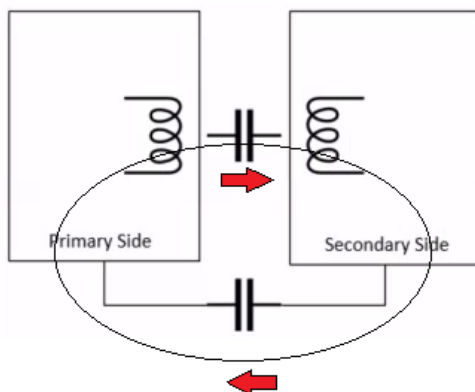
2.2. 合理放置去耦电容

去耦电容有助于滤除高频开关引起的差模噪声并为电路各模块提供瞬时峰值电流。可以在原副边电源与地之间放置低 ESL/ESR 的 MLCC 电容，距离 PIN 脚 1~2mm 以缩小高频环路，容值 10nF, 100nF 等，与储能电容 10uF 并联。



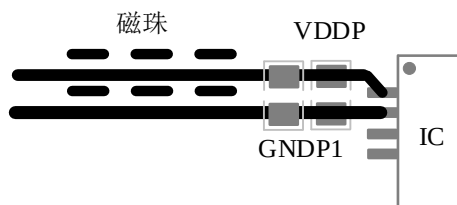
2.3. 在原副边之间放置 Y 电容

高频下，共模电流在原副边线圈的寄生电容及 PCB 对地的寄生电容之间形成环流，因环路面积大，产生辐射。建议在原副边的参考地之间放置 Y 电容使高频电流在内部回流，减小环路面积降低辐射。



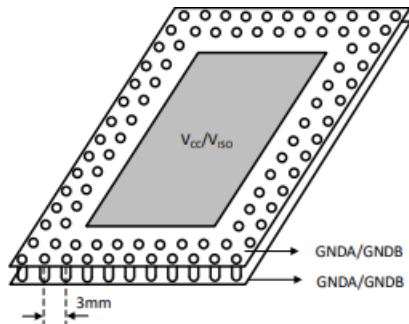
2.4. 放置磁珠/共模电感/差模电感

在原副边电源与地之间放置磁珠增加高频阻抗衰减高频噪声降低辐射，建议靠近去耦电容放置，参数取 $1k\Omega$ @100MHz。在原边电源输入回路内视测试效果选择性放置共模电感/差模电感滤除中高频噪声。建议磁珠、电感等磁性器件下不铺地，以免被 PCB 寄生电容旁路掉衰减作用。



2.5. 构建边缘防护

在地层放置一些过孔，形成接地过孔防护盾，将噪声返回到地层，减少对外的辐射。建议有两排或两排以上过孔，两排过孔尽量相互错开。



3. EMI 方案描述

3.1. EMI 测试结果总结

表 3-1 方案结果总结

方案	EMI 余量	频点	PCB 层数	层叠电容	Y 电容	共模电感	差模电感
参考方案	3.05dB	198.6MHz	2	无	33pF	无	2.2uH(2pcs)

3.2. 参考方案（两层板）

3.2.1. PCB 参考图及布局建议

- 1) 将去耦电容紧靠芯片原副边的电源和地放置，缩小高频环路，如下图中 C3,C4 及 C6,C7；VDDL 及 VISO_{IN} 是逻辑电源引脚，也需就近放置去耦电容，如下图中 C5 及 C8；
- 2) 靠近去耦电容 C3,C4,C5 处放置磁珠 BD1, BD2, BD3, BD4；在 L1、L2 处放置差模电感；
- 3) 在 PCB 底层芯片原副边地 GNDP1 和 GNDP2 之间放置 Y 电容，Y 电容串联适当阻值的电阻，如 20 Ω；
- 4) 差模电感 L1,L2 的左侧为 12V 转 5V 的 LDO 供电电路，为 CAN 芯片提供稳定的电源供电；

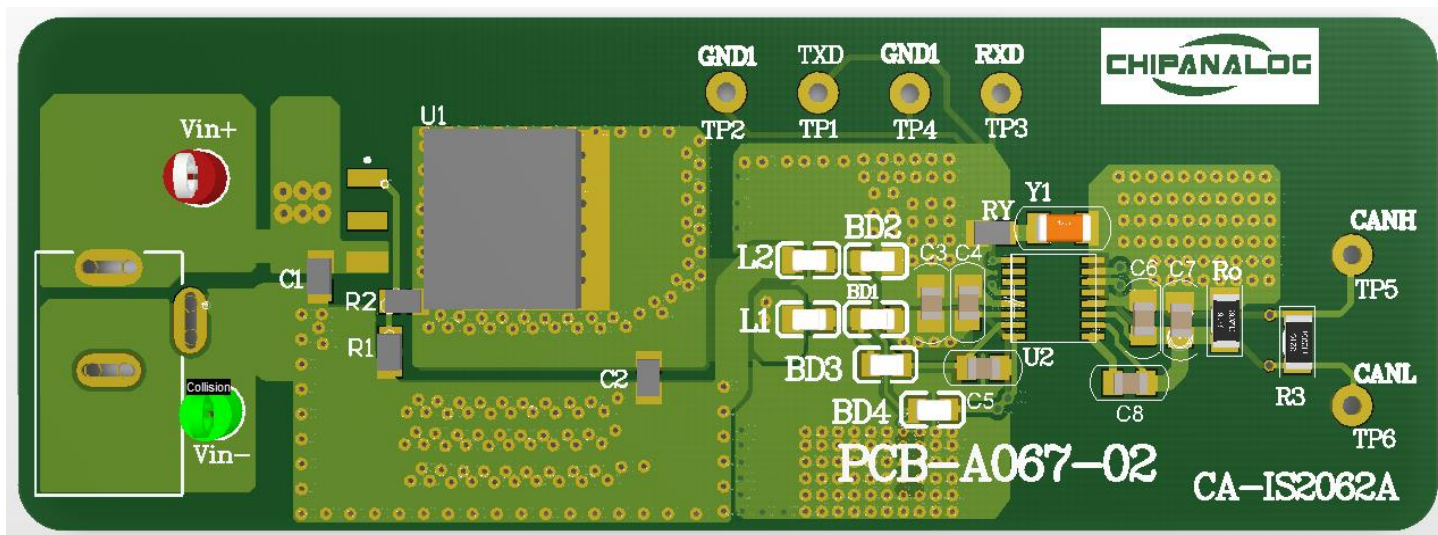


图 3-1 PCB 3D 图

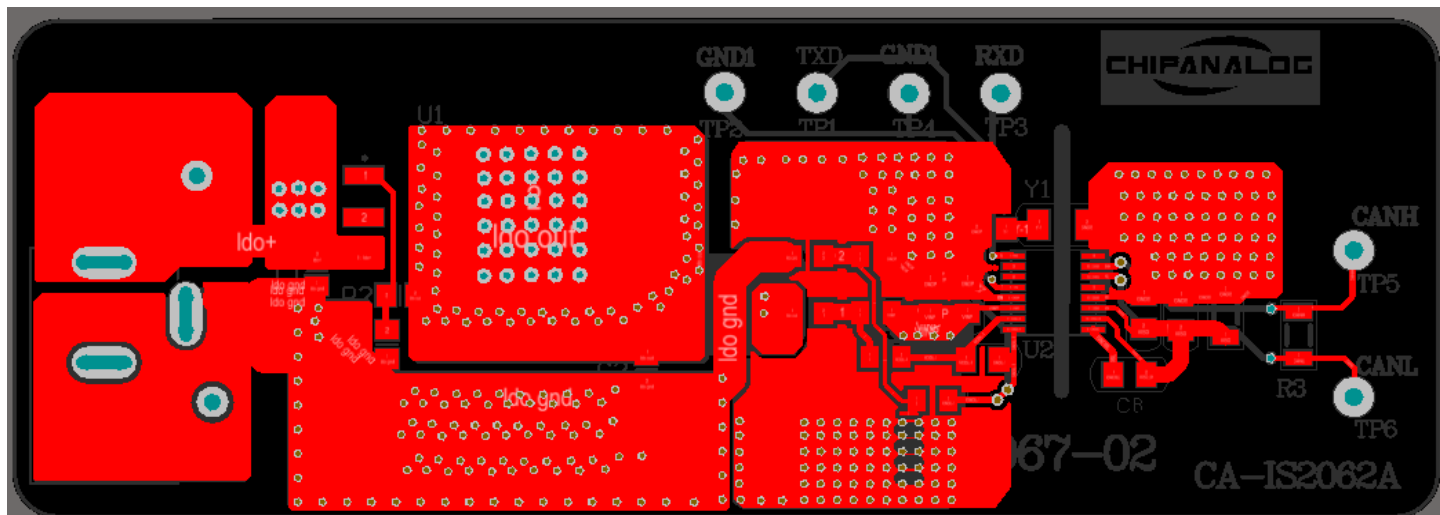


图 3-2 PCB 顶层

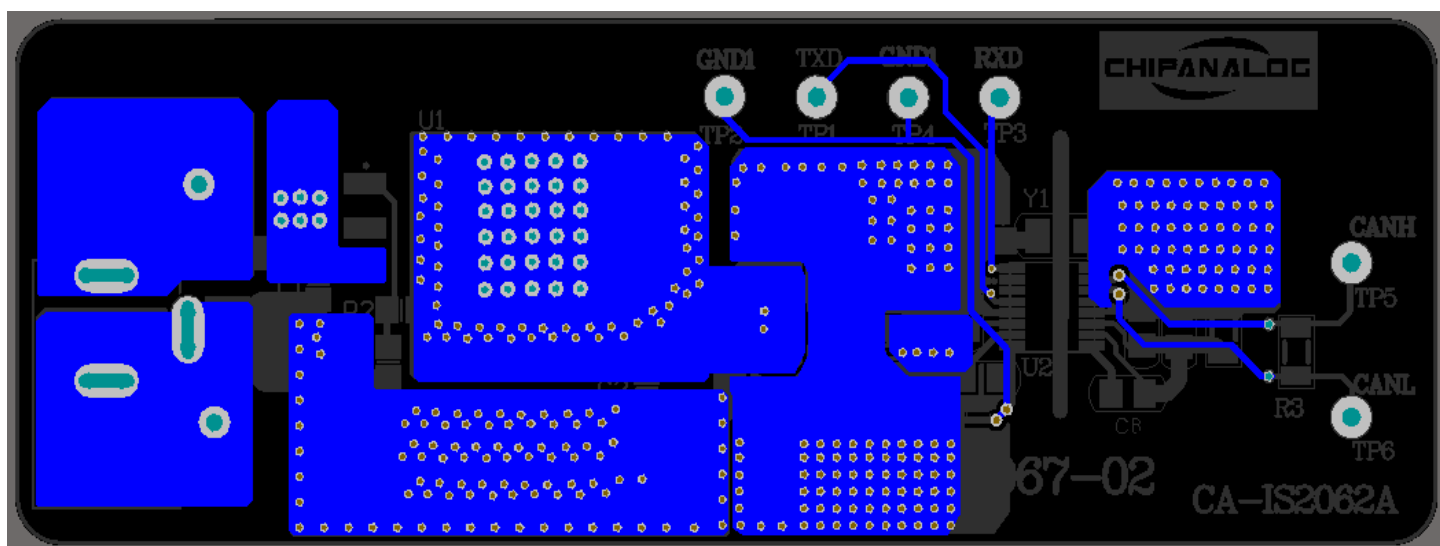


图 3-3 PCB 底层

3.2.2. 电路原理图及推荐器件配置

图 3-4 电路原理图

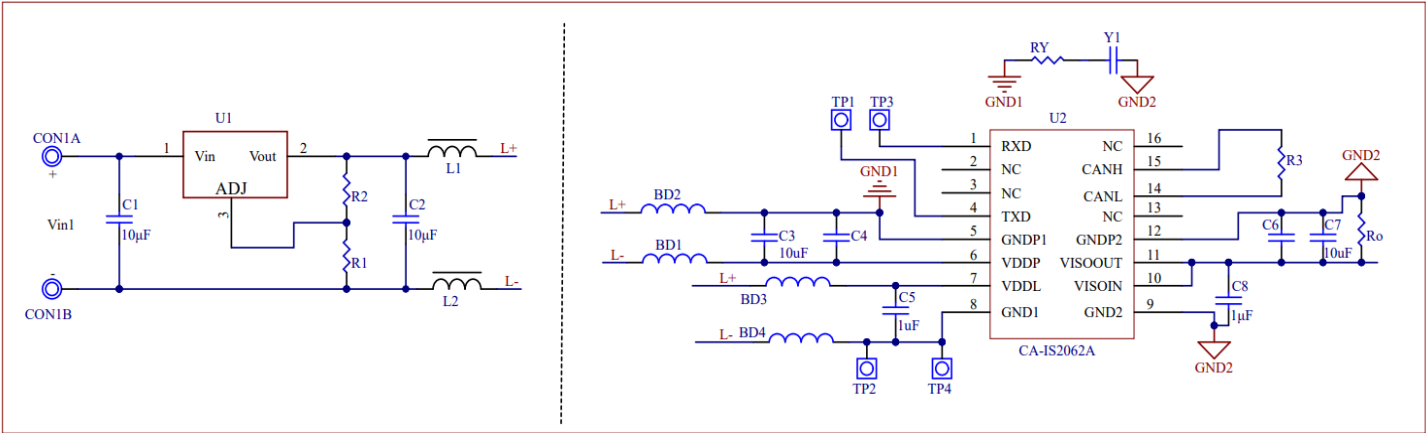


表 3-2 器件配置表

相关措施	位号	参数	EMI 相关器件型号	备注
磁珠	BD1, BD 2	1k Ω at 100MHz	BLM18HE102SN1	
电阻	BD3, BD4	0 Ω	0805	
Y 电容	Y1	33pF	GRM31A7U3D390JW31	
差模电感	L1, L2	2.2uH	MLZ2012M2R2HT000	
电阻	R1	360 Ω	0603	
	R2	120 Ω	0603	
	R3	60 Ω	1206	
	Ro	180 Ω	1206	
	RY	20 Ω	0805	
电容	C1	4.7uF/10V	0805	
	C2	10uF/10V	0805	
	C4, C6	10nF/10V	0805	
	C3, C7	10uF/10V	0805	
	C5, C8	1uF/10V	0805	
U1	U1	LDO	LM1086ISX-ADJ, TI	
U2	U2	IC	CA-IS2062A	

3.2.3. EMI 测试结果

表 3-3 方案一 EMI 测试结果总结

LDO 输入电压	VISO _{OUT} 输出电压	VISO _{OUT} 负载	水平余量	垂直余量
12V	5V	5V/180 Ω	3.05dB	4.95dB

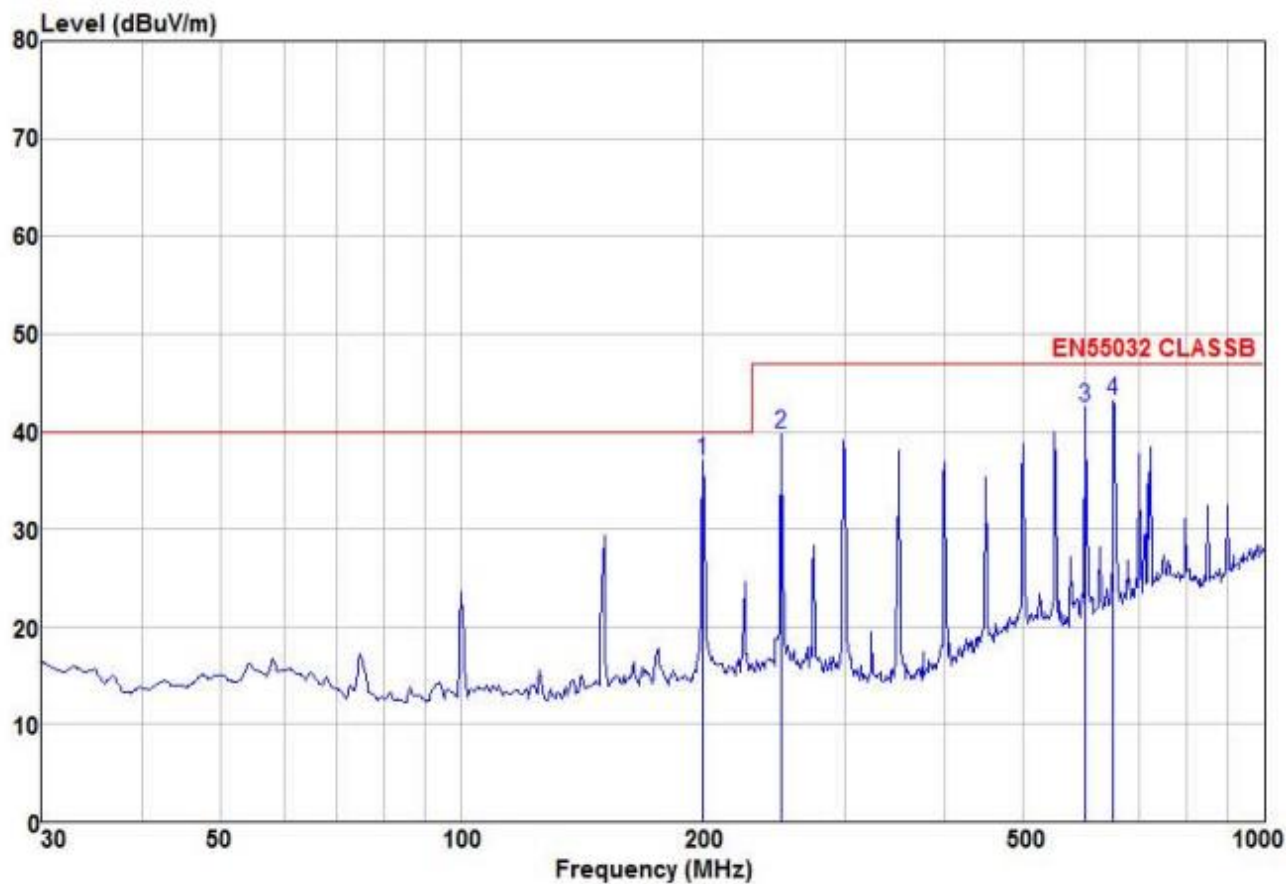


图 3-5 水平方向结果

测试条件:

- 1) VISO_{OUT}: 5V, Ro: 180 Ω ;
- 2) 输入电压: 12V 铅酸电池;

测试结果:

30MHz-1GHz, Margin=3.05dB。

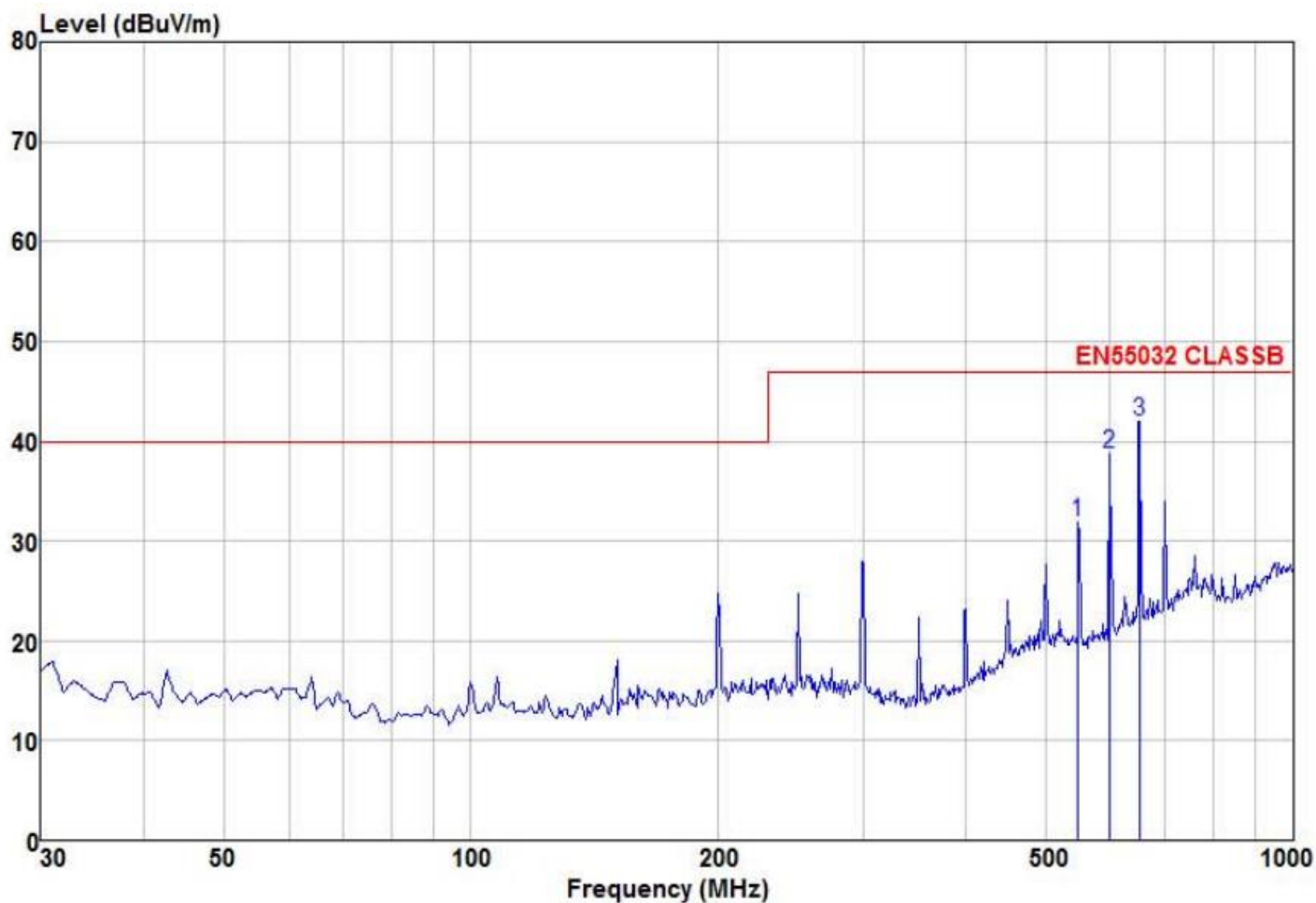


图 3-6 垂直方向结果

30MHZ-1GHZ, Margin=3.4dB

测试条件:

- 1) A/B 总线负载: 压差 3.6V, 端接电阻电流 67mA;
- 2) 副边 VISO_{OUT}: 无其他负载;

测试结果:

30MHZ-1GHz, Margin=4.95dB。

修订历史

修订版本	修订时间	修订内容
Rev 1.0	2024/08/06	初始版本

重要声明

上述资料仅供参考使用，用于协助 Chipanalog 客户进行设计与研发。Chipanalog 有权在不事先通知的情况下，保留因技术革新而改变上述资料的权利。