

CA-IS3417WT/CA-IS3417WT-Q1 1700V 高压隔离开关

辐射抑制参考设计

目录

1. 概述.....	2
2. 与辐射相关的芯片工作机制及抑制措施.....	3
2.1. 芯片功能概述.....	3
2.2. 合理放置去耦电容.....	3
2.3. 在原副边之间放置 Y 电容.....	4
2.4. 放置铁氧体磁珠.....	4
2.5. 构建边缘防护.....	5
3. CA-IS3417WT 的 EMI 设计参考方案(CISPR32 Class B)	6
3.1. EMI 结果总结	6
3.2. 参考方案（两层板、6 颗同时工作）	6
3.2.1. PCB 参考图及布局建议	6
3.2.2. 电路原理图及推荐器件配置	10
3.2.3. EMI 测试结果	11
4. CA-IS3417WT-Q1 的 EMI 设计参考方案(CISPR25 Class 5).....	13
4.1. EMI 结果总结	13
4.2. 参考方案（两层板、3 颗同时工作）	13
4.2.1. PCB 参考图及布局建议	13
4.2.2. 电路原理图及推荐器件配置	15
4.2.3. EMI 测试结果	16
修订历史	20
重要声明	20

1. 概述

CA-IS3417X 是一款光耦兼容的高压隔离开关，原边输入模拟二极管特性，副边集成 2 个背靠背 1700V 碳化硅 MOS。原副边隔离耐压高达 5KVrms，适用于电池电压检测、电池包绝缘检测等应用，替代传统光 MOS 器件。其中，CA-IS3417WT 符合工业标准，CA-IS3417WT-Q1 符合汽车标准，两者 PINOUT 相同。简要应用框图如下：

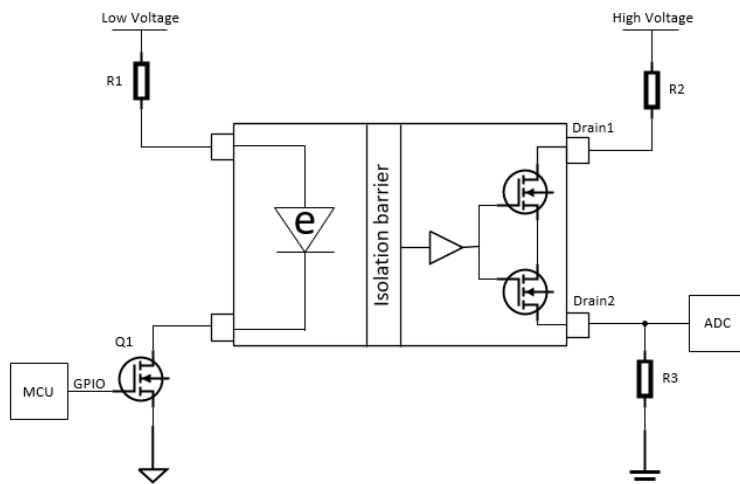
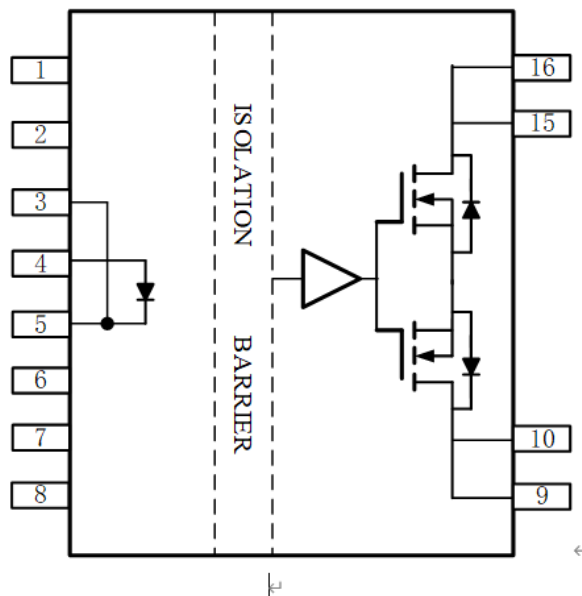


图 1-1 典型应用框图

2. 与辐射相关的芯片工作机制及抑制措施

2.1. 芯片功能概述

CA-IS3417X 隔离开关的 PIN 脚定义如下：

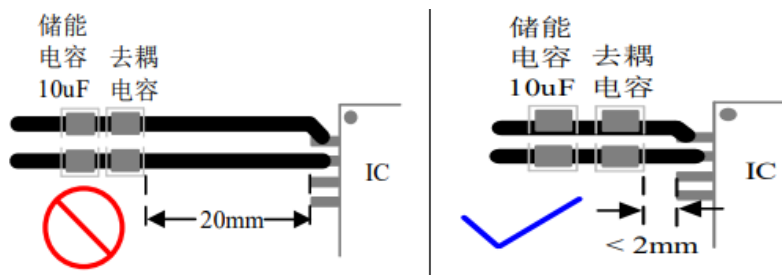


Pin No.	Pin Name	Description
1~2,6~8	NC	无连接
4	ANODE	正极
3,5	CATHODE	负极
9,10	Drain2	MOSFET 漏极
15,16	Drain1	MOSFET 漏极

芯片工作时，原边模拟光耦特性，当有 10mA 电流流过时，通过原副边集成的片上变压器及后级整流、电荷泵电路升压输出一个隔离的直流电压来驱动内部集成的 SiC MOS。片上变压器的高频开关引起的高 di/dt ， dv/dt 是辐射的主要来源，此外还有原副边寄生参数导致的共模噪声。为满足汽车及工业标准的 EMI 限值要求，需考虑外部措施抑制 EMI。

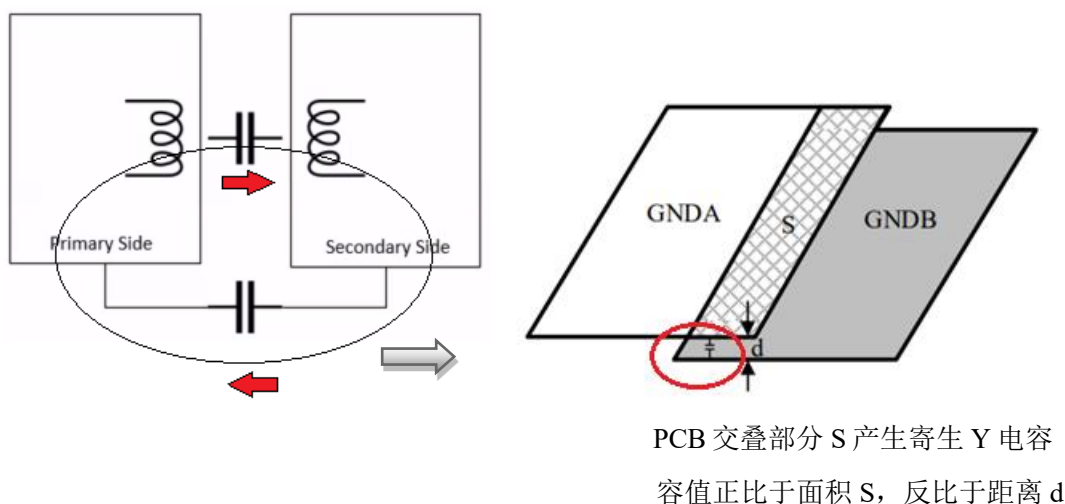
2.2. 合理放置去耦电容

去耦电容有助于滤除高频开关引起的差模噪声并为芯片提供瞬时峰值电流。建议在原边正负极之间放置低 ESR/ESL 的 100nF、10nF 等 MLCC 电容，距离芯片 PIN 脚 1-2mm，以缩小高频环路。（CA-IS3417X 原边为模拟二极管特性，无需储能电容）



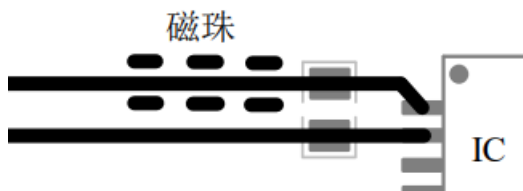
2.3. 在原副边之间放置 Y 电容

高频下，共模电流在原副边线圈的寄生电容及 PCB 对地的寄生电容之间形成环流，因环路面积大，产生辐射。建议在原副边的参考地之间放置 Y 电容使高频电流在内部回流（如左下图），减小环路面积降低辐射，或采用多层 PCB 在内部地层间形成频率特性更好的层叠 Y 电容（如右下图）。



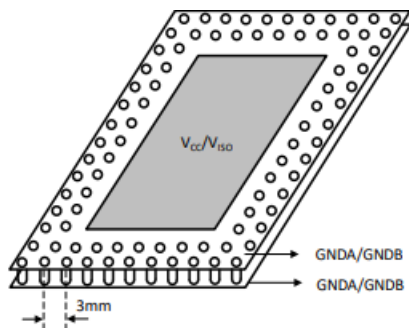
2.4. 放置铁氧体磁珠

在原边正负极处放置磁珠增加高频阻抗衰减辐射能量。建议靠近去耦电容放置，参数取 $600\ \Omega / 1K\ \Omega @ 100\text{Mhz}$ 。建议磁珠、电感等磁性器件下不铺地，以免被 PCB 寄生电容旁路掉衰减作用。



2.5. 构建边缘防护

在 PCB 四周加上一些接地的过孔，形成接地过孔防护盾，将噪声返回到地层，减少对外的辐射。建议有两排或两排以上过孔，两排过孔尽量相互错开，如下图所示。



3. CA-IS3417WT 的 EMI 设计参考方案(CISPR32 Class B)

3.1. EMI 结果总结

表 3-1 方案结果总结

方案	EMI 余量	频点	PCB 层数	磁珠	Y 电容	共模电感	差模电感
参考方案	>17 dB	1GHz	2	无	无	无	无

测试结论:

基于两层板, 单板 6 颗 CA-IS3417WT-Q1 同时工作, 可 pass CISPR32 Class B;

3.2. 参考方案 (两层板、6 颗同时工作)

3.2.1. PCB 参考图及布局建议

- 1) 单板 6 颗 CA-IS3417WT 同时工作, 输入 3.3V, 限流电阻 R1 均为 150 Ω ;
- 2) 因芯片辐射较小, 所有磁珠 BD1~4, 去耦电容 C1, 及 Y 电容均为预留器件, 本测试未贴装;
- 3) 副边高压侧开路, R2 未贴装;

参考布局如下;

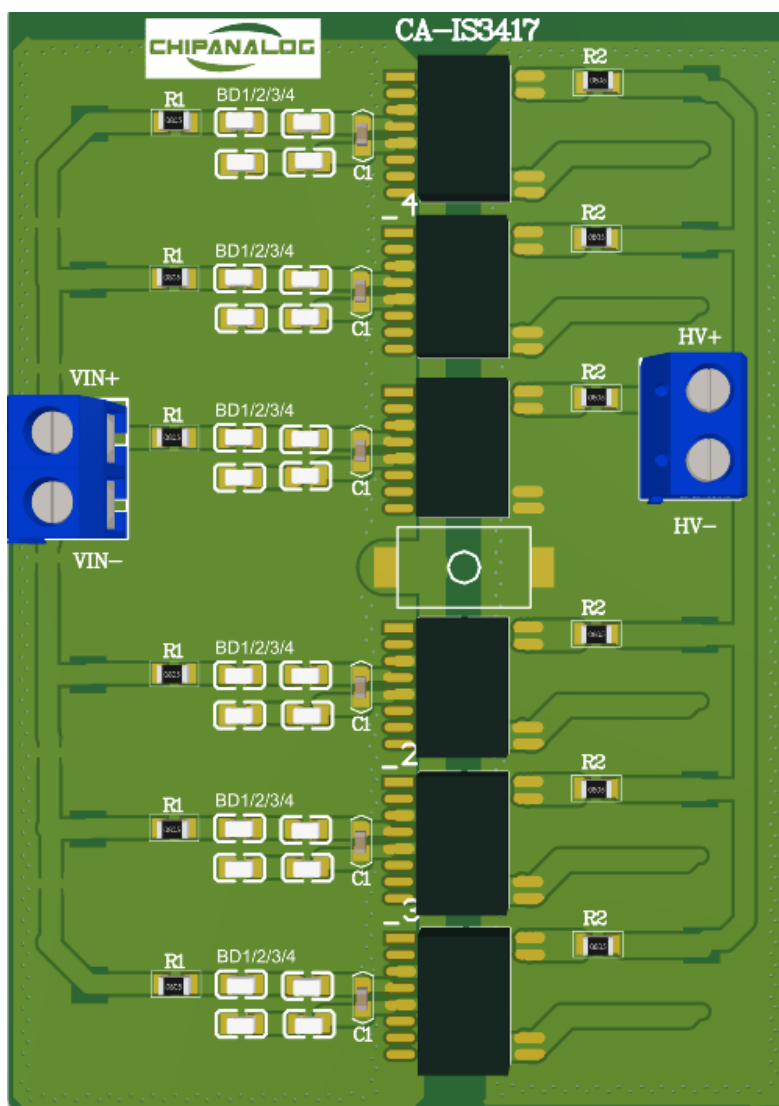


图 3-1 PCB 3D 图

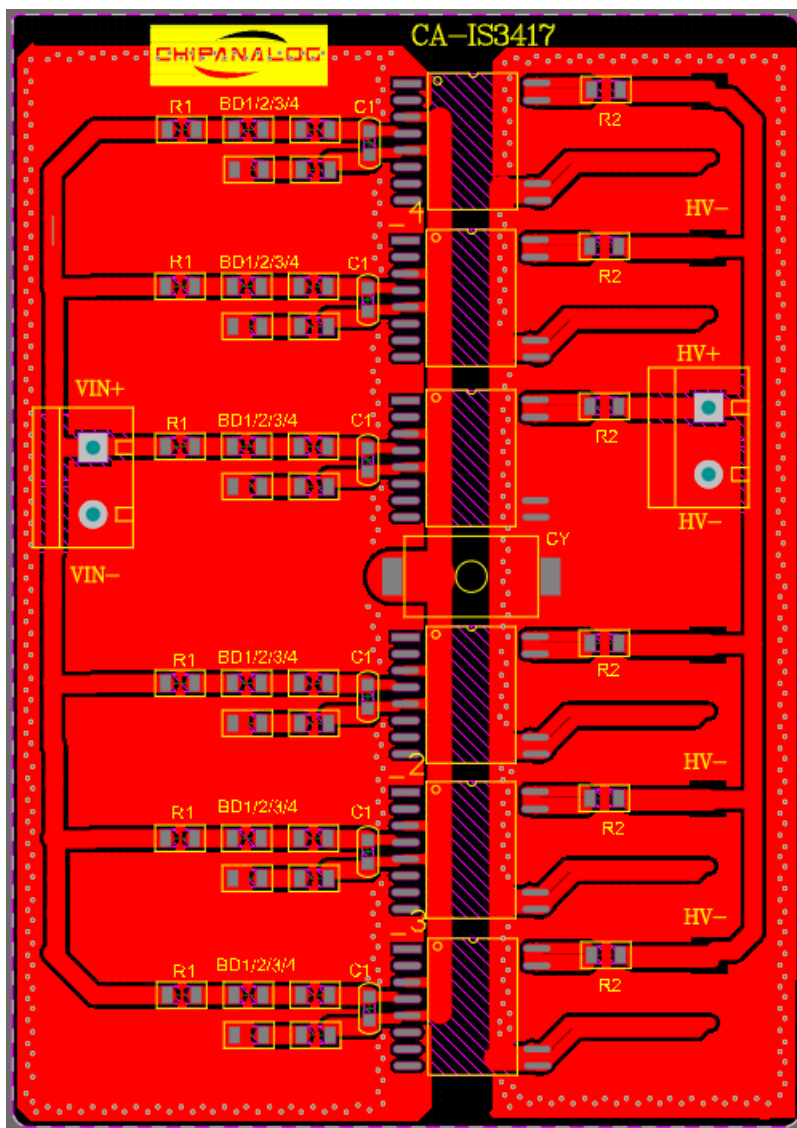


图 3-2 PCB 顶层

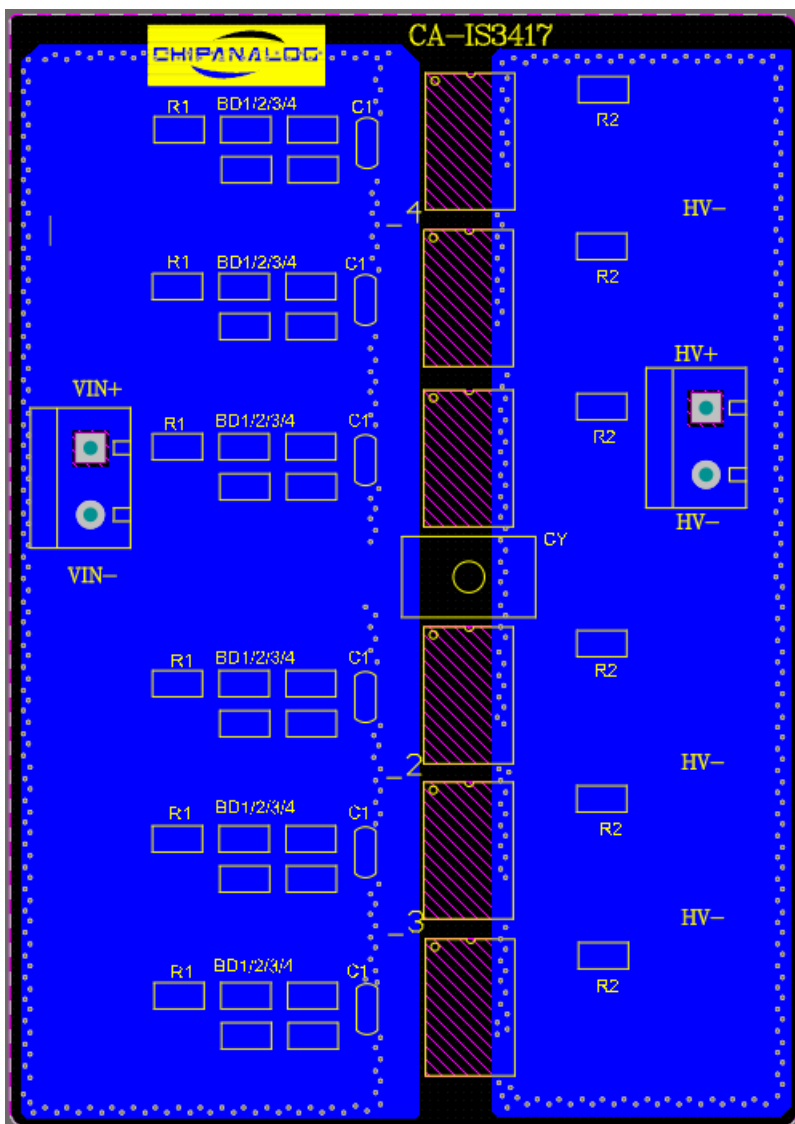


图 3-3 PCB 底层

3.2.2. 电路原理图及推荐器件配置

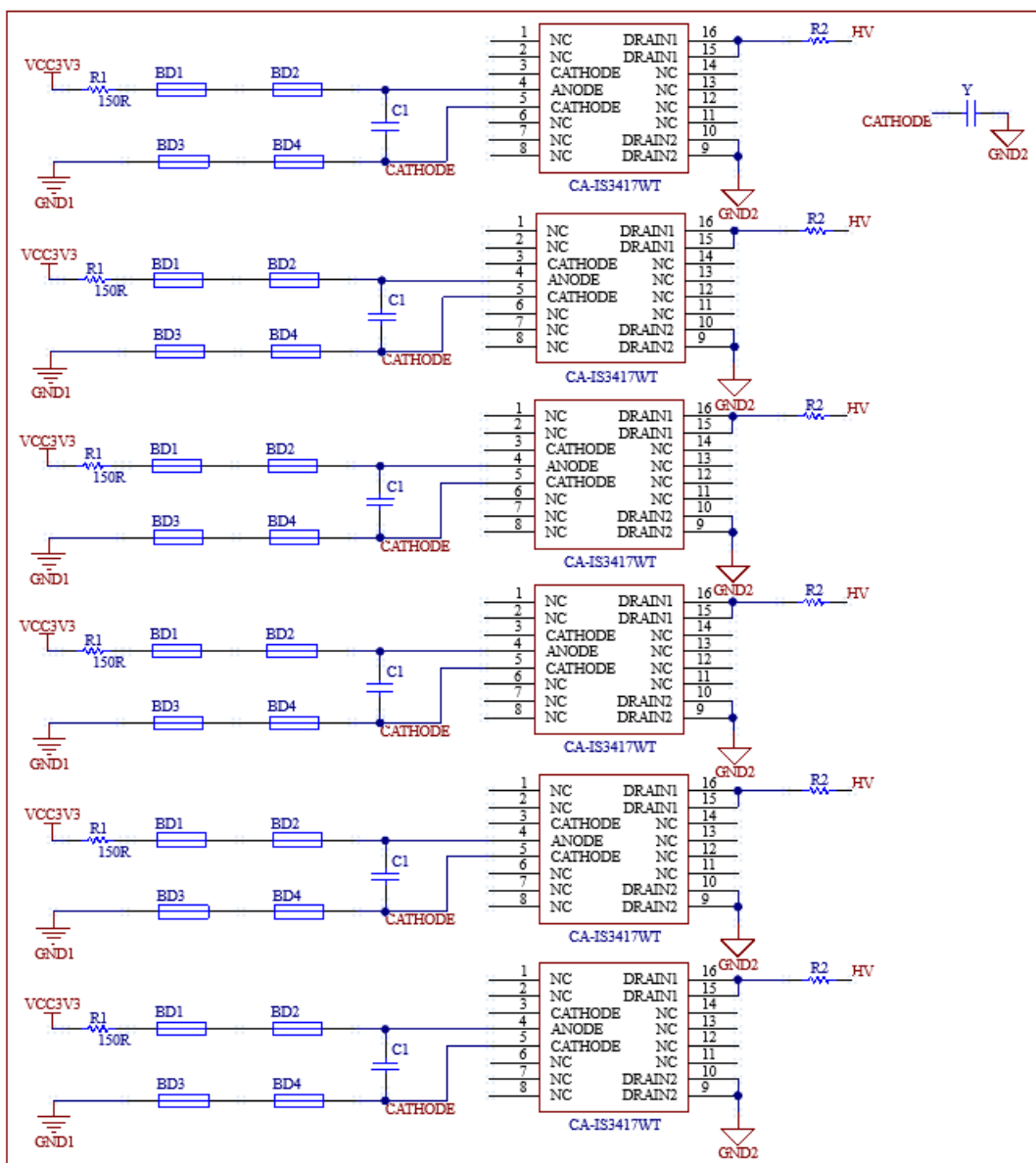


图 3-4 电路原理图（单板 6 颗）

表 3-2 器件配置表

相关措施	位号	参数	EMI 相关器件型号	备注
去耦电容	C1	10nF		预留，本测试未贴装
磁珠	BD1~4	1k Ω (@100MHz)		预留，本测试未贴装
Y 电容	Y	1nF		预留，本测试未贴装

3.2.3. EMI 测试结果

表 3-3 方案一 EMI 测试结果总结(CISPR32 Class B)

负载大小	垂直余量	水平余量
原边模拟二极管功耗 1.8V/10mA	17.4dB	19.9dB

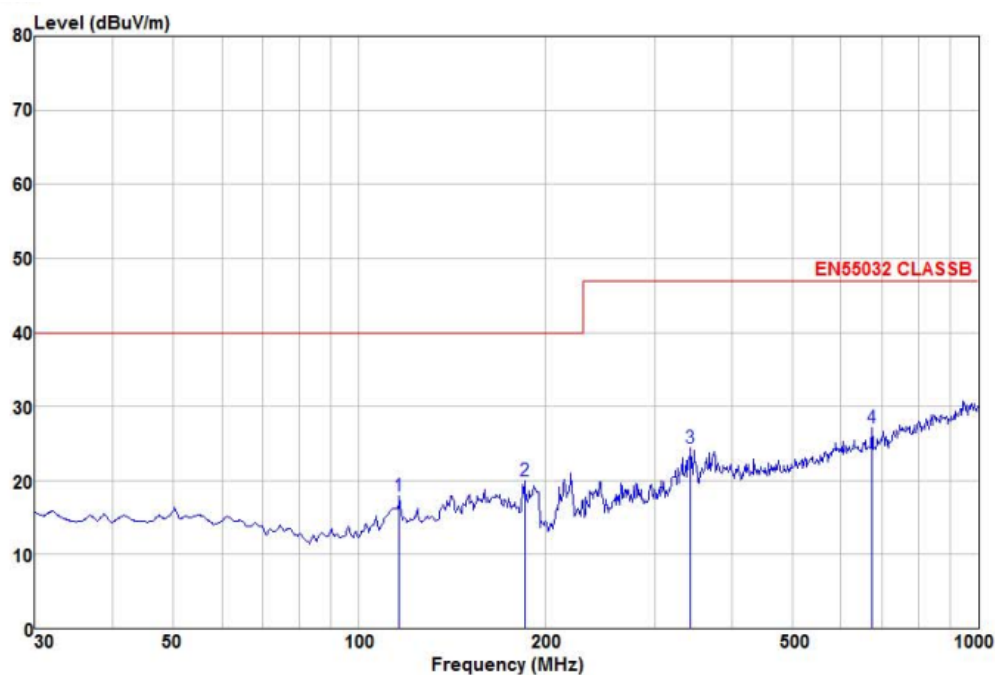


图 3-5 水平方向结果

EMI 测试结果：30MHz-1000MHz，余量 19.9dB；

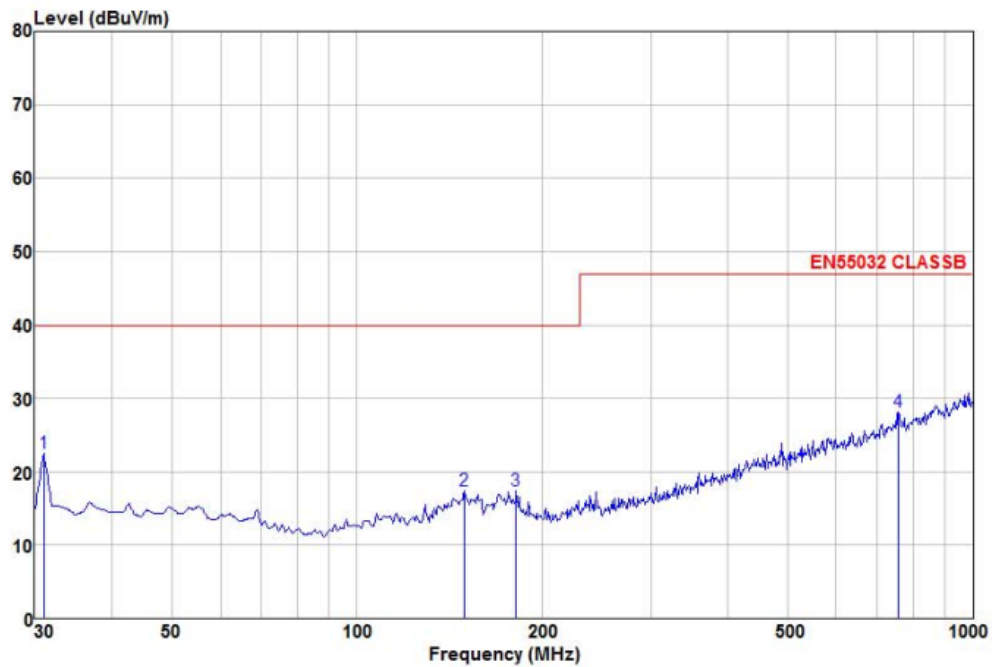


图 3-6 垂直方向结果

EMI 测试结果: 30MHz-1000MHz, 余量 17.4dB;

4. CA-IS3417WT-Q1 的 EMI 设计参考方案(CISPR25 Class 5)

4.1. EMI 结果总结

表 4-1 方案结果总结

方案	EMI 余量	频点	PCB 层数	磁珠	Y 电容	共模电感	差模电感
参考方案	2.09 dB	240MHz	2	无	无	无	无

测试结论:

基于两层板, 不加任何 EMI 滤波器件的条件下, 3 颗 CA-IS3417WT-Q1 同时工作, 可通过 CISPR25 Class5;

4.2. 参考方案 (两层板、3 颗同时工作)

4.2.1. PCB 参考图及布局建议

- 1) 单板 3 颗 CA-IS3417WT-Q1 同时工作, 输入 3.3V, 限流电阻 R1 均为 150 Ω ;
- 2) 因芯片辐射较小, 所有磁珠 BD1,BD2, 去耦电容 C1, 及 Y 电容 Y1,Y2 均为预留器件, 本测试未贴装;
- 3) 副边高压侧开路, R2 未贴装;
- 4) 芯片 U1 为前级 LDO, 输出 3.3V;

参考布局如下;

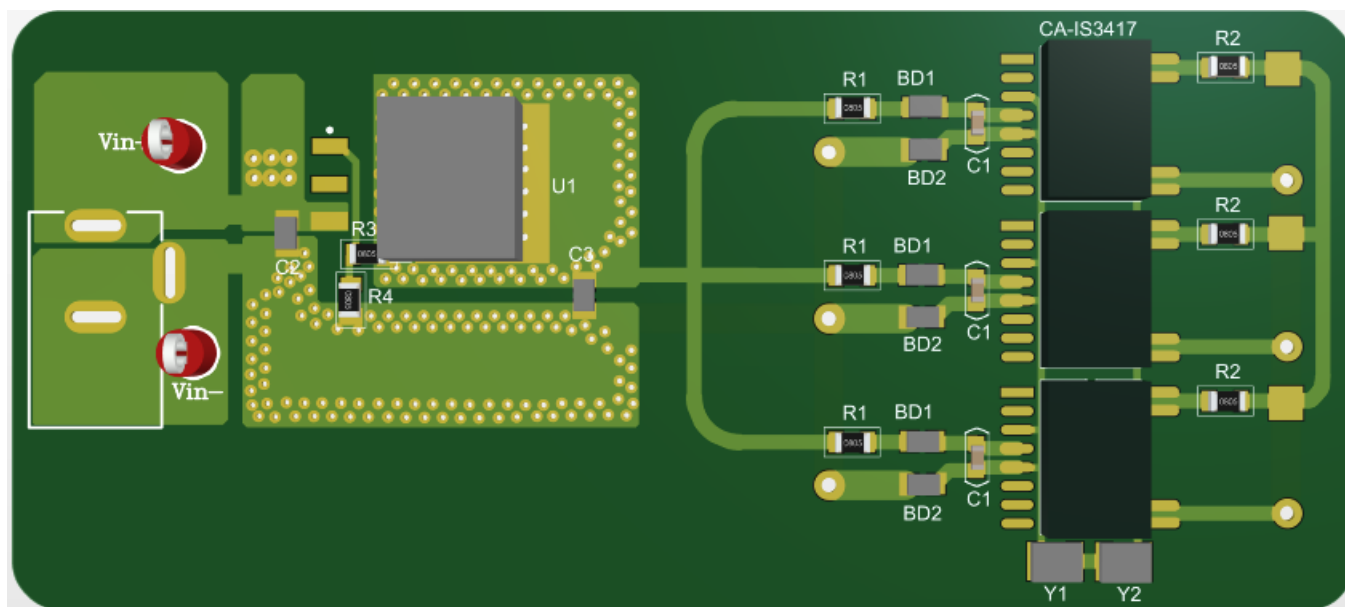


图 4-1 PCB 3D 图

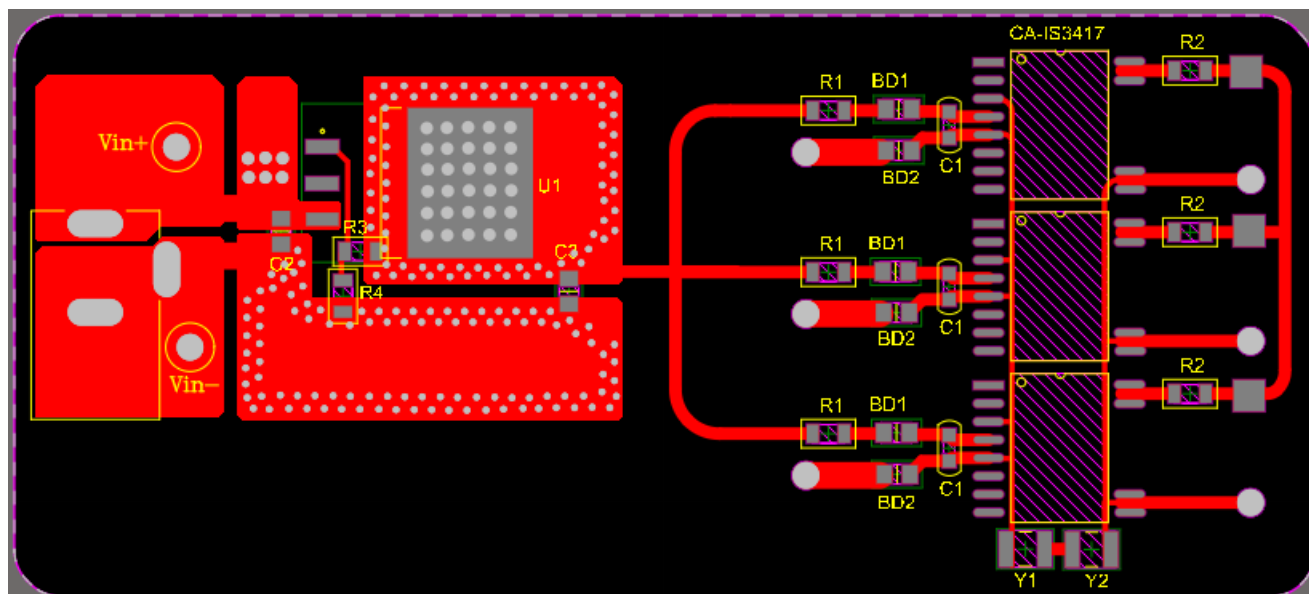


图 4-2 PCB 顶层

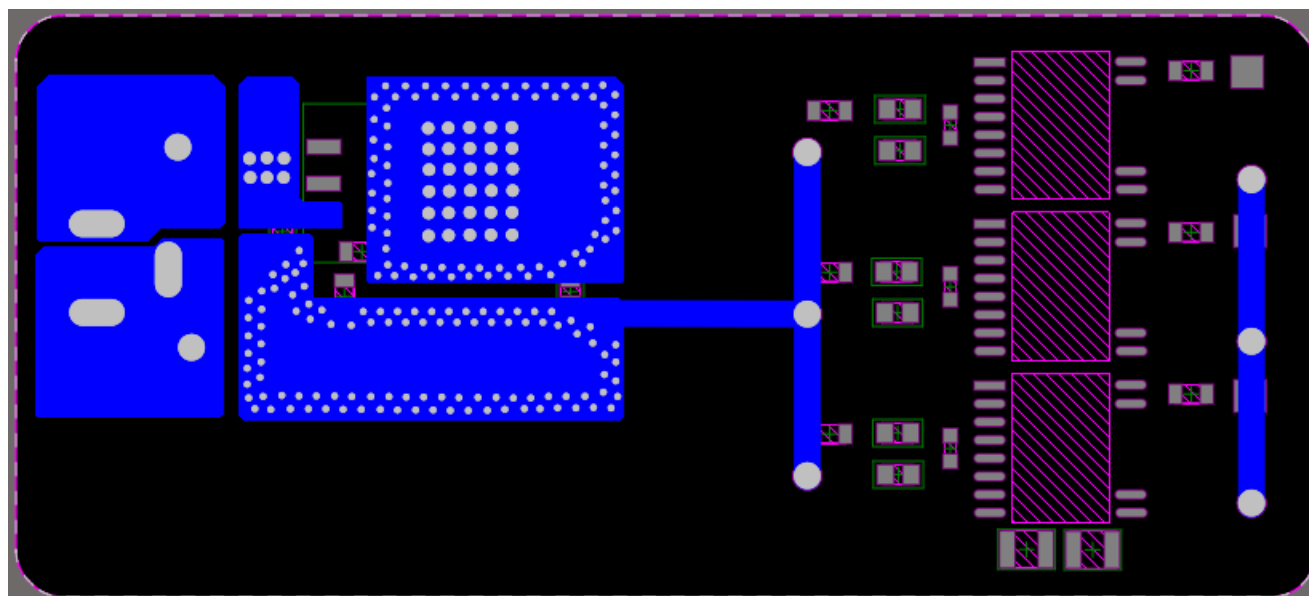


图 4-3 PCB 底层

4.2.2. 电路原理图及推荐器件配置

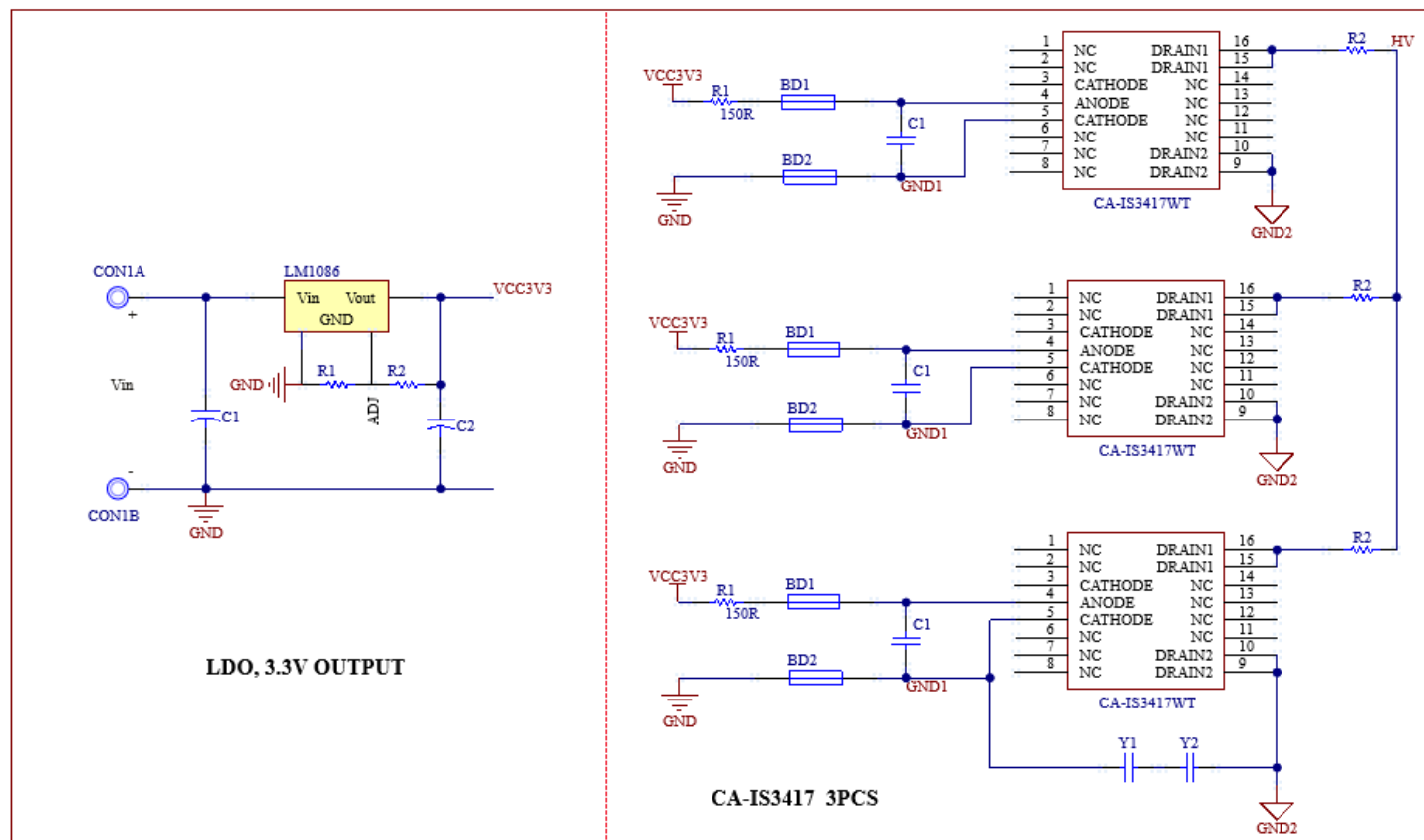


图 4-4 电路原理图（单板 3 颗）

表 4-1 器件配置表

相关措施	位号	参数	EMI 相关器件型号	备注
去耦电容	C1	10nF		预留，本测试未贴装
磁珠	BD1, BD2	1k Ω (@100MHz)		预留，本测试未贴装
Y 电容	Y1, Y2	1nF		预留，本测试未贴装

4.2.3. EMI 测试结果

表 4-2 方案一 EMI 测试结果总结 (CISPR25 Class-5)

输入侧条件	垂直余量	水平余量
原边模拟二极管功耗 1.8V/10mA	2.09dB	2.71dB

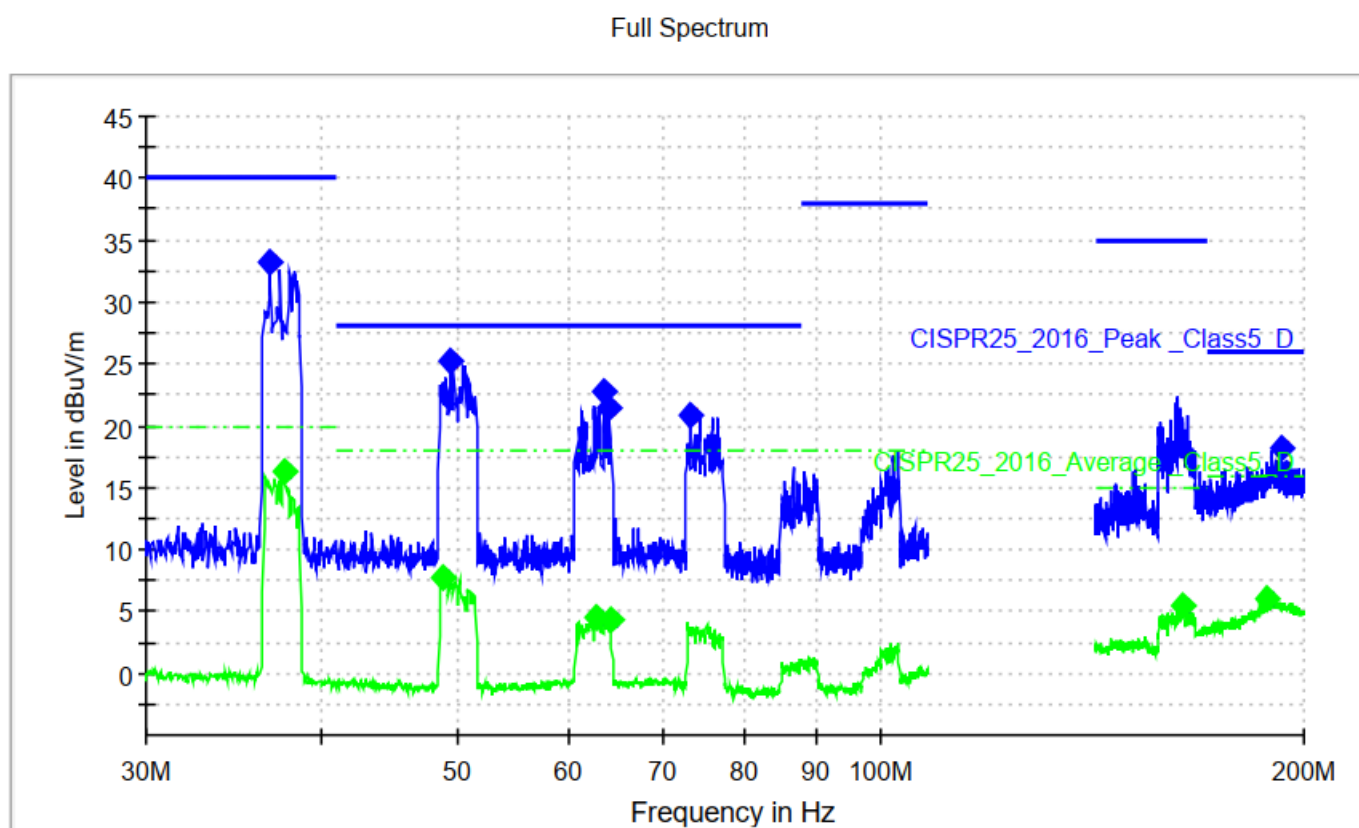


图 4-5 水平方向结果

EMI 测试结果: 30MHz-200MHz, 余量 2.71dB;

Full Spectrum

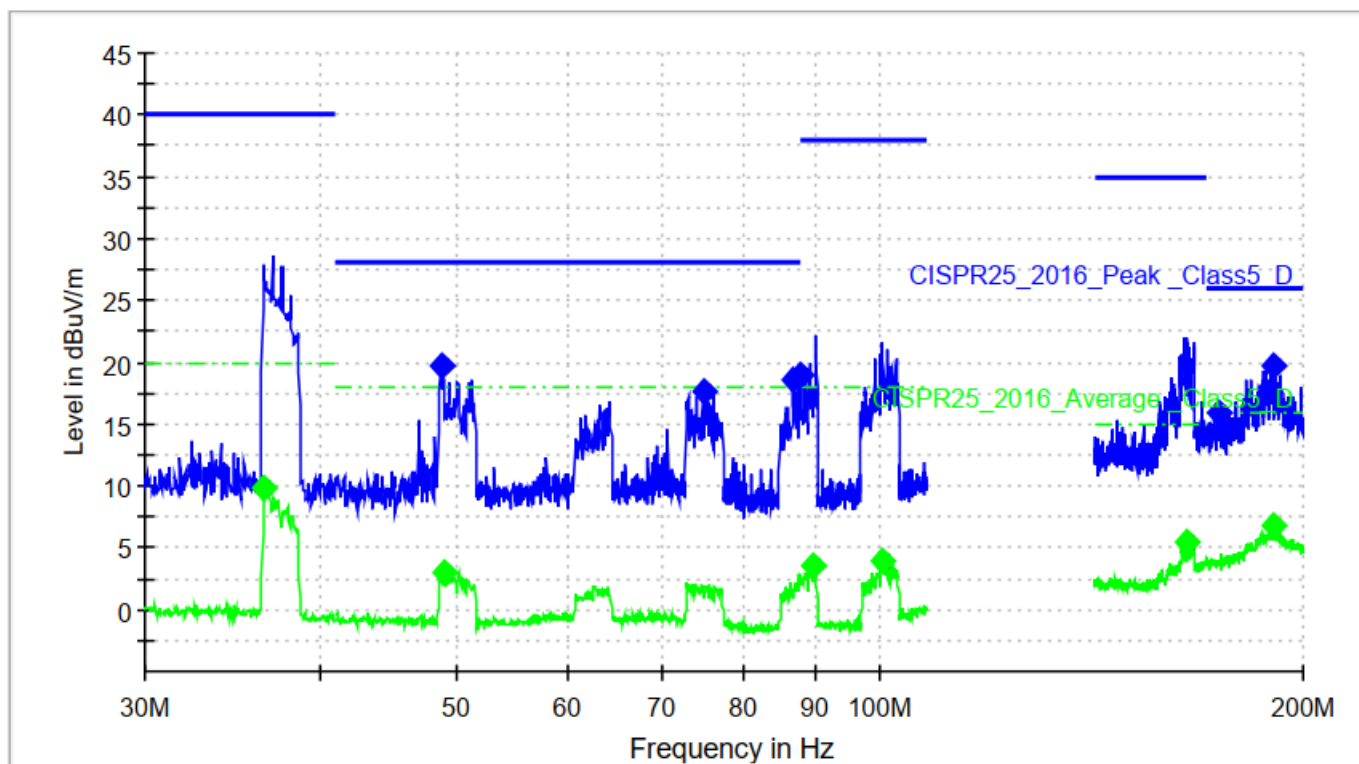


图 4-6 垂直方向结果

EMI 测试结果：30MHz-200MHz，余量 6.35dB；

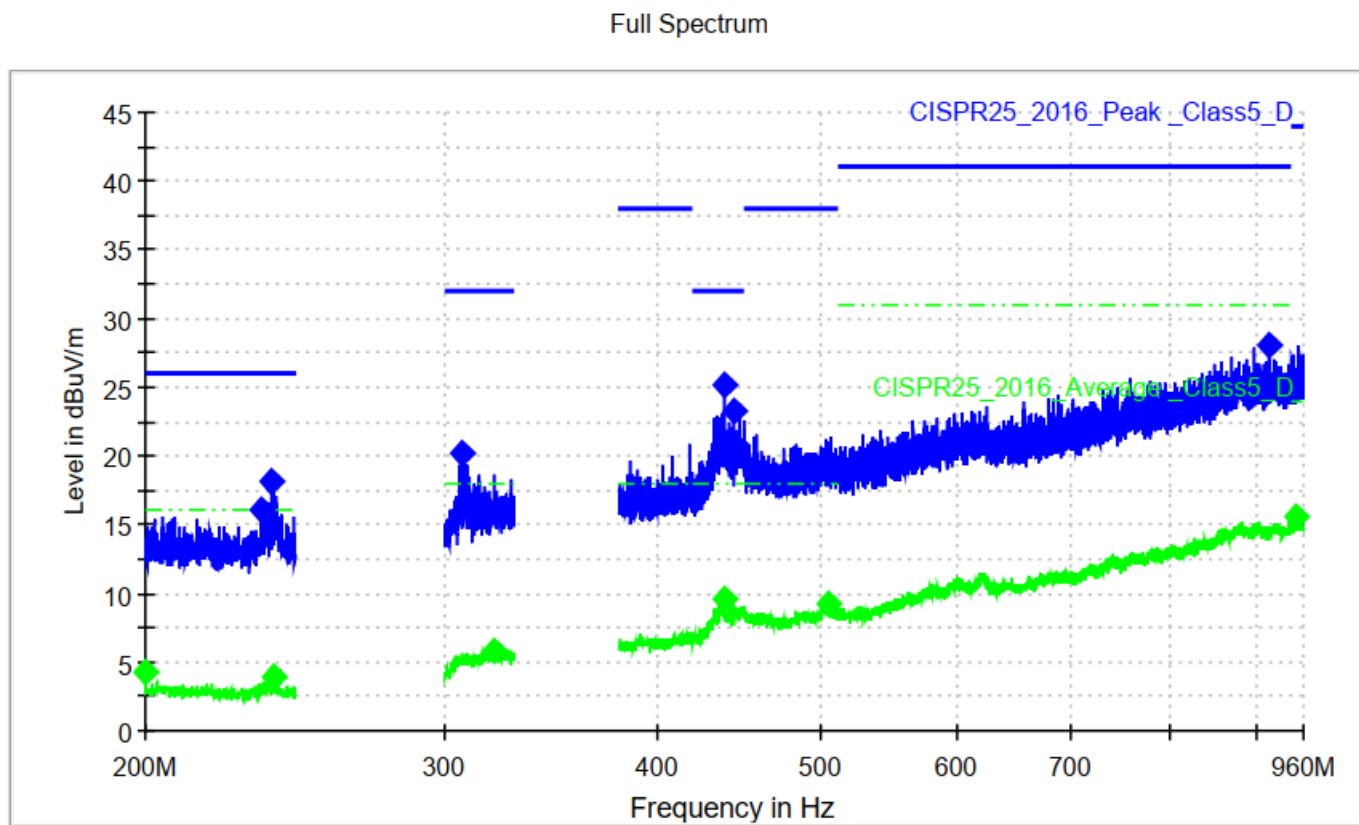
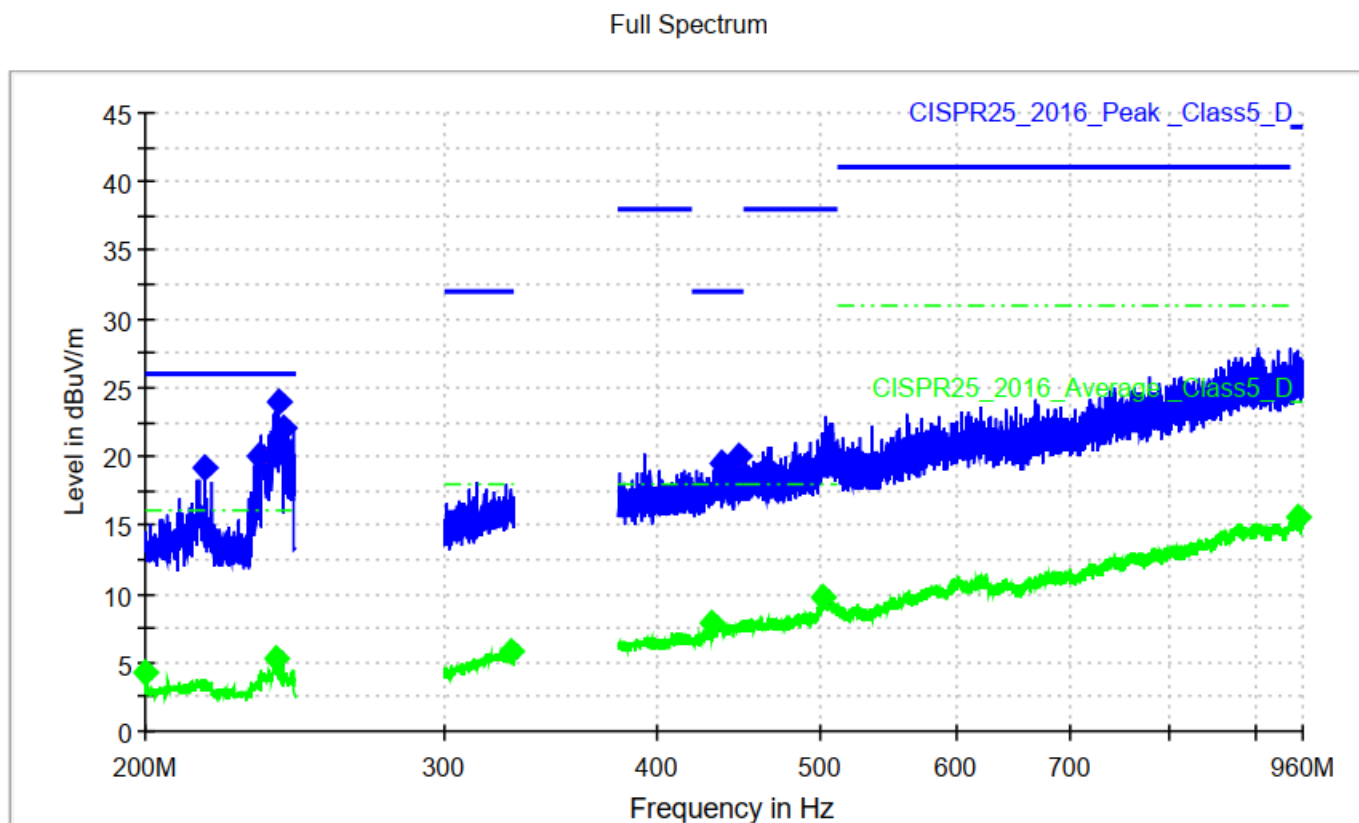


图 4-7 水平方向结果

EMI 测试结果：200MHz-960MHz，余量 6.89dB；



EMI 测试结果：200MHz-960MHz，余量 2.09dB；

修订历史

修订版本	修订时间	修订内容
Ver 1.0	2023/12/25	初始版本
Ver 1.1	2023/12/28	增加 4. EMI 方案描述(Cispr25 Class 5)

重要声明

上述资料仅供参考使用，用于协助 Chipanalog 客户进行设计与研发。Chipanalog 有权在不事先通知的情况下，保留因技术革新而改变上述资料的权利。