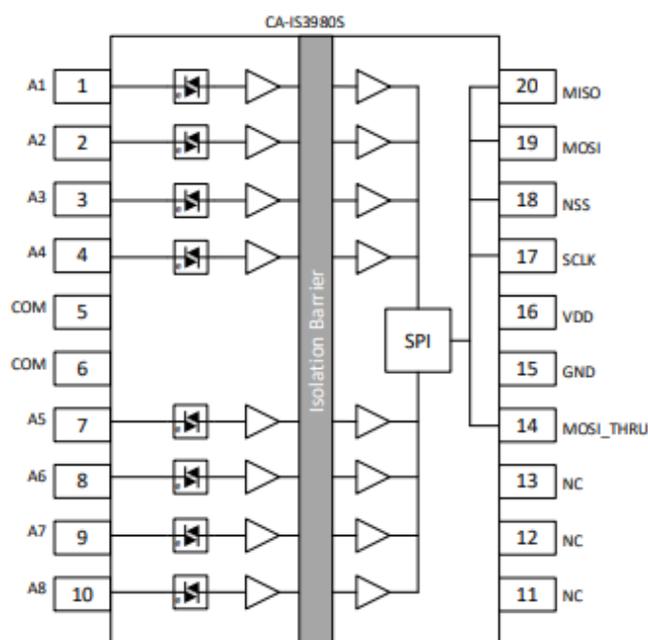


CA-IS3980S 隔离型 8 通道数字输入接收器应用说明

概述

CA-IS3980S 为隔离型 8 通道数字输入 IC，优化用于工业现场 24V 数字输入模块。CA-IS3980S 为串行输出的工业接口器件能够将 8 路 24V 数字输入转化成 CMOS 兼容的逻辑信号，通过 SPI 接口连接到微处理器。本文主要提供读写芯片内部 SPI 接口的相关指导。

简要框图及引脚定义



引脚编号	引脚名称	类型	说明
CA-IS3980S			
1,2,3,4,7,8,9,10	A1-A8	输入	现场侧输入，低速通道。
5, 6	COM	COM	公共端，灌电流输入配置时，该引脚接地；拉电流输入配置时，该引脚接现场侧电源。
11, 12, 13	NC	---	没有内部连接。
16	VDD	电源	2.25V 至 5.5V 逻辑侧电源输入。
15	GND	GND	逻辑侧接地。
19	MOSI	输入	SPI 串行数据输入。
17	SCLK	输入	SPI 串行时钟输入。
18	NSS	输入	SPI 片选输入。
14	MOSI_THRU	输出	SPI 串行数据输出，用于支持多片 CA-IS3980S 菊链(最多 16 片)。
20	MISO	输出	SPI 串行数据输出。

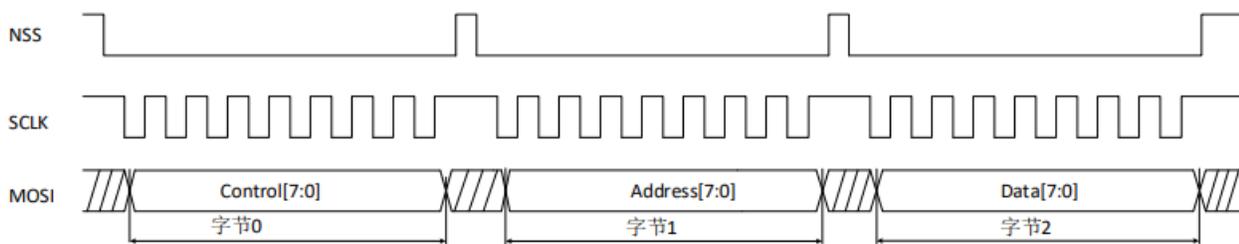
SPI 通讯简介

CA-IS3980S 通过 4 线 SPI 兼容串行接口与微控制器通信。该接口包含三个输入引脚：时钟(SCLK)、片选(NSS)和数据输入(MOSI)，以及一路数据输出(MISO)。

CA-IS3980S 作为 SPI 通信总线的从机，微控制器则作为 SPI 通信主机。NSS 输入用于启动和终止一次数据传输。SCLK 用于同步主机(微控制器)与从机之间的数据传输。当片选信号 NSS 为低电平时，可以将数据移入或移出器件，每个时钟移动一位并在时钟上升沿采样数据。

CA-IS3980S 的每次 SPI 通信由三个串行字节组成：Byte 0、Byte 1 和 Byte 2，其中，“Byte 0”是控制字节，“Byte 1”指定所要访问(读或写操作)的 CA-IS3980S 的内部寄存器地址。最后一个字节(Byte 2)为要写入器件 CA-IS3980S 内部寄存器的数据(通过 MOSI 引脚)或从器件 CA-IS3980S 寄存器中读取的数据(通过 MISO 引脚)。

其通讯时序如下图：



SPI 时钟重同步

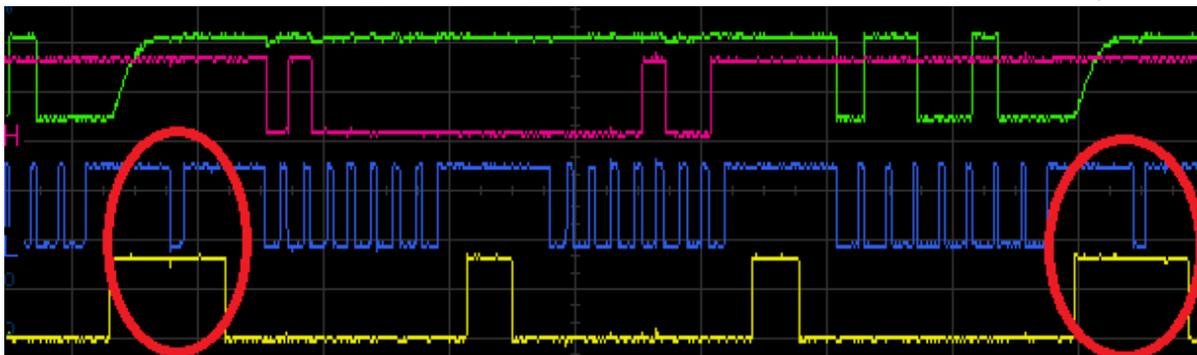
SPI 时钟用于同步主机(微控制器)与从机(CA-IS3980S)之间的数据传输。

通讯过程中的同步丢失并不会造成目标寄存器值的修改，但是如果 SPI 发送的最后一个字节超出 8 位数据会造成目标寄存器内容不确定，因此当发生 SPI 通讯的同步丢失时要进行 SPI 重新同步操作。

重新建立 SPI 同步的方法是 SPI 主机在 NSS 为高电平时发送 SCLK 时钟信号，在 NSS 为高电平时 SCLK 的上升沿会复位器件内部的 SPI 状态机，使器件的 SPI 和主机 SPI 重新建立同步。同步建立后，SPI 主机拉低 NSS 发送的 8 位数据会被器件当作 SPI 通讯中三个字节的第一个字节。在进行同步操作后，需要从 SPI 的第一个字节(字节 0)开始发送数据来启动通讯。

SPI 主机访问 CA-IS3980S 参考流程：

- 1) SPI 主机读写 CA-IS3980S 时，主机固定添加重同步，即在 NSS 为高期间增加一个 clock 信号，如下图所示：



2) 为使芯片稳定工作，建议做如下初始化配置：芯片上电后，主机通过 SPI 按如下流程配置 CA-IS3980S 寄存器：

- a. 在地址 0x0A 写 0x55

00	0A	55	Send_Data
Control	Address	Data	

- b. 在地址 0x09 写 0x44

00	09	44	Send_Data
Control	Address	Data	

- c. 在地址 0x0A 写 0x00

00	0A	00	Send_Data
Control	Address	Data	

版本信息

版本	日期	状态描述
Ver1.0	Oct.2023	Initial release

重要声明

上述资料仅供参考使用，用于协助 Chipanalog 客户进行设计与研发。Chipanalog 有权在不事先通知的情况下，保留因技术革新而改变上述资料的权利。



<http://www.chipanalog.com>