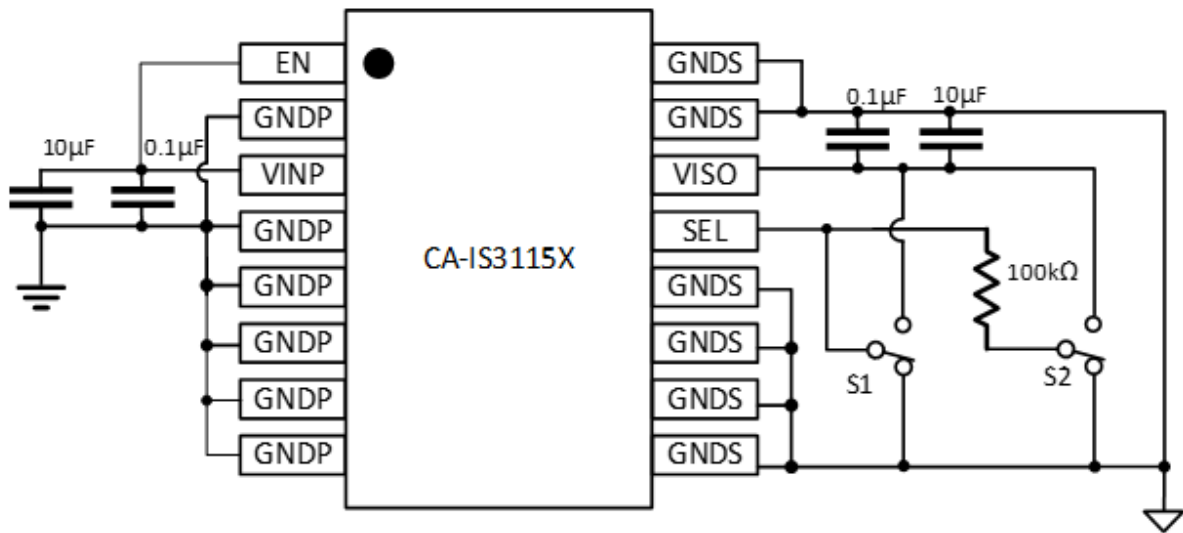


## CA-IS3115X/ CA-IS3115X-Q1 隔离 DC-DC 辐射抑制参考设计

### 概述

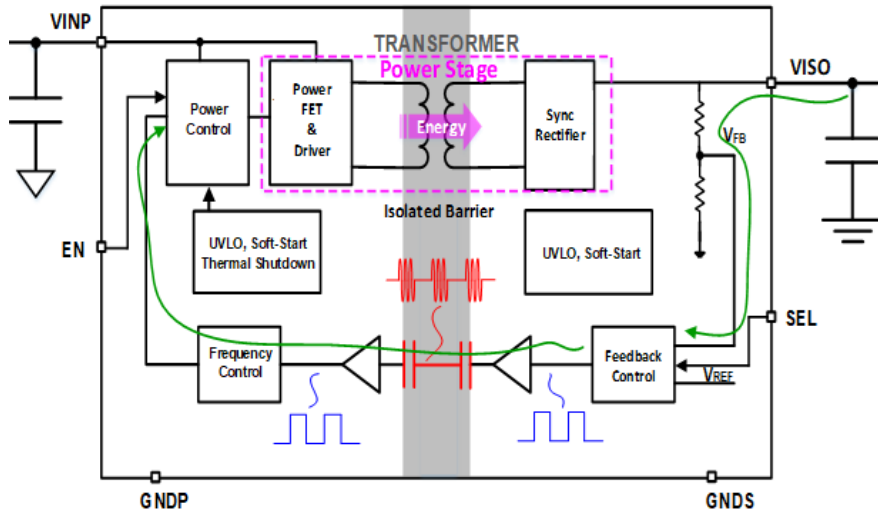
关于隔离电源 EMI 辐射抑制的相关措施，在川土微电子的应用笔记有过介绍，详见 AN001: [隔离电源的辐射抑制设计参考.pdf \(chipanalog.com\)](#)。本文主要针对川土微电子隔离电源产品 CA-IS3115X，详细介绍该芯片在实际应用中抑制辐射的具体方法，测试板基于 4 层 PCB 设计，测试标准为工业标准 EN55032(CISPR32) Class B，及车规标准 CISPR25 Class 4。



典型应用框图

与辐射相关的芯片工作机制及抑制措施

CA-IS3115X 芯片内部功能框图如下：

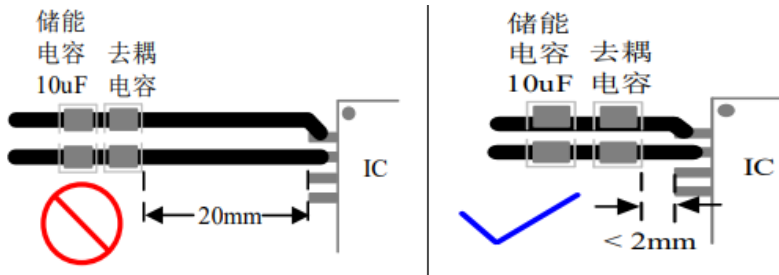


CA-IS3115X 是一款 5kVrms 隔离耐压的 DC-DC 转换芯片，集成片上变压器。原边能量通过变压器传递到副边，且根据 SEL 引脚的不同设置（SEL 接 VISO, 输出 5V; SEL 接 GNDS, 输出 3.3V; SEL 通过 100KΩ 电阻接 VISO, 输出 5.4V; SEL 通过 100KΩ 电阻接 GNDS, 输出 3.7V）输出被调节成不同的电压。副边侧(VISO)控制器将控制信号通过一个专用的隔离数据通道传递给原边，原边侧控制电路依据副边侧电路反馈的信号调节传输能量。VINP 和 VISO 电源上都具备带迟滞的欠压锁定(UVLO)保护，保证了系统在噪声条件下的良好性能。内置的软启动电路确保了不会出现浪涌电流和输出电压过冲。

片上变压器工作频率是 25MHZ，是辐射的源头。在设计外围电路及 PCB 布板时需考虑 EMI 抑制策略，以下是一些建议：

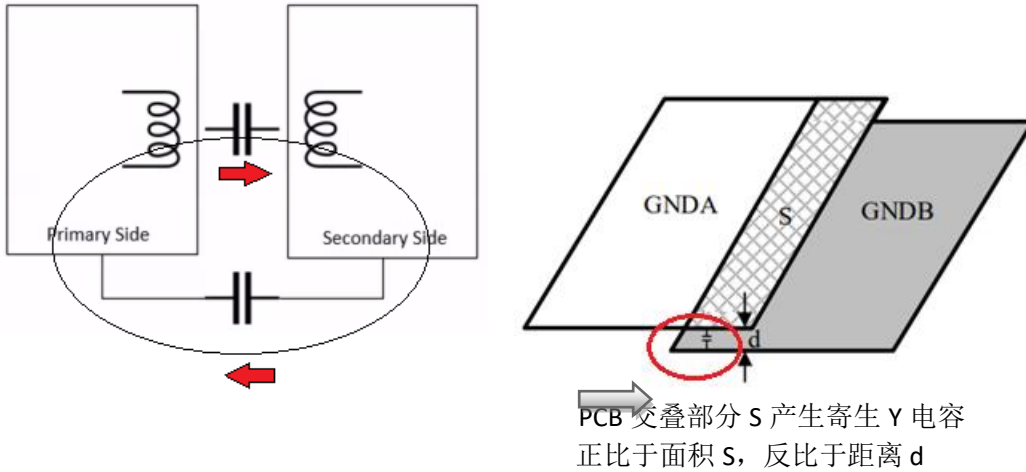
a. 合理放置去耦电容

去耦电容有助于滤除高频开关引起的差模噪声并为芯片提供瞬时峰值电流。建议在原边电源与地及副边电源与地之间均放置低 ESL/ESR 的 MLCC 电容，去耦电容尽可能靠近芯片封装管脚（建议 1-2mm，如下图所示），以缩小高频电流环路面积减小辐射。去耦电容容值建议取 1nF, 10nF, 100nF 等，与储能电容 10uF, 22uF 等并联。



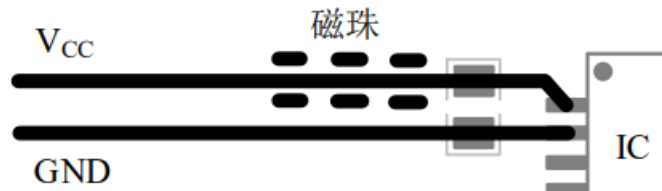
b. 在原副边之间放置 Y 电容

高频开关状态下，共模电流在变压器原副边线圈的寄生电容及原副边 PCB 板的寄生电容之间形成环流（如左下图）。方案一采用在原副边之间放置分立器件 Y 电容，为共模电流提供一个低阻抗的回流路径，减小环路面积降低辐射；方案二采用 4 层 PCB 在内部地层之间形成频率特性更好的层叠 Y 电容（如右下图）。建议在条件允许时，优先选择方案二。



**c. 放置磁珠/共模电感/差模电感**

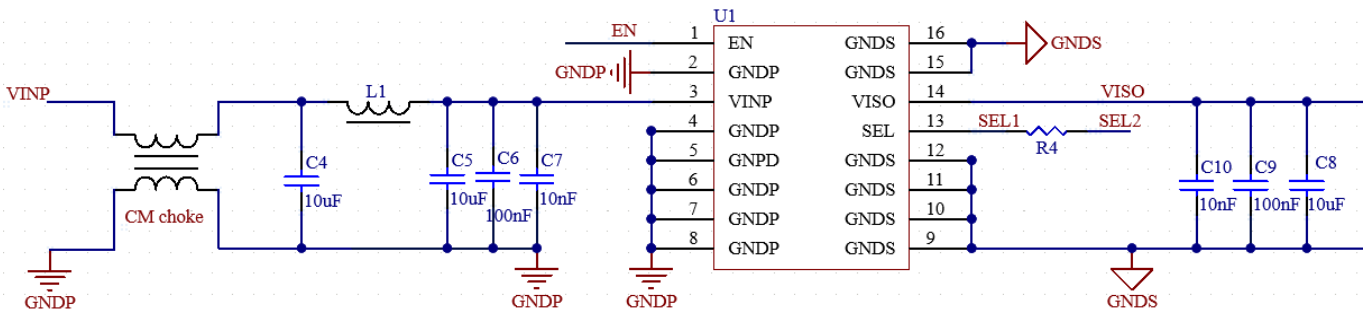
在原边及副边的电源与地之间放置磁珠增加高频阻抗降低辐射，磁珠紧贴上述去耦电容放置，如下图所示，参数建议取  $600\ \Omega - 2K\ \Omega @ 100MHz$ 。



在原边及副边的电源与地之间视测试效果选择性放置共模电感滤除中高频噪声，如下图输入端 CM choke 所示，参数建议取  $1K\ \Omega - 2K\ \Omega @ 100MHz$ 。

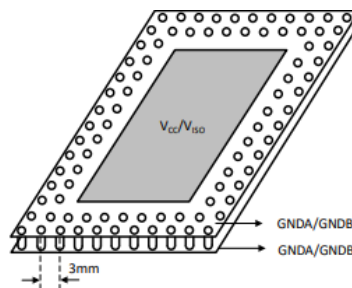
在共模电感之后视测试效果选择性放置差模电感滤除中低频噪声，如下图中 L1，并与 C4,C5 组成  $\Pi$  滤波。

建议磁珠及共模/差模电感等磁性器件下不铺地，以免被 PCB 寄生电容旁路掉。

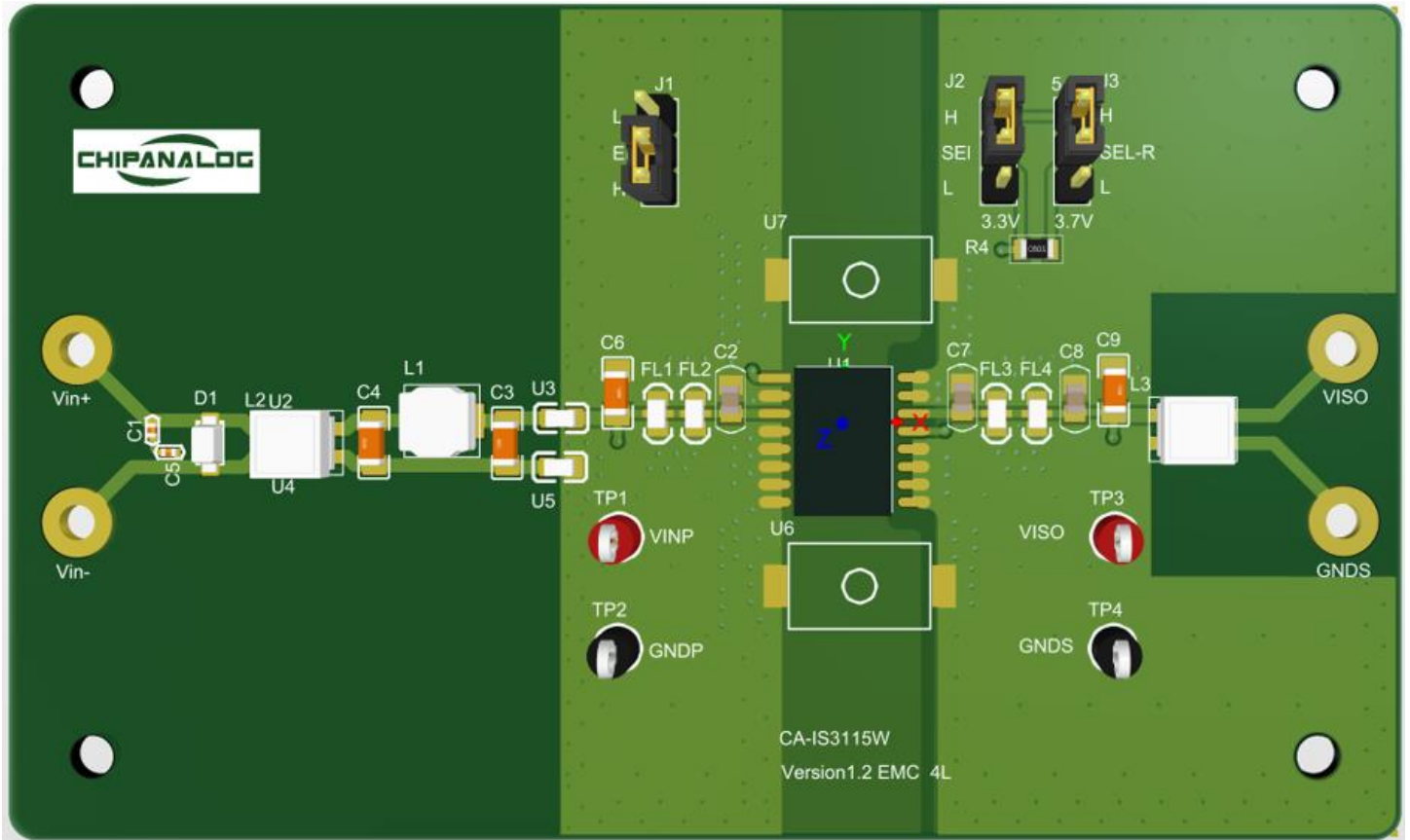


**d. 构建边缘防护**

在 PCB 四周边缘放置密集的接地过孔，减小接地阻抗并抑制对外辐射。建议有两排或两排以上过孔，两排过孔尽量相互错开，如下图所示。



测试板 3D 图（汽车应用，测试标准 CISPR25 Class 4）：



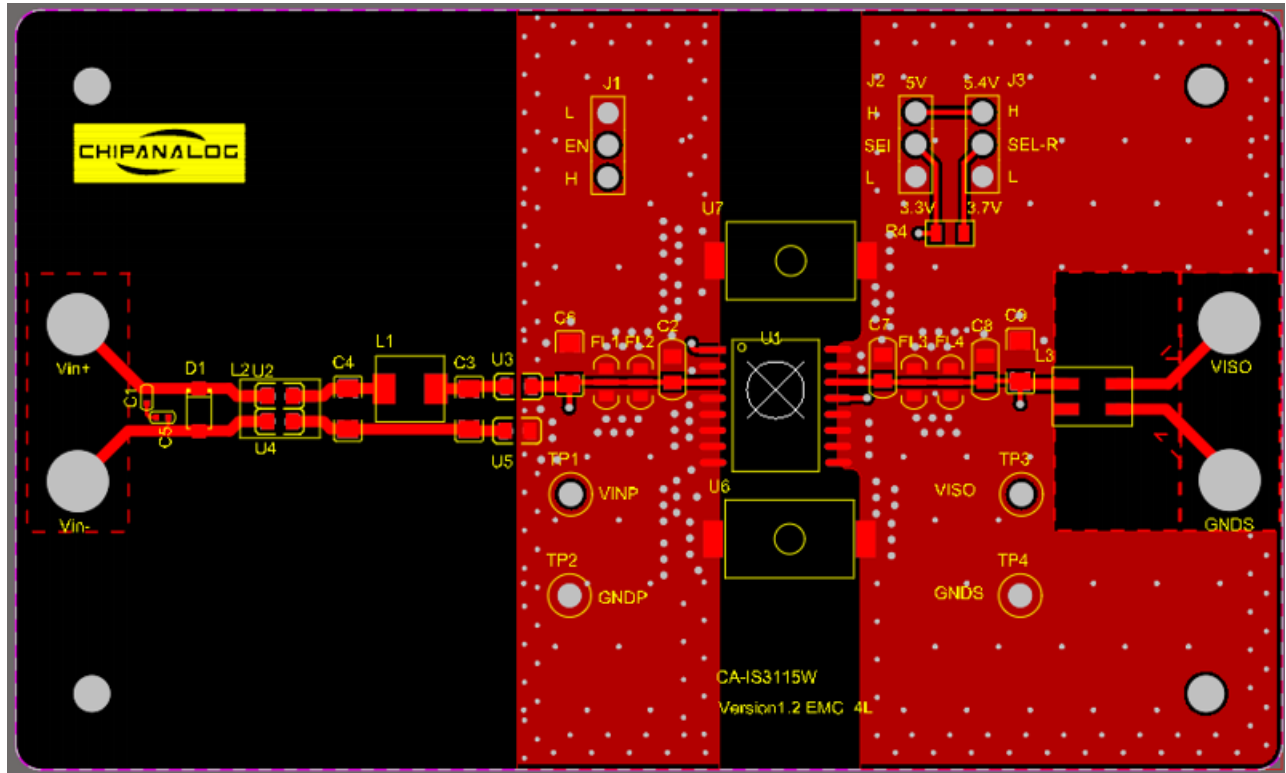
### PCB 参考布局

1. 将去耦电容紧靠芯片原副边的电源/地放置，缩小高频环路，如下图中 C2, C7。（FL1~4 为平衡滤波器，未贴）
2. 电源输入放置磁珠 U3, U5, 滤除高频噪声；L1 为预留差模电感（未贴），与 C3, C4 组成 II 滤波，滤除差模噪声
3. 原副边参考地之间预留 Y 电容位置，缩小高频环路面积抑制辐射(本参考设计未用分立 Y 电容，采用 4 层 PCB 在内层设置层叠 Y 电容抑制辐射)
4. 原副边板边参考地处打密集过孔形成地屏蔽圈抑制空间辐射
5. L2, L3 为预留共模电感位置，兼容磁珠封装，衰减中高频噪声；C1, C5, D1 为预留 ESD 器件，均未贴

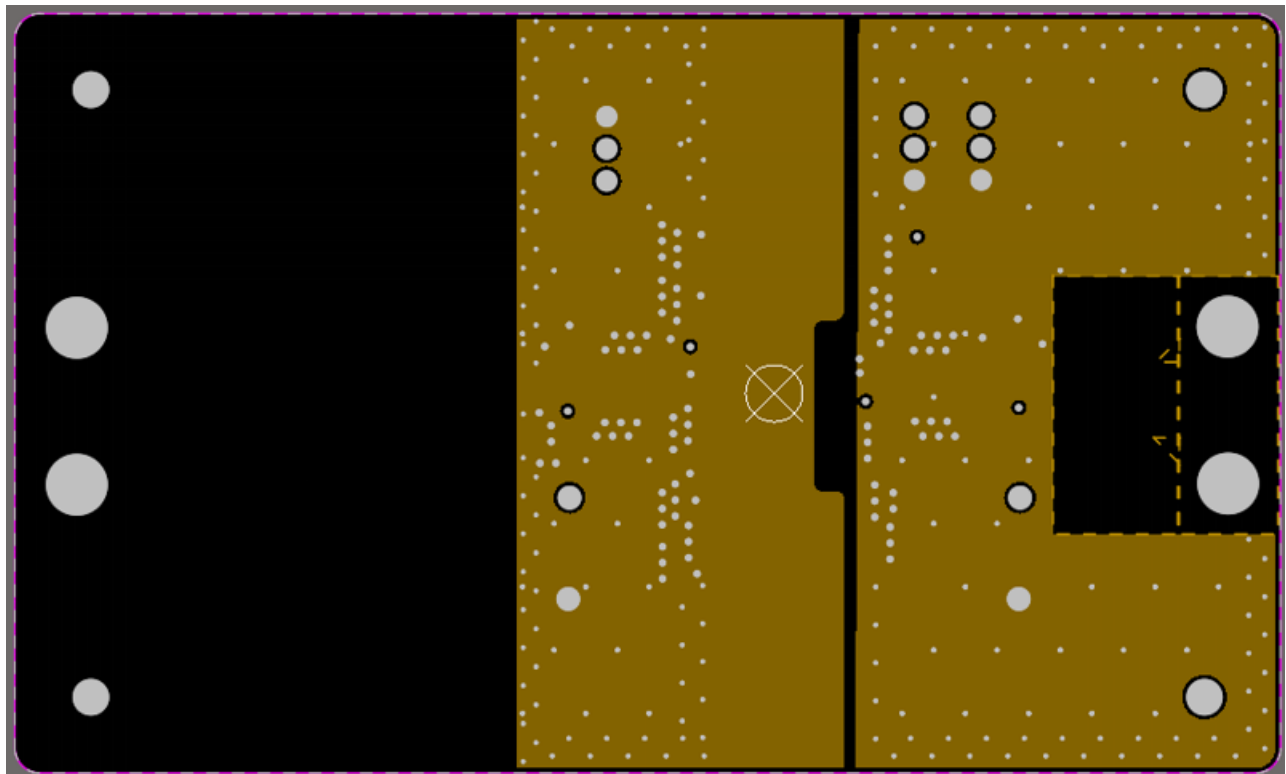
具体配置如下：

相关措施	位号	参数	备注
去耦电容	C2, C7	100nF	
	C3, C4, C6, C8, C9	10uF	
共模电感	L2	1KΩ (@100Mhz)	
差模电感	L1	4.7uH	预留，此测试未采用
磁珠	U3, U5	2KΩ (@100Mhz)	
PCB 层叠 Y 电容	内部第二第三层交叠部分	厚度 d=0.4mm	面积=750mm <sup>2</sup>

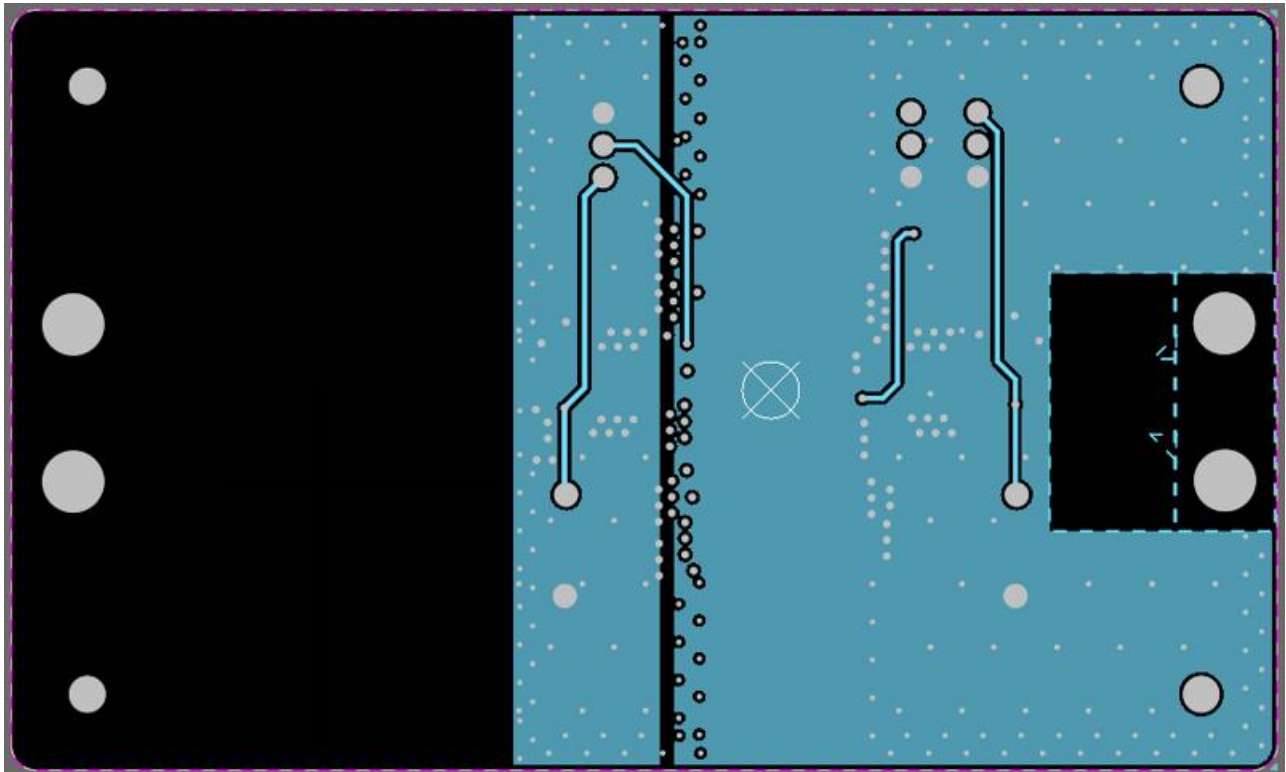
Reference PCB Layout (汽车应用, 测试标准 CISPR25 Class 4)



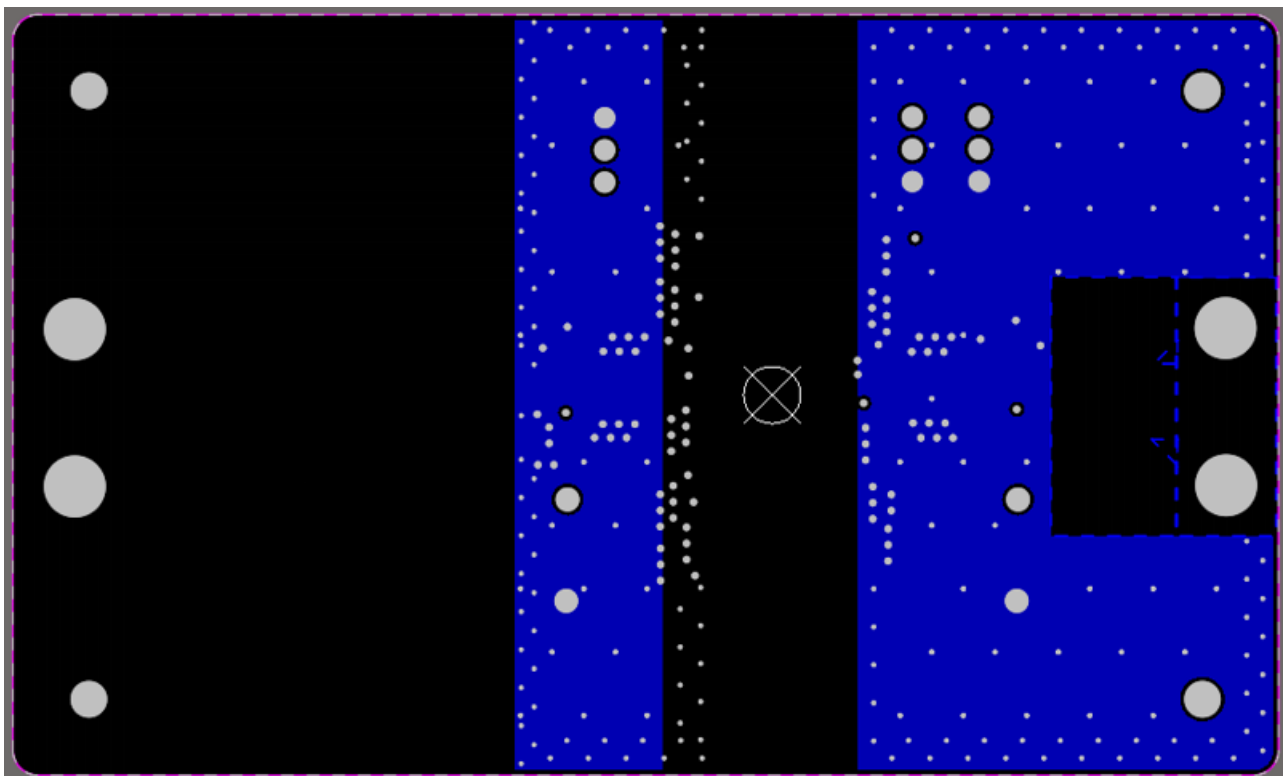
Top layer



Inner layer 1 (内层铺地)



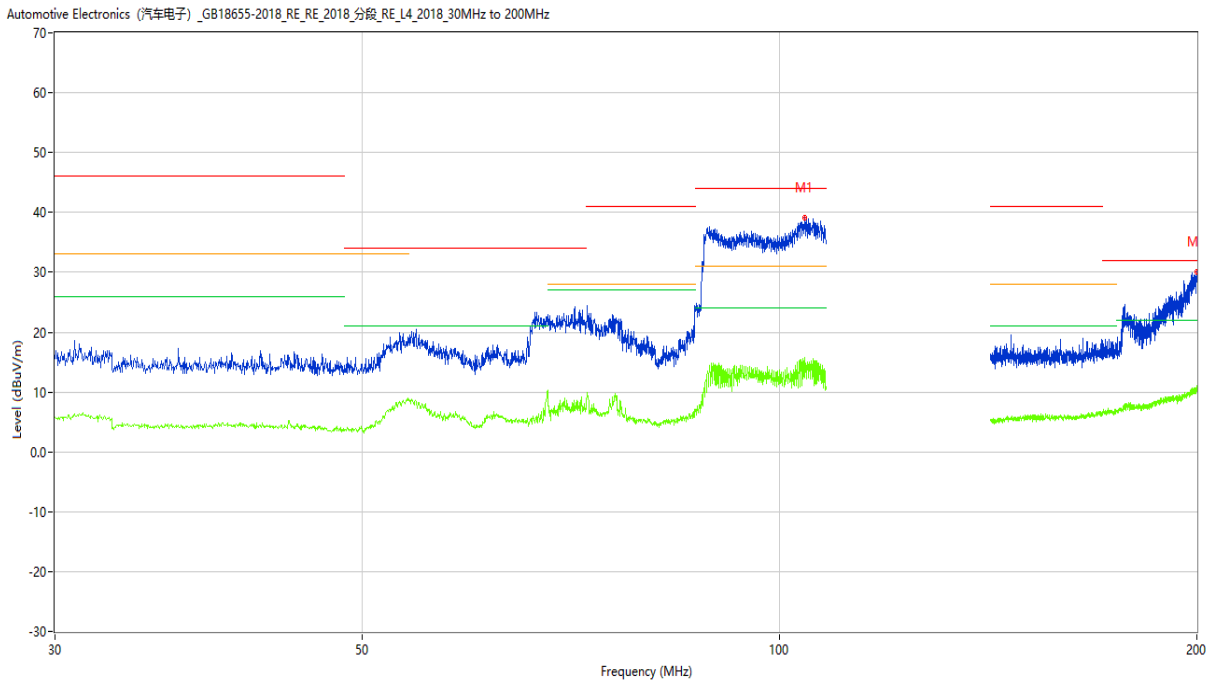
Inner layer 2 (内层铺地)



Bottom layer

CA-IS3115X -Q1 (汽车应用, 测试标准 CISPR25 Class 4)

以下为辐射 RE 测试结果:

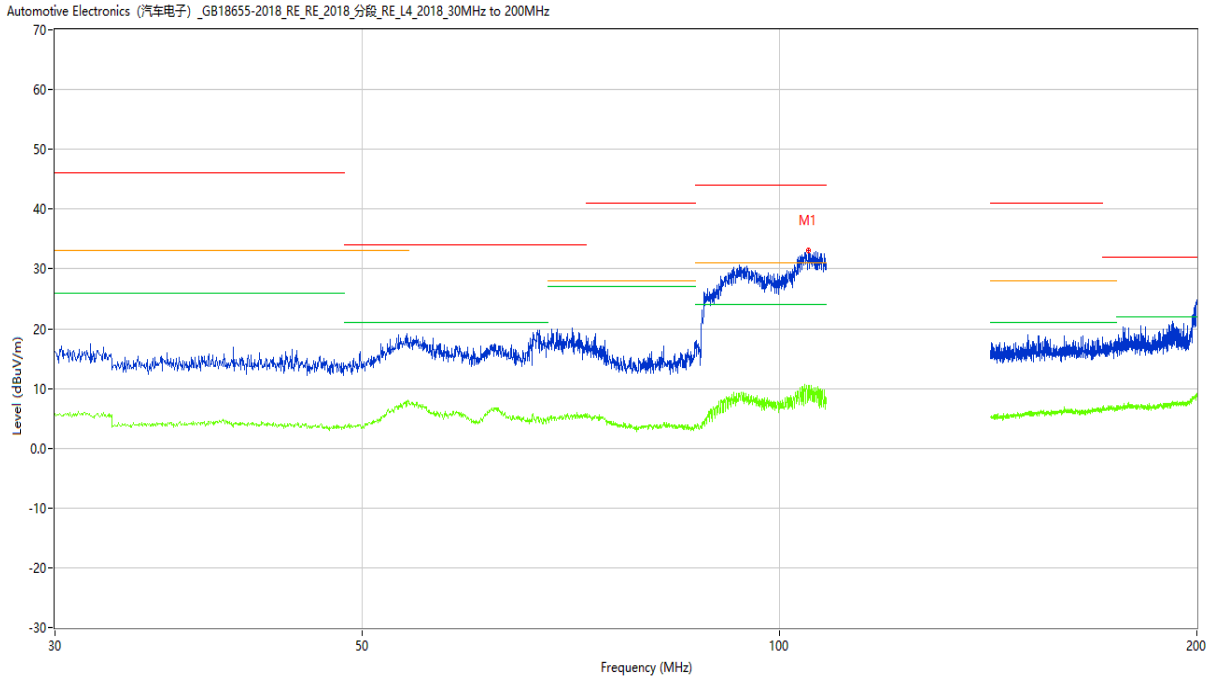


30-200MHZ, 垂直方向

测试条件: VINP=5V, VISO=5V, Load=100mA

测试结果: Margin=1.9dB

No.	Frequency (MHz)	Results (dBuV/m)	Factor (dB)	Limit (dBuV/m)	Margin (dB)	Detector	ANT	Verdict
1	104.240	39.13	-9.42	44.00	4.87	Peak	Vertical	Pass
1**	104.240	15.77	-9.42	24.00	8.23	AV	Vertical	Pass
2	199.920	30.10	-4.63	32.00	1.90	Peak	Vertical	Pass
2**	199.920	10.97	-4.63	22.00	11.03	AV	Vertical	Pass



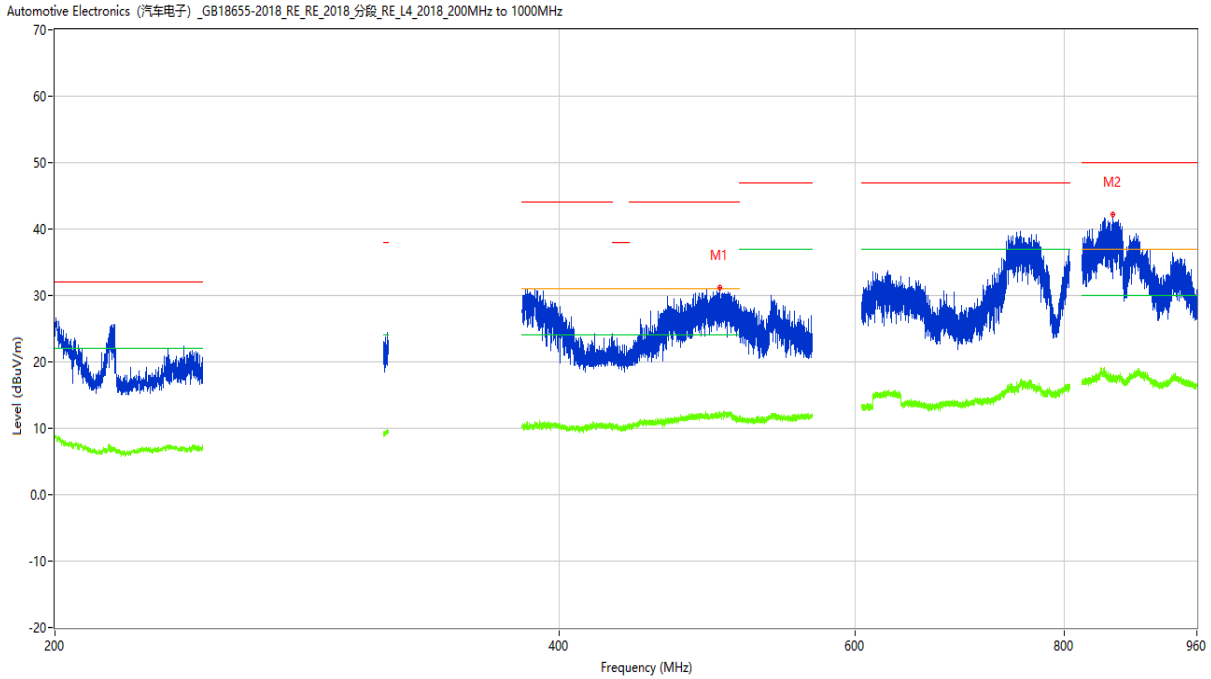
30-200MHZ, 水平方向

测试条件: VINP=5V, VISO=5V, Load=100mA

测试结果: Margin>10dB

No.	Frequency (MHz)	Results (dBuV/m)	Factor (dB)	Limit (dBuV/m)	Margin (dB)	Detector	ANT	Verdict
1	104.880	33.11	-9.42	44.00	10.89	Peak	Horizontal	Pass
1**	104.880	9.33	-9.42	24.00	14.67	AV	Horizontal	Pass



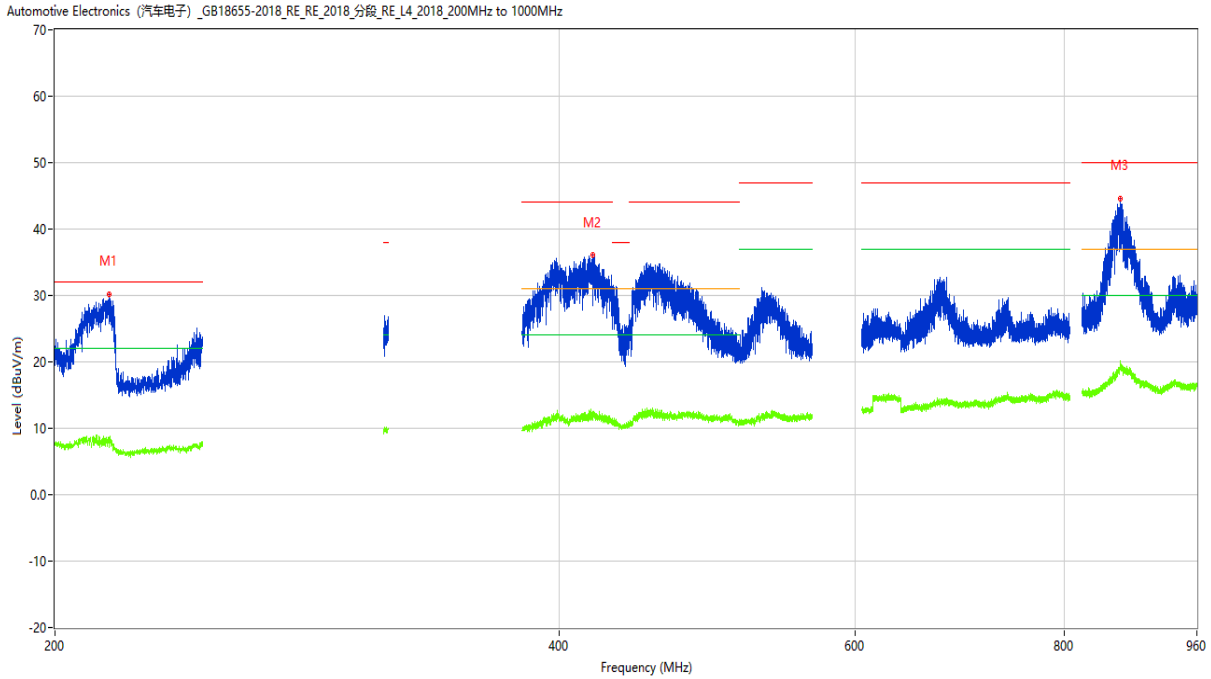


200-960MHZ, 垂直方向

测试条件: VINP=5V, VISO=5V, Load=100mA

测试结果: Margin>7dB

No.	Frequency (MHz)	Results (dBuV/m)	Factor (dB)	Limit (dBuV/m)	Margin (dB)	Detector	ANT	Verdict
1	498.200	31.15	-1.19	44.00	12.85	Peak	Vertical	Pass
1**	498.200	12.53	-1.19	24.00	11.47	AV	Vertical	Pass
2	855.520	42.16	2.13	50.00	7.84	Peak	Vertical	Pass
2**	855.520	17.90	2.13	30.00	12.10	AV	Vertical	Pass

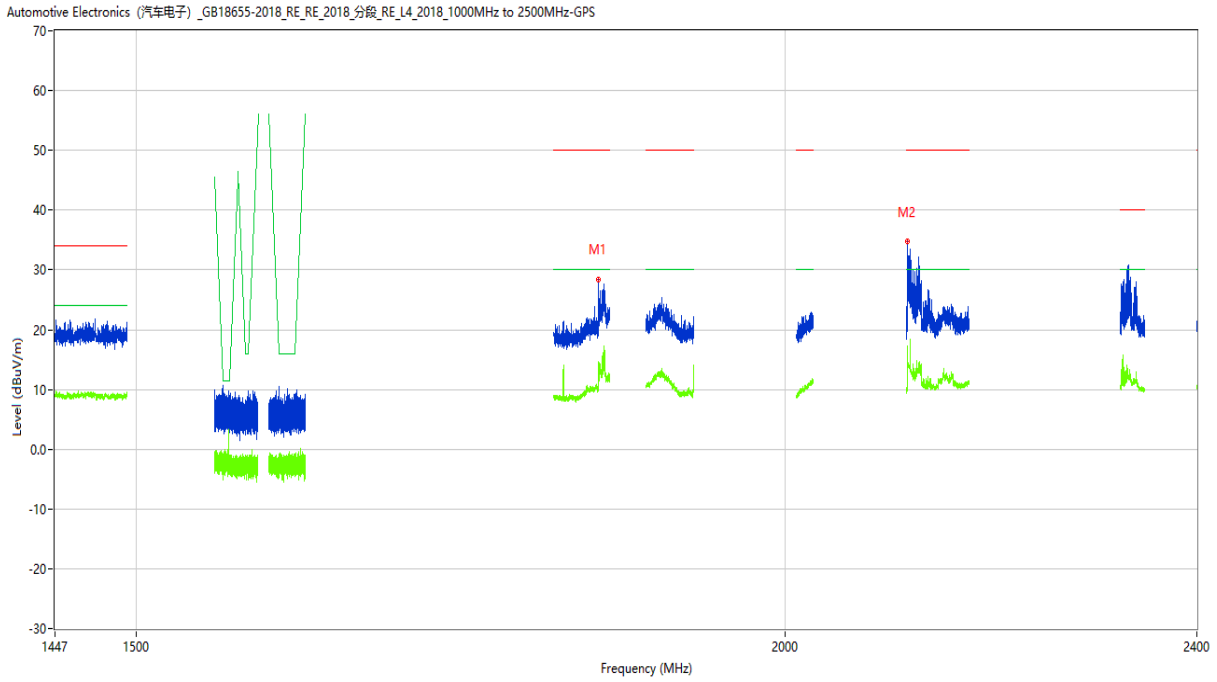


200-960MHZ, 水平方向

测试条件: VINP=5V, VISO=5V, Load=100mA

测试结果: Margin=1.79dB

No.	Frequency (MHz)	Results (dBuV/m)	Factor (dB)	Limit (dBuV/m)	Margin (dB)	Detector	ANT	Verdict
1	215.320	30.21	-5.92	32.00	1.79	Peak	Horizontal	Pass
1**	215.320	8.59	-5.92	22.00	13.41	AV	Horizontal	Pass
2	418.440	36.09	-2.13	44.00	7.91	Peak	Horizontal	Pass
2**	418.440	12.23	-2.13	24.00	11.77	AV	Horizontal	Pass
3	864.280	44.63	2.27	50.00	5.37	Peak	Horizontal	Pass
3**	864.280	20.19	2.27	30.00	9.81	AV	Horizontal	Pass

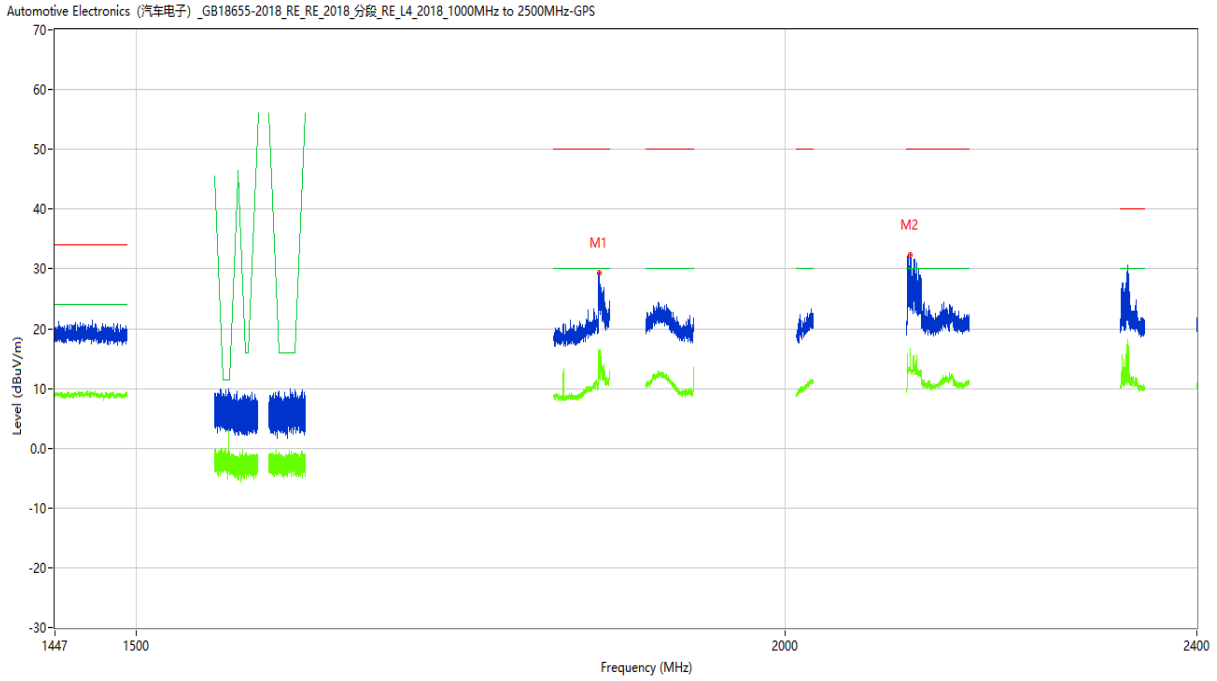


1447-2400MHZ, 垂直方向

测试条件: VINP=5V, VISO=5V, Load=100mA

测试结果: Margin>10dB

No.	Frequency (MHz)	Results (dBuV/m)	Factor (dB)	Limit (dBuV/m)	Margin (dB)	Detector	ANT	Verdict
1	1841.120	28.44	-17.24	50.00	21.56	Peak	Vertical	Pass
1**	1841.120	14.20	-17.24	30.00	15.80	AV	Vertical	Pass
2	2110.920	34.70	-16.16	50.00	15.30	Peak	Vertical	Pass
2**	2110.920	17.36	-16.16	30.00	12.64	AV	Vertical	Pass

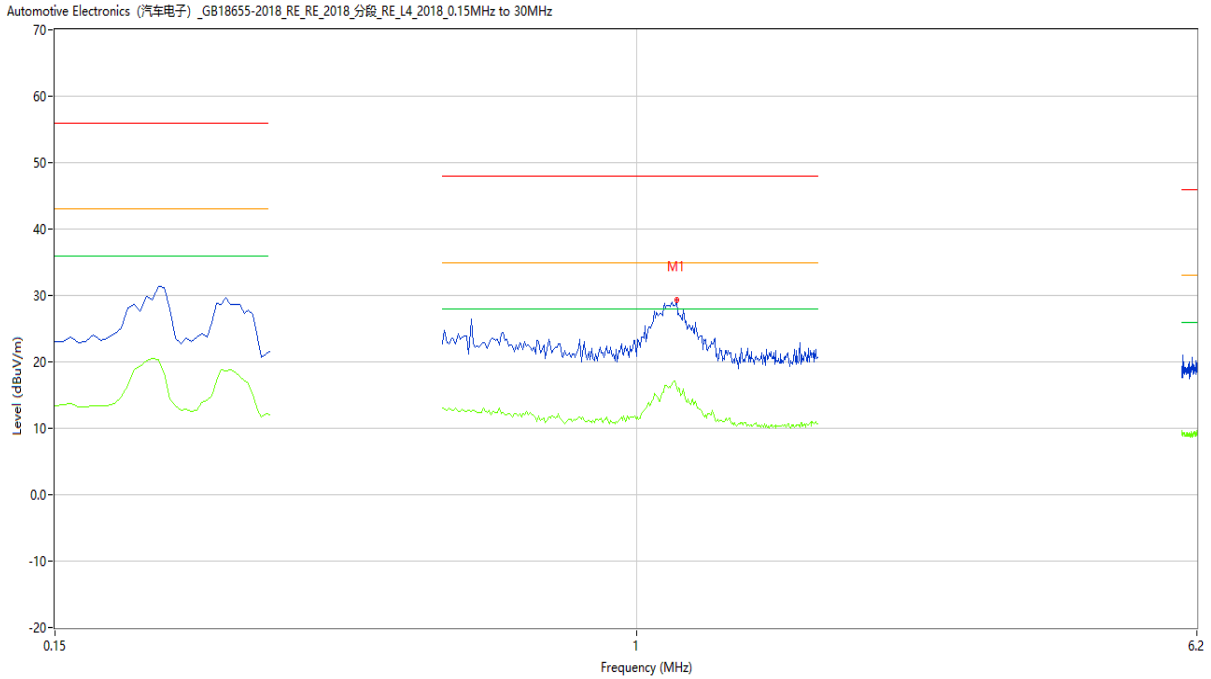


1447-2400MHZ, 水平方向

测试条件: VINP=5V, VISO=5V, Load=100mA

测试结果: Margin>10dB

No.	Frequency (MHz)	Results (dBuV/m)	Factor (dB)	Limit (dBuV/m)	Margin (dB)	Detector	ANT	Verdict
1	1841.640	29.40	-17.16	50.00	20.60	Peak	Horizontal	Pass
1**	1841.640	15.38	-17.16	30.00	14.62	AV	Horizontal	Pass
2	2113.840	32.39	-16.14	50.00	17.61	Peak	Horizontal	Pass
2**	2113.840	16.64	-16.14	30.00	13.36	AV	Horizontal	Pass



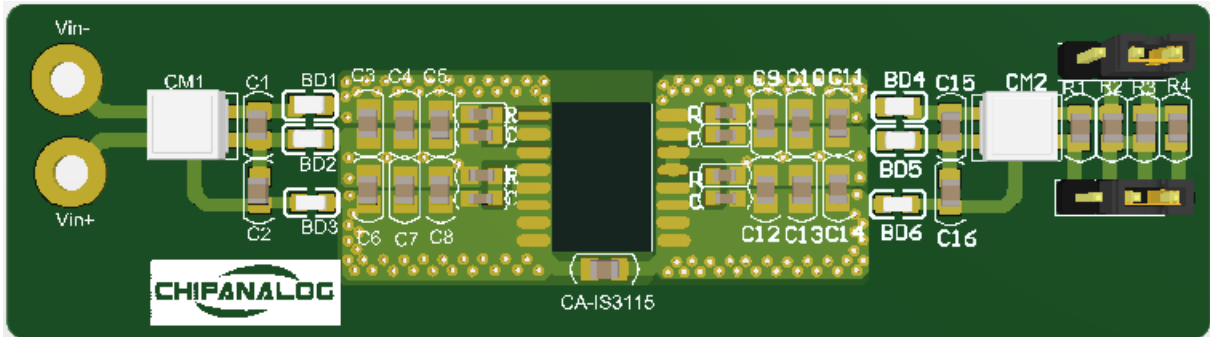
150K-6.2MHZ, 水平方向

测试条件: VINP=5V, VISO=5V, Load=100mA

测试结果: Margin>10dB

No.	Frequency (MHz)	Results (dBuV/m)	Factor (dB)	Limit (dBuV/m)	Margin (dB)	Detector	ANT	Verdict
1	1.138	29.34	10.84	48.00	18.66	Peak	Horizontal	Pass
1**	1.138	16.30	10.84	28.00	11.70	AV	Horizontal	Pass

### 4层测试板 3D图（工业应用，测试标准 CISPR32 Class B）：

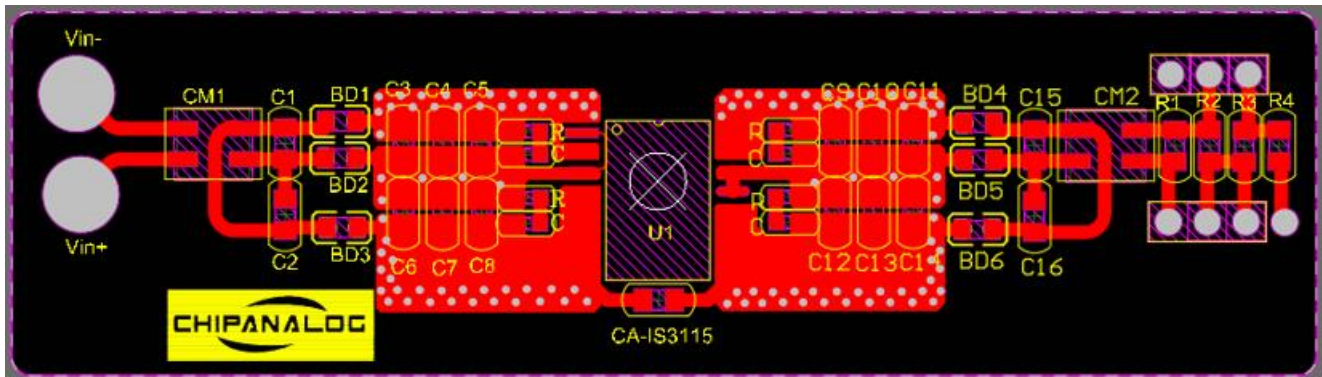


### CA-IS3115X（工业应用，测试标准 CISPR32 Class B）

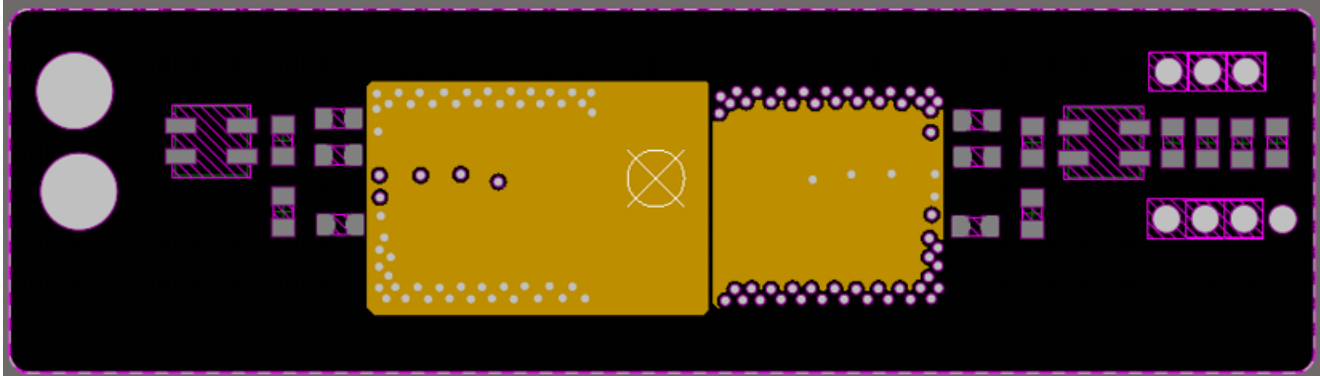
配置如下：

相关措施	位号	参数	备注
去耦电容	C5, C8, C9, C12	100nF	
	C4, C7, C10, C13		
	C1, C2, C15, C16	10uF	
共模电感	CM1	1KΩ (@100Mhz)	
共模电感	CM2	1KΩ (@100Mhz)	预留，此测试未采用
磁珠	BD1~BD6	1KΩ (@100Mhz)	
PCB 层叠 Y 电容	内部第二第三层交叠部分	厚度 d=0.4mm	面积=100mm <sup>2</sup>

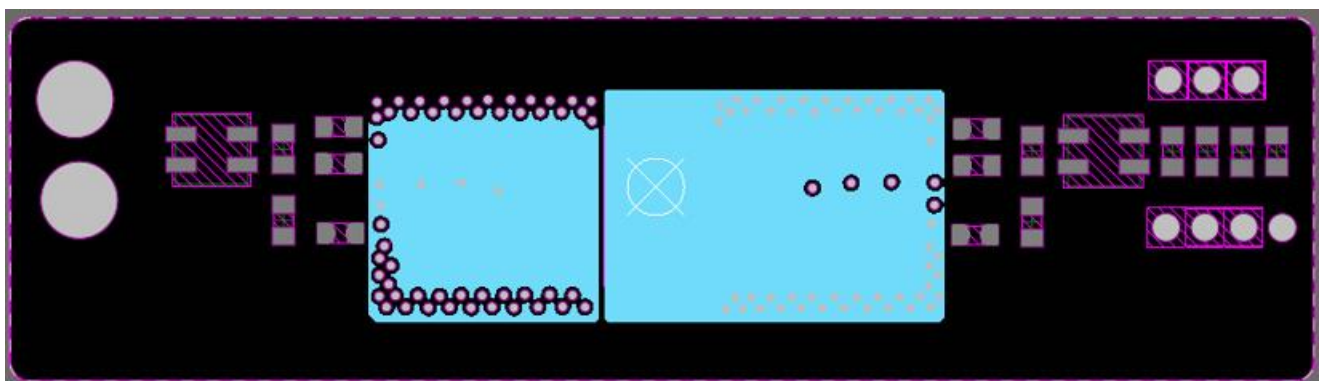
### Reference PCB Layout（工业应用，测试标准 CISPR32 Class B）



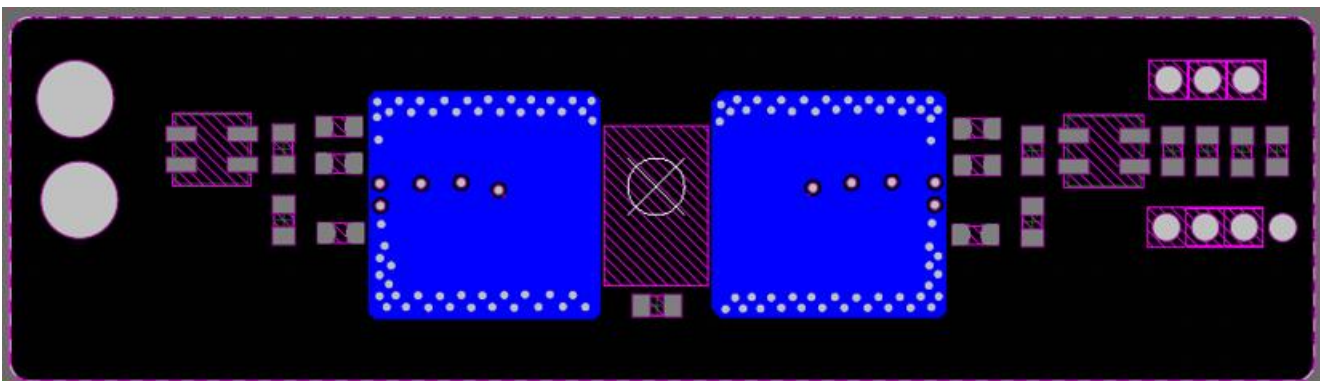
Top Layer



Inner Layer 1

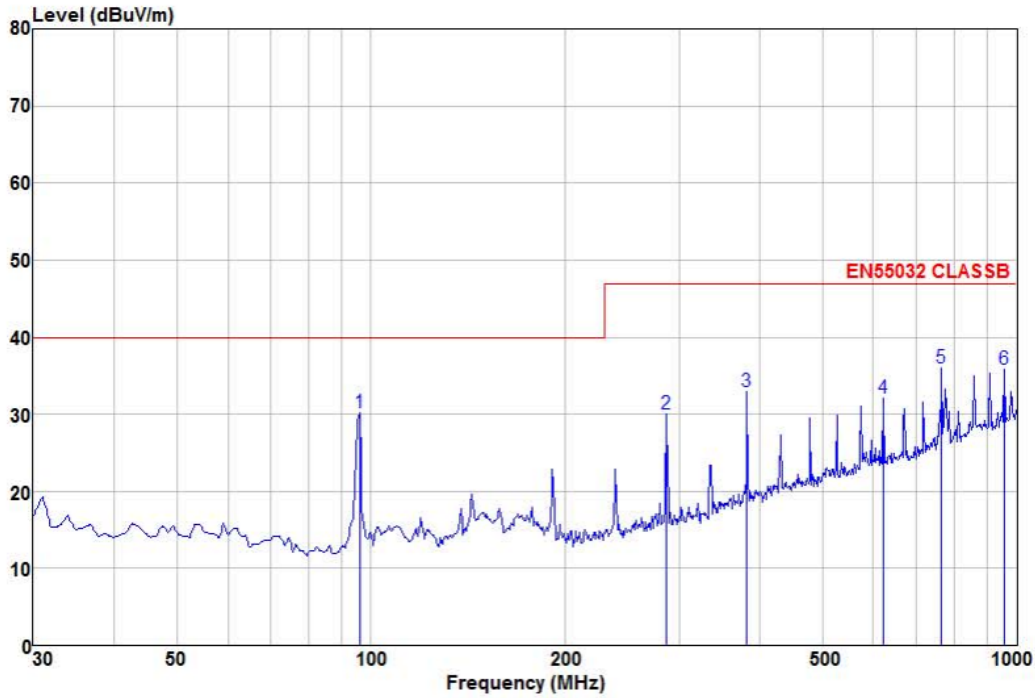


Inner Layer 2



Bottom Layer

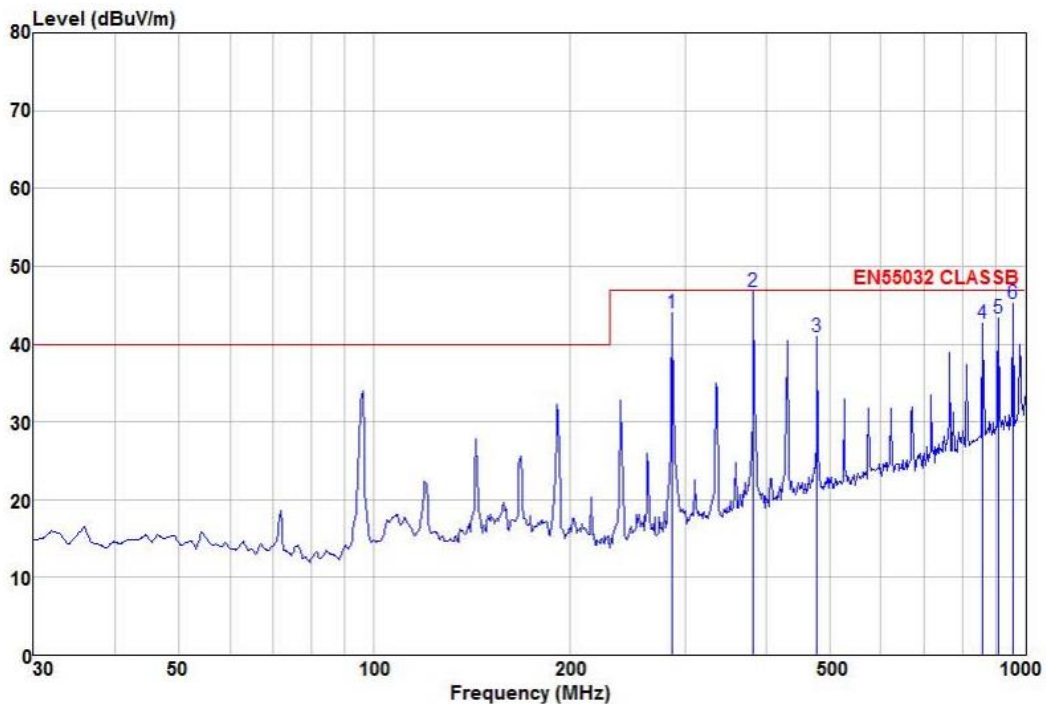
以下为辐射 RE 测试结果:



30MHZ-1GHZ, 垂直方向

测试条件: VINP=5V, VISO=5V, Load=100mA

测试结果: Margin>10dB

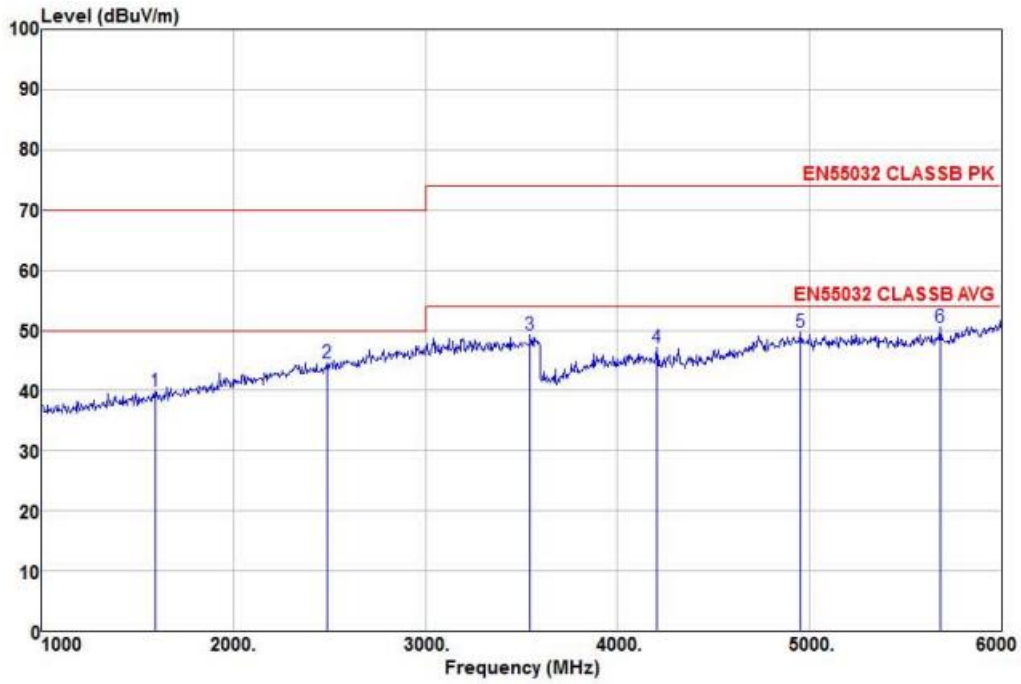


30MHZ-1GHZ, 水平方向

测试条件: VINP=5V, VISO=5V, Load=100mA

测试结果: Margin=0.3dB

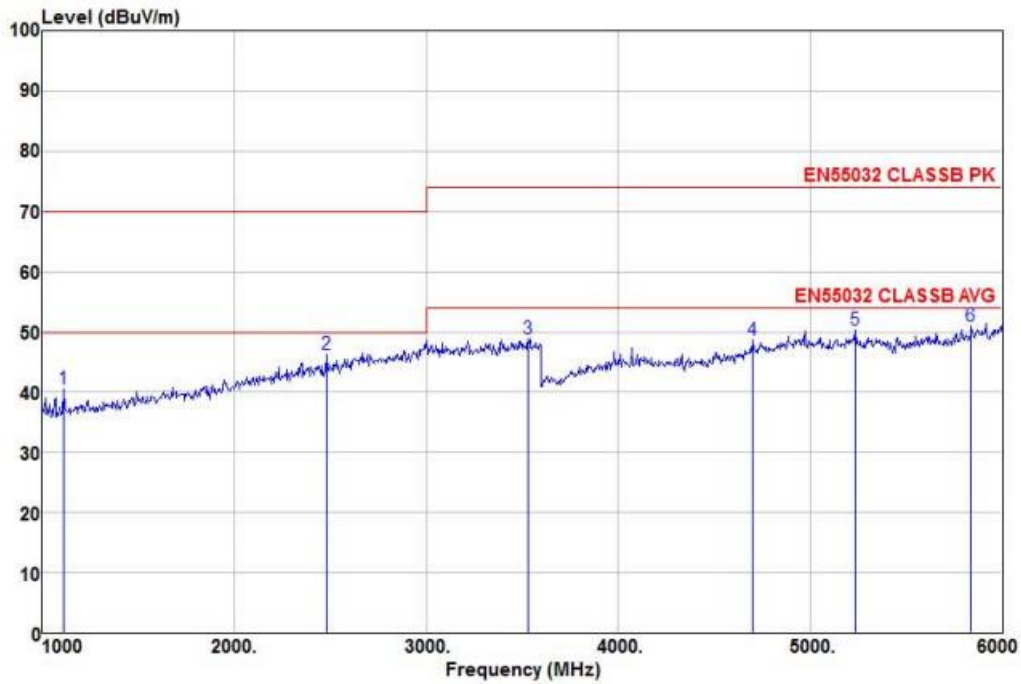




1GHZ-6GHZ, 垂直方向

测试条件: VINP=5V, VISO=5V, Load=100mA

测试结果: Margin>20Db

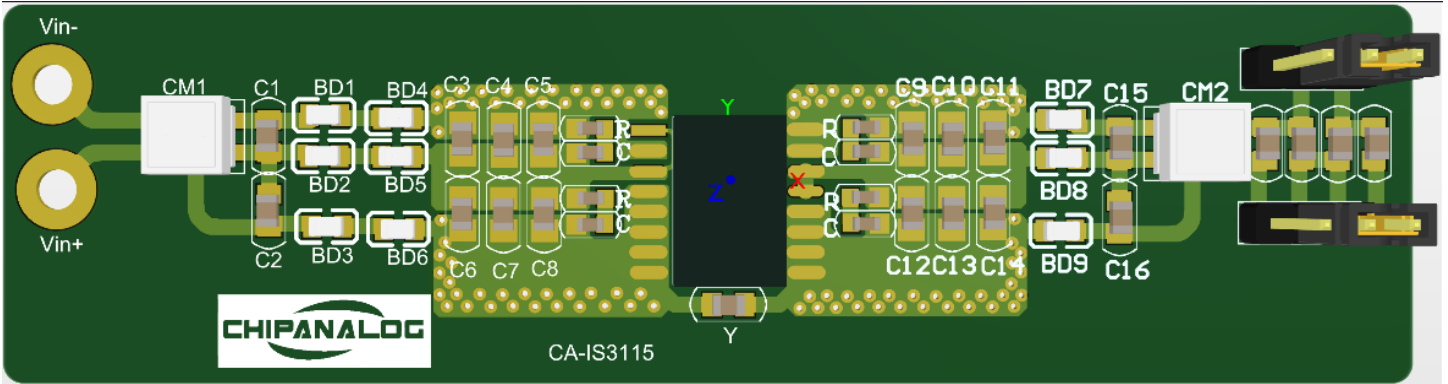


1GHZ-6GHZ, 水平方向

测试条件: VINP=5V, VISO=5V, Load=100mA

测试结果: Margin>20dB

## 2层测试板 3D图 (工业应用, 测试标准 CISPR32 Class B) :

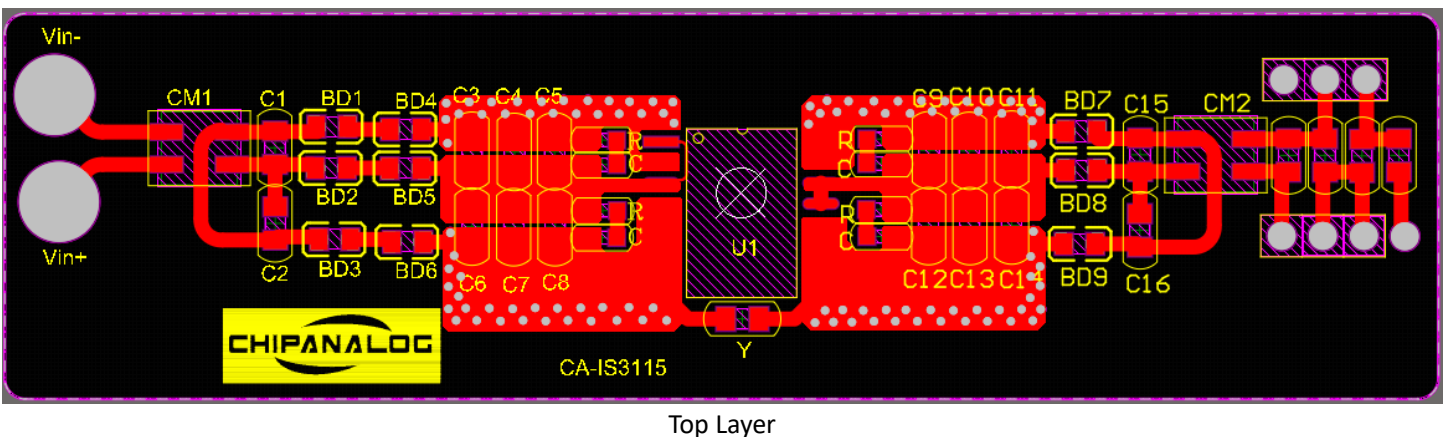


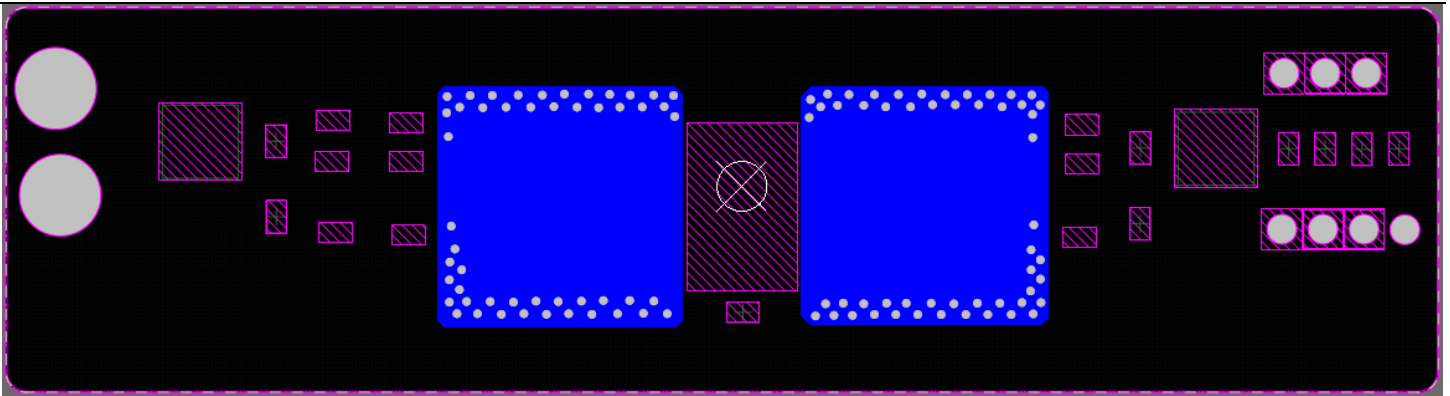
## CA-IS3115X (工业应用, 测试标准 CISPR32 Class B)

配置如下:

相关措施	位号	参数	备注
去耦电容	C5, C9	10nF	
	C4, C10	10uF	
	C1, C2, C3, C6, C7, C8 C11, C12, C13, C14, C15, C16	N.A	预留, 此测试未采用
共模电感	CM1	1KΩ (@100MHz)	
	CM2	N.A	预留, 此测试未采用
磁珠	BD1, BD2	1KΩ (@100MHz)	
	BD4, BD5	4.6kΩ (@900MHz)	
分立 Y 电容	Y	5pF	

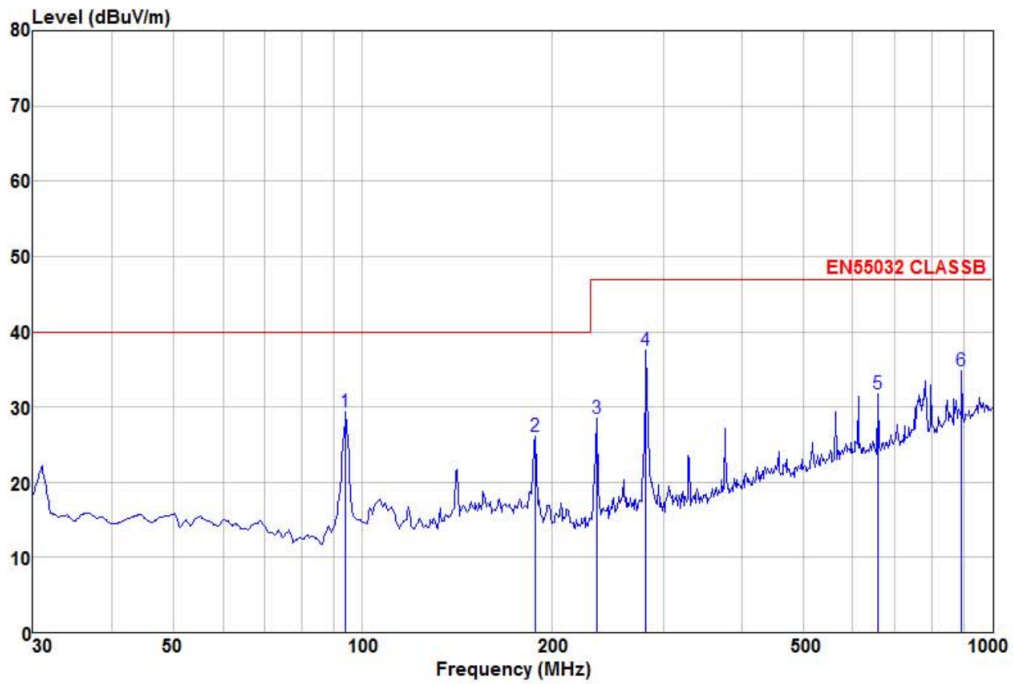
## Reference PCB Layout (工业应用, 测试标准 CISPR32 Class B)





Bottom Layer

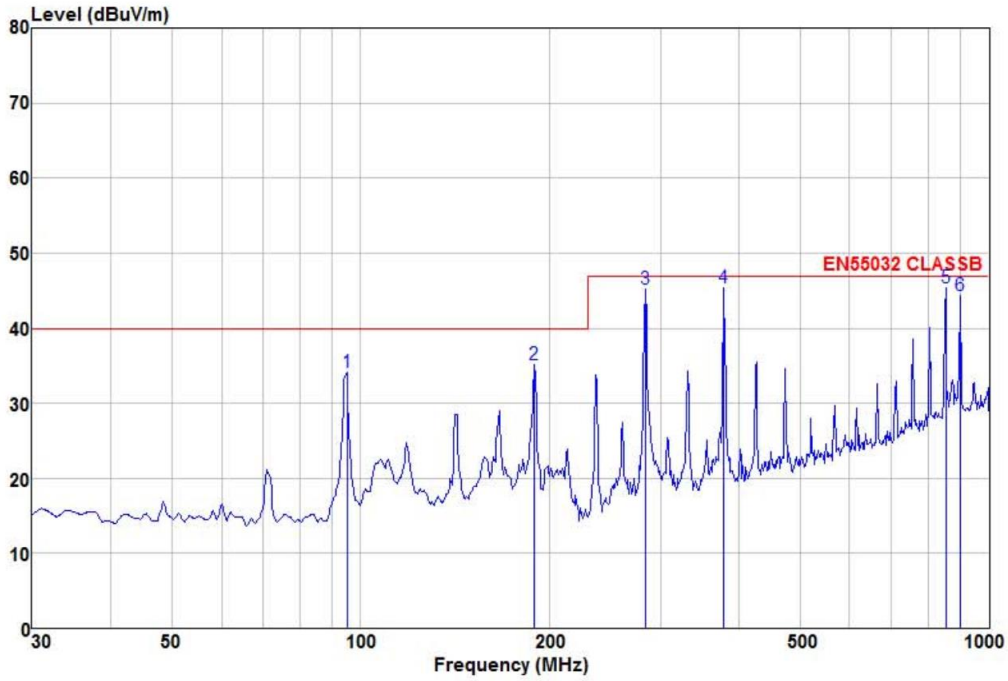
以下为辐射 RE 测试结果:



30MHZ-1GHZ, 垂直方向

测试条件: VINP=5V, VISO=5V, Load=100mA

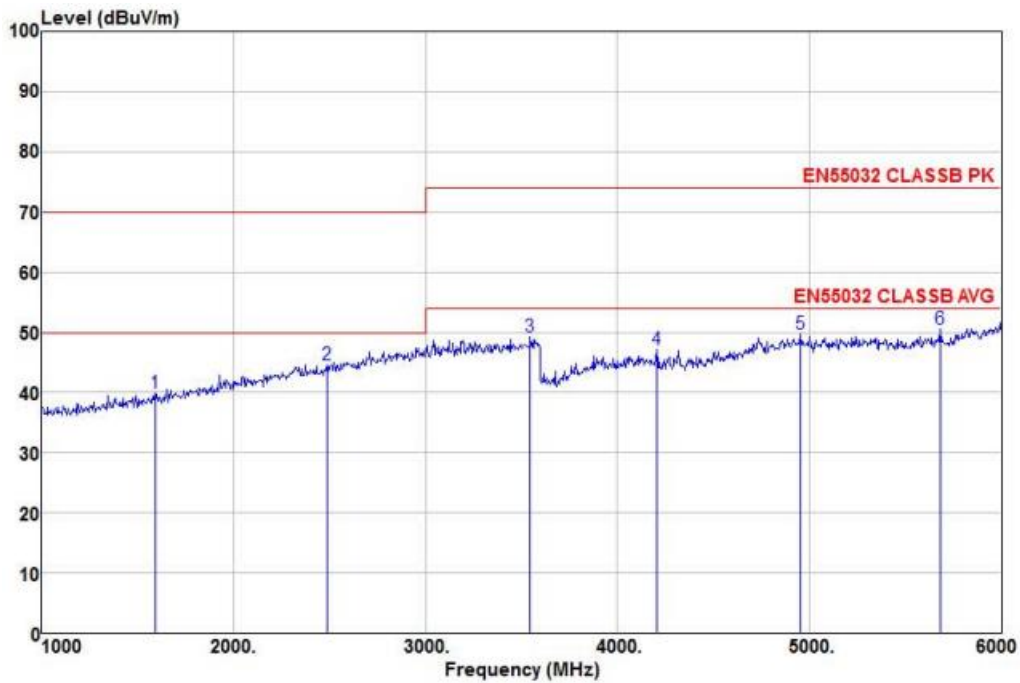
测试结果: Margin = 9.5dB



30MHZ-1GHZ, 水平方向

测试条件: VINP=5V, VISO=5V, Load=100mA

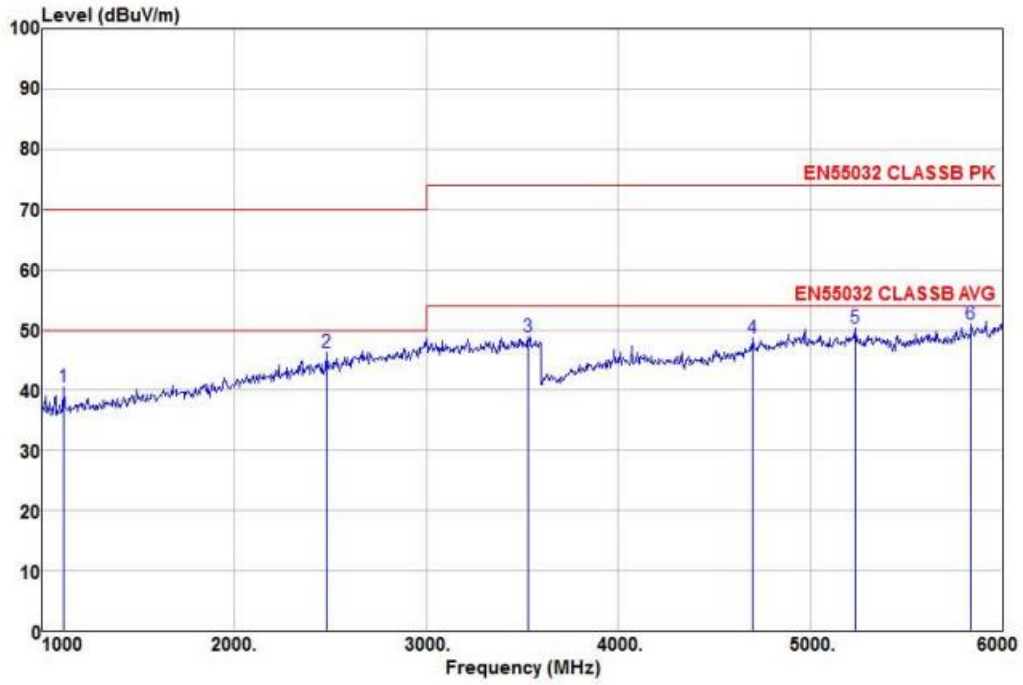
测试结果: Margin=1.65dB



1GHZ-6GHZ, 垂直方向

测试条件: VINP=5V, VISO=5V, Load=100mA

测试结果: Margin>20dB



1GHZ-6GHZ, 水平方向

测试条件: VINP=5V, VISO=5V, Load=100mA

测试结果: Margin>20dB

**版本信息**

版本	日期	状态描述
Ver1.0	Oct.2023	Initial release

**重要声明**

上述资料仅供参考使用，用于协助 Chipanalog 客户进行设计与研发。Chipanalog 有权在不事先通知的情况下，保留因技术革新而改变上述资料的权利。



<http://www.chipanalog.com>